修士学位論文

ATLAS 前後方ミューオントリガーシステム

Sector Logic の開発

神戸大学 大学院 自然科学科 物理学専攻 粒子物理学研究室 緒方 岳

2006年2月10日

概 要

欧州合同原子核共同研究機構 (CERN) において、ATLAS 実験が 2007 年より開始される予 定である。ATLAS 検出器は大型陽子陽子衝突型加速器 (LHC) の衝突点に設置され、重心系で 14TeV のエネルギーを持つ。ATLAS 実験では、素粒子の質量の起源を担うヒッグス粒子の発 見や、標準理論の枠組みの外に予言されている超対称性粒子の発見を目指している。ATLAS 実験開始まであと1年余りとなり、ATLAS 検出器の作成が進められている。われわれはこの ATLAS 検出器の中で、最後にインストールされる、前後方ミューオントリガーチェンバーと して用いられる TGC システムの開発を行っている。この論文では、ATLAS 実験で使用され る TGC トリガーエレクトロニクスの1つである Sector Logic の開発と TGC エレクトロニク スを制御する為のソフトウェアの開発とその動作検証について論ずる。

目 次

第1章	序論	1
第2章	ATLAS 実験	2
2.1	LHC	2
2.2	ATLASの目指す物理	3
	2.2.1 標準理論 Higgs 粒子	3
	2.2.2 超対称性粒子 (SUSY)	6
	2.2.3 超対称性 Higgs 粒子	7
	2.2.4 その他の物理	7
2.3	ATLAS 検出器	8
	2.3.1 インナーディテクター	9
	2.3.2 カロリメータ	9
	2.3.3 ミューオン・スペクトロメータ	10
	2.3.4 マグネットシステム	12
2.4	ATLAS 実験でのトリガー & DAQ システム	14
	2.4.1 LVL1	15
	2.4.2 LVL2	17
	2.4.3 EF (Event Filter)	18
第3章	TGC ミューオントリガーシステム	19
第3章 3.1	TGC ミューオントリガーシステム TGC の構造	19 19
第3章 3.1 3.2	TGC ミューオントリガーシステム TGC の構造	19 19 22
第3章 3.1 3.2 3.3	TGC ミューオントリガーシステム TGC の構造	19 19 22 24
第3章 3.1 3.2 3.3 3.4	TGC ミューオントリガーシステム TGC の構造	19 19 22 24 25
第3章 3.1 3.2 3.3 3.4	TGC ミューオントリガーシステム TGC の構造 TGC の構造 TGC の配置 TGC の配置 TGC の配置 TGC コレクトロニクス TGC エレクトロニクス TGC コレクトロニクス TGC コレクトロニクス	 19 22 24 25 25
第3章 3.1 3.2 3.3 3.4	TGC ミューオントリガーシステム TGC の構造 TGC の構造 TGC の配置 ・ ・ Fリガースキーム ・ ・ TGC エレクトロニクス ・ ・ 3.4.1 システム全体 ・ 3.4.2 TGC エレクトロニクスの設置 ・	 19 22 24 25 25 28
第3章 3.1 3.2 3.3 3.4	TGC ミューオントリガーシステム TGC の構造 TGC の配置	 19 22 24 25 25 28 28
第3章 3.1 3.2 3.3 3.4	TGC ミューオントリガーシステム TGC の構造 TGC の配置	 19 19 22 24 25 25 28 28 30
第3章 3.1 3.2 3.3 3.4	TGC ミューオントリガーシステム TGC の構造 TGC の配置	 19 19 22 24 25 25 28 30 31
第3章 3.1 3.2 3.3 3.4	TGC ミューオントリガーシステムTGC の構造TGC の配置トリガースキームTGC エレクトロニクス3.4.1 システム全体3.4.2 TGC エレクトロニクスの設置3.4.3 ASD(Amplifier Shaper Discriminator) Board3.4.4 PP(Patch Panel) ASIC3.4.5 SLB(Slave Board) ASIC3.4.6 JRC(JTAG Routing Controller)	 19 19 22 24 25 28 30 31 33
第3章 3.1 3.2 3.3 3.4	TGC ミューオントリガーシステム TGC の構造 TGC の配置	 19 22 24 25 28 30 31 33 33
第3章 3.1 3.2 3.3 3.4	TGC ミューオントリガーシステム TGC の構造 TGC の配置	 19 22 24 25 28 30 31 33 33 34
第3章 3.1 3.2 3.3 3.4	TGC ミューオントリガーシステムTGC の構造TGC の配置TGC の配置トリガースキームTGC エレクトロニクス3.4.1 システム全体3.4.2 TGC エレクトロニクスの設置3.4.3 ASD(Amplifier Shaper Discriminator) Board3.4.4 PP(Patch Panel) ASIC3.4.5 SLB(Slave Board) ASIC3.4.6 JRC(JTAG Routing Controller)3.4.7 DCS(Detector Control System)3.4.8 PS Board3.4.9 SPP(Service Patch Panel) Board	 19 22 24 25 28 30 31 33 34 35
第3章 3.1 3.2 3.3 3.4	TGC ミューオントリガーシステムTGC の構造TGC の配置トリガースキームTGC エレクトロニクス3.4.1 システム全体3.4.2 TGC エレクトロニクスの設置3.4.3 ASD(Amplifier Shaper Discriminator) Board3.4.4 PP(Patch Panel) ASIC3.4.5 SLB(Slave Board) ASIC3.4.6 JRC(JTAG Routing Controller)3.4.8 PS Board3.4.9 SPP(Service Patch Panel) Board3.4.10 PS Pack	 19 19 22 24 25 25 28 30 31 33 33 34 35 35
第3章 3.1 3.2 3.3 3.4	TGC ミューオントリガーシステムTGC の構造TGC の配置トリガースキームTGC エレクトロニクス3.4.1 システム全体3.4.2 TGC エレクトロニクスの設置3.4.3 ASD(Amplifier Shaper Discriminator) Board3.4.4 PP(Patch Panel) ASIC3.4.5 SLB(Slave Board) ASIC3.4.6 JRC(JTAG Routing Controller)3.4.7 DCS(Detector Control System)3.4.8 PS Board3.4.9 SPP(Service Patch Panel) Board3.4.10 PS Pack3.4.11 HPT(High-Pt Board)	 19 19 22 24 25 28 30 31 33 33 34 35 36
第3章 3.1 3.2 3.3 3.4	TGC ミューオントリガーシステムTGC の構造TGC の配置トリガースキームTGC エレクトロニクス3.4.1 システム全体3.4.2 TGC エレクトロニクスの設置3.4.3 ASD(Amplifier Shaper Discriminator) Board3.4.4 PP(Patch Panel) ASIC3.4.5 SLB(Slave Board) ASIC3.4.6 JRC(JTAG Routing Controller)3.4.7 DCS(Detector Control System)3.4.8 PS Board3.4.9 SPP(Service Patch Panel) Board3.4.10 PS Pack3.4.11 HPT(High-Pt Board)3.4.12 SL(Sector Logic)	 19 22 24 25 28 30 31 33 34 35 36 37

	3.4.14 Read Out Driver Board (ROD)	39
	3.4.15 High-pT Star-switch Controller Board (HSC)	40
	3.4.16 Control Configuration Interface Board(CCI)	40
穷ょ辛		11
年 4早		41
4.1	online $\mathcal{Y}\mathcal{I}\mathcal{F}\mathcal{I}\mathcal{I}$	41
4.2	RCD ソフトウェア	43
	4.2.1 TGC エレクトロニクスコントロール	43
	4.2.2 データベース	44
	4.2.3 TGC での RCD ソフトウェア	45
4.3	TGC オンラインソフトウェアの変更	48
	4.3.1 TGC エレクトロニクスの実装	48
	4.3.2 多数の CCI のコントロールの実装	48
	4.3.3 簡易デバッグシステムの実装	48
4.4	TGC オンラインソフトの動作実証	49
第5章	Sector Logic	52
5.1	Sector Logic 概要	52
	5.1.1 $R - \Phi$ Coincidence	53
	5.1.2 Track Selection	55
5.2	プロトタイプ Sector Logic	55
5.3	SectorLogic ボードの開発	56
	5.3.1 ボードの設計	56
	5.3.2 FPGA CPLD の内部設計	58
5.4	Sector Logia 个动作检证	61
0.4		01
~~ · ·		

第6章 まとめ

図目次

2.1	LHC 加速器	2
2.2	CMS	3
2.3	Alice	3
2.4	LHC-B	3
2.5	Higgs 生成のファインマン・ダイアグラム	4
2.6	Higgs 生成断面積の質量依存	4
2.7	Higgs 崩壊分岐比の質量依存	4
2.8	標準 Higgs 粒子発見の可能性..............................	6
2.9	ATLAS 測定器	8
2.10	インナーディテクターの構造..............................	9
2.11	カロリメータの構造	10
2.12	ミューオン・スペクトロメータ	11
2.13	ミューオン・スペクトロメータ (R-Z 断面図)	11
2.14	MDT の構造	12
2.15	RPC の構造	13
2.16	マグネットの構造..................................	13
2.17	η と磁場積分強度の関係	13
2.18	X-Y 平面の磁束の構造 (z=10.5m)	13
2.19	Trigger & DAQ システム	14
2.20	LVL1 トリガー処理の流れ	15
2.21	TTCpartition	17
0.1		10
3.1		19
3.2		20
3.3		20
3.4	TGC の Triplet(左) と doublet(石) の構造	21
3.5		21
3.6		22
3.7	M3(prvot) CO TGC の配直と区分	23
3.8		24
3.9	TGC トリカーの判定方法	25
3.10		26
3.11	TGC エレクトロニクスのテータの流れ	27
3.12		29
3.13	TGC エレクトロニクスの配置 (R-Z 断面)	29
3.14	ASD Board	29
3.15	PP ASIC のブロック図	30

3.16	SLB 3 out-of 4 ブロック図	31
3.17	SLB 2 out-of 3 ブロック図	31
3.18	SLB 1 out-of 2 ブロック図	32
3.19	SLB EI/FI ブロック図	32
3.20	デクラスタリング...................................	32
3.21	JRC 内部の模式図	33
3.22	PS Board の構成図	34
3.23	PS Board	34
3.24	Service Patch Panel	35
3.25	PS-Packの構成と配置	35
3.26	HPT ワイヤ ブロック図	36
3.27	HPT ストリップ ブロック図	36
3.28	HPT Board	37
3.29	SL	37
3.30	SL ブロック図	38
3.31	SL での処理の流れ	38
3.32	SSW	39
3.33	HSC	40
3.34	CCI	40
		10
4.1	Online Soft 概念図	42
4.2		42
4.3	online State	42
4.4	Controll Line	44
4.5	TGC データベース構造	45
4.6	config State	45
4.7	configure process	47
4.8	TGCJSegment	47
4.9	PhysAddress	49
4.10	FESegment (PS-Packs,SPP)	50
4.11	FESegment (HSC Crate,VME64X Crate)	50
4.12	RCD82_TGCJSegment	50
4.13	セットアップ見取り図	50
4.14	テストパルスシグナル	51
4.15	ASD テストパルス	51
4.16	PP Asic Delay パラメータースキャン	51
F 1	パイプニノンロジック 脚会図	59
0.1 5 0	ハイノフイノロシック 慨忌凶 \dots	55
0.2 5-2	シミュレーションを用いた、SubsectorのLOIの例	54
0.0 5 4	2 松丁八別時の次心	55
0.4 5 5	$\begin{array}{c} 1 \text{ for } 1 \text{ order} 1 \text{ order} $	50
0.0 5 6	Bector Logic 1 ノーン凶	50
0.0 5 7	Bector Logic FOrward 与具	50
э. <i>(</i>	SeciofLogiCfFGA (城哈凶) · · · · · · · · · · · · · · · · · · ·	99 69
5.8	GIIIK MONITOR FFGA 慨哈凶	bΟ

5.9	Test R Φ Matrix	62
5.10	SectorLogic 回路テストセットアップ図	62

表目次

2.1	LHC 加速器の主なパラメーター	3
2.2	TTC で使われる主な信号	16
4.1	モジュールへのアクセス	46
5.1	LUT の必要メモリー量と FPGA の搭載メモリー量	57

第1章 序論

現在スイス・ジュネーブにある欧州合同原子核共同研究機構 (CERN) にて大型陽子陽子衝突型加速器 LHC(Large Hadron Collider) 計画が進んでいる。LHC は重心系 14TeV のエネルギー を実現する陽子陽子衝突型加速器で、2007 年に運転を開始する予定である。LHC の衝突点の 一つに設置されるのが ATLAS 検出器である。ATLAS 検出器は現在標準理論で唯一未発見の 粒子である Higgs 粒子、及び標準理論の枠組みの外に予言されている超対称性粒子の発見を目 指す。

LHC のエネルギーが非常に高いことから、確実に散乱粒子を捕らえるため、ATLAS 検出器 の規模も全長 40m 高さ 20m 重さ 7000t と過去にない大きなものとなる。LHC のバンチ衝突は 40MHz で起き、最大ルミノシティ10³⁴cm⁻²s⁻¹ であり、1 バンチ衝突あたり平均 23 個の陽子 陽子非弾性衝突事象が起こる。そのような高頻度な事象と検出器の規模の大きさから、必要な イベントを効率良く選び出すトリガーシステムも複雑なものとなる。トリガーシステムは3 段 階で構成され、われわれは、最初の段階である LVL1 トリガーの役割を担い、前後方ミューオ ントリガーチェンバーとして使用される TGC システムを開発してきた。TGC トリガーシス テムは7 層からなるチェンバーからのシグナルをそれぞれのバンチで正確に分離し、発生した ミューオンの運動量と数を正確に出し続ける必要がある。

また、ATLAS検出器のデータ収集系での特徴は、25nsecという短いバンチ間隔のため、LVL1 トリガー時にパイプライン処理を行うことや、TTC(Timing Trigger Control) と呼ばれるトリ ガーシグナルを正確に検出器全体に配るシステムが用いられていることである。またデータ収 集系は、検出器の規模の大きさから、検出器の各部分毎に動作確認をすることができ、その後 スムーズに各部分の集合体として動作出来るように設計されている。

実験開始まで1年余りとなった今年度は、過去に作成したプロトタイプで得られたデーター を基に ATLAS 検出器で使用されるエレクトロニクスの開発とそれらエレクトロニクスを制御 するソフトウェアの開発が行われた。

この論文では、ATLAS 測定装置で使用される ROD Crate のコントロールを中心とした online ソフトウェアの開発と、LVL1 トリガーエレクトロニクスの最終段である SectorLogicBoard の 開発とそれらの動作検証についてまとめる。第2章で ATLAS 実験について簡単にまとめ、第3 章で TGC について解説する。第4章で online ソフトウェアの開発と改良、第5章で SectorLogic の開発について述べ、第6章で最後にまとめる。

第2章 ATLAS実験

この章では初めに ATLAS 実験が行われる LHC 加速器について説明し、続いて ATLAS 実験 で発見が期待される物理、ATLAS 検出器の各検出器について説明する。

2.1 LHC

LHC(Large Hadron Collider) は 2007 年実験開始を目指して、スイスとフランスの国境にあ る CERN (欧州合同原子核共同研究機構)にて地下 100m に建設中の周長約 27km の大型陽子 陽子衝突型加速器である。図 2.1 に LHC の完成予想図を示す。ハドロンコライダーであるため シンクロトロン放射によるエネルギー損失が少なく、重心系 14TeV の高エネルギー領域の実験 が可能である。陽子ビームは 1.1 × 10¹¹ 個づつバンチ化され、バンチ・クロッシング・レート は 40.08MHz で、高ルミノシティ時には 1 回のバンチクロッシングあたり平均 23 回の陽子衝 突が予想される。LHC の主なパラメーターを表 2.1 に示す。



図 2.1: LHC 加速器

主リング周長	$26.66 \mathrm{km}$	重心系エネルギー (陽子+陽子)	$7.0 \mathrm{TeV} + 7.0 \mathrm{TeV}$
(低) ルミノシティ	$10^{33} \text{cm}^{-2} \text{sec}^{-1}$	(高) ルミノシティ	$10^{34} {\rm cm}^{-2} {\rm sec}^{-1}$
ルミノシティ寿命	10 時間	入射エネルギー	$450 \mathrm{GeV}$
衝突頻度	$40.08 \mathrm{MHz}$	バンチ間隔	24.95nsec
1 バンチあたりの陽子数	10 ¹¹ 個	バンチの長さ	$75\mathrm{mm}$
バンチ数	2835 個	バンチ衝突当たりの陽子衝突	23
衝突点のビーム半径	$16 \mu { m m}$	衝突角度	200μ rad

表 2.1: LHC 加速器の主なパラメーター

LHC には4つのビーム衝突点がありそれぞれに、後述する大型汎用検出器 ATLAS(A Troidal LHC ApparatuS)、ATLAS より小型の汎用検出器である CMS(the Compact Muon Solenoid 図 2.2)、重イオン衝突実験用検出器の ALICE (A Large Ion Collider Experiment 図 2.3)、 B-Physics に特化した検出器 LHC-B(図 2.4) が設置される。



⊠ 2.2: CMS

☑ 2.3: Alice

☑ 2.4: LHC-B

2.2 ATLASの目指す物理

ATLAS 実験の主要な目的は Higgs 粒子と超対称性粒子の発見である。以下にそれらについて簡単に説明する。

2.2.1 標準理論 Higgs 粒子

Higgs 粒子は、ボソンとフェルミオンに質量を与える未知の粒子である。ATLAS 実験の主要 な目的はこの Higgs 粒子の発見であり、ATLAS 検出器は、質量 100GeV から 1TeV の広範囲 で Higgs 粒子を探索する能力を持つ。

Higgs 粒子は重い粒子と結合しやすいため、主に以下の4つの生成過程が考えられる。それ ぞれのファインマンダイアグラムを図 2.5 に、生成断面積と質量の関係を図 2.6[?] に示す。

1. $gg \to H$ (gluon fusion)

トップクォークやボトムクォークのループを介した過程で、最も断面積が大きい。その反面、Higgs 粒子が崩壊して出来る粒子以外に大きな PT(運動量)を持つ粒子がなく、バックグラウンドとの選別が非常に難しい。



図 2.5: Higgs 生成のファインマン・ダイアグラム

図 2.6: Higgs 生成断面積の質量依存

- 2. $qq \rightarrow qqH$ (W/Z fusion) クォークから放出されたゲージボソンから Higgs 粒子が生成されている。断面積も比較 的大きく、反跳したクォークに起因する大きな p_T を持つジェットが 2 本観測される特徴 があり、イベントの選別が比較的行いやすい。
- 3. $qq \rightarrow (W/Z)H$ (W/Z associate production) $0 \pi - 0$ の対消滅で生成されたゲージボソンから、更に Higgs 粒子が放射される過程。終 状態にゲージボソン (W/Z) が観測される特徴がある。
- qq/gg → ttH (top associate production) 対生成されたトップクォークから、Higgs 粒子が放出される過程。断面積は小さいが、特 徴のあるトップクォークペアを終状態に含んでいる。

次に Higgs 粒子の崩壊過程について述べる。崩壊過程の分岐比は図 2.7[?] に示すように Higgs の質量に依存しており、各領域で特徴的な崩壊過程が存在する。以下にそれぞれの崩壊過程を 簡単に説明する。



図 2.7: Higgs 崩壊分岐比の質量依存

1. $H \to \gamma \gamma \ (m_H < 150 \text{ GeV})$

この質量領域では、実は $b\bar{b}$ 、 $c\bar{c}$ 、 $\tau^+\tau^-$ が支配的であるが、陽子陽子衝突から引き起こされる QCD ジェットバックグラウンドと区別することが難しい。そこで希崩壊ではあるが $H \rightarrow \gamma\gamma$ を観測し、不変質量 $M_{\gamma\gamma}$ 分布を求めると、Higgs 粒子の質量が鋭いピークとし て存在する。エネルギー及び角度分解能の優れた電磁カロリメータが必要となる。

2. $H \rightarrow \tau \tau ~(m_H < 150 \text{ GeV})$

Higgs 粒子が軽い場合、発見に有効とされているのがこのチャネルである。 $\gamma\gamma$ よりも崩 壊確立が高く、W/Z fusion の生成過程を考えることでバックグラウンドと区別すること ができる。この場合、Higgs のピークはバックグランドである Z のピークのテールに現れ る。 τ の崩壊にはニュートリノが含まれるので E_T^{miss} の精度が重要になる。

3. $H \rightarrow ZZ^* \rightarrow 4l^{\pm}$ (120GeV~180GeV)

このモードは、最も綺麗なピークが得られるモードの一つである。一つのレプトン対に 対しては、不変質量 m_zに等しくないという条件を課することが出来るが、*Z** が仮想粒 子であるため、もう一方のレプトン対の不変質量には制限が無い。そのため、検出器に は運動量、エネルギーに対する高い分解能が求められる。

バックグラウンドとしては、 ZZ^* 、 $Z\gamma^*$ 、 $t\bar{t}$ 、 $Zb\bar{b}$ がある。このうち ZZ^* 、 $Z\gamma^*$ は減らす ことは出来ないが、生成断面積もそれほど大きくない。 $t\bar{t}$ 、 $Zb\bar{b}$ はそれぞれレプトン対が、 Z起源または Z^* 起源であるという条件をつけることによって取り除くことが出来る。

- 4. $H \rightarrow ZZ \rightarrow 4l^{\pm}$ (180GeV~800GeV) このモードが最も綺麗なピークを得られる。2組のレプトン対の不変質量が共に m_Z に 等しいという条件を課すことが出来るため、信頼性の高いモードである。ただし、Higgs 粒子の質量が大きくなるにつれ崩壊幅が急激に大きくなるため、有効性が落ちる。
- 5. $H \to ZZ \to ll\nu\nu$ (400GeV~) この領域では、このモードの方が $H \to ZZ \to 4l^{\pm}$ よりも分岐比が約6倍も高い。 $\nu\nu$ の不変質量は再構成することは出来ないが、これに起因する消失横方向エネルギー E_T^{miss} を精密に測定することが必要になる。
- 6. $H \to WW \to l\nu jj, H \to ZZ \to lljj$ (600GeV~)

この領域ではこれらのモードが $H \to ZZ \to 4l^{\pm}$ に比べて、 $H \to WW \to l\nu jj$ は約 150 倍、 $H \to ZZ \to ll jj$ は約 20 倍の分岐比を持つ。これらのモードでは、バックグラウン ドと区別するために Higgs 粒子が W/Z 融合過程によって生成された場合を考える。この 過程では、散乱角前方にクォークによる 2 つのジェットが特徴的で、このジェットを指標 とすることでバックグラウンドを排除することが出来る。

最後に ATLAS 実験における標準 Higgs 粒子発見の可能性を図 2.8 に示す。図 2.8 より、100fb⁻¹

の積算ルミノシティがあれば、標準 Higgs 粒子は 10σ の確からしさで発見できることを示している。



図 2.8: 標準 Higgs 粒子発見の可能性

2.2.2 超対称性粒子 (SUSY)

素粒子物理学の究極の目標は重力を含めた力の大統一であり、超対称性 (SUSY) の発見はこれに向けての大いなる一歩であると最も有力視されている。LEP でのゲージ理論の精密検証の結果、超対称性による力の大統一の可能性が示された。

この超対称性は、ボソンとフェルミオンを交換する。つまり通常知られているボソンやフェルミオンに対し、スピンが 1/2 だけ異なりスーパーパートナーと呼ばれる超対称性粒子の存在を予言する。例えば、クォークやレプトン(フェルミオン)のスーパーパートナーとして、スクォーク(\tilde{q})やスレプトン(\tilde{l})(ボソン)があり、グルーオン(ボソン)のスーパーパートナーとして、スクォーク(\tilde{g})(フェルミオン)がある。もし、この理論が正しければ、LHCでは強い相互作用をするスクォークやグルイーノの対が大量に生成され、超対称性粒子の発見が期待される。

R パリティ保存則を課すと、超対称性粒子は必ず対で生成され、次々と崩壊を繰り返す。崩壊仮定によっては比較的重いニュートラリーノ ($\tilde{\chi}_{2,3,4}^0$)やチャージーノ ($\tilde{\chi}_{1,2}^\pm$)が生成されることがある。そして、最終的に超対称性粒子のなかで最も軽い質量を持つ LSP(Lightest SUSY Particle)になる。この LSP の候補としては最軽量ニュートラリーノ ($\tilde{\chi}_1^0$)が考えられるが、この粒子は直接観測にかからない。しかし、解析に於いて消失横方向エネルギー E_T^{miss} として現れるので、ジェットと共に E_T^{miss} を指標として探索を行う。主な崩壊として以下の3つがある。

1. Multijets+ $E_T^{miss} \in - k$

$$\begin{array}{rcl} \tilde{g} & \to & q \tilde{q} \tilde{\chi}_1^0 \to \mathrm{jets} + E_T^{miss} \\ \tilde{q} & \to & q \tilde{\chi}_1^0 \to \mathrm{jets} + E_T^{miss} \end{array}$$

2. 同符号の2レプトン・モード

$$2\tilde{g} \to 2(q\tilde{q}\tilde{\chi}_i^{\pm}) \to 2(q\tilde{q}\tilde{W}^{\pm}\tilde{\chi}_1^0) \to 2(\text{jets} + l^{\pm} + E_T^{miss})$$

3.3 レプトン・モード

$$\tilde{\chi}_1^{\pm} \tilde{\chi}_2^0 \rightarrow l \nu \tilde{\chi}_1^0 + l l \tilde{\chi}_1^0 \rightarrow 3l + E_T^{miss}$$

2.2.3 超対称性 Higgs 粒子

超対称性理論の中で最も単純な MSSM(Minimal Supersymmetric extension of Standard Model) では、2 つの Higgs 2 重項が要求され、結果的に 5 つの Higgs 粒子が導入される。この 5 つはそれぞれ、H[±](荷電スカラー)、h(中性軽スカラー)、H(中性重スカラー)、A(中性擬スカ ラー) である。これらの Higgs 粒子の質量は 2 つのパラメーター tan β 、 m_A で表される。 以下に、MSSM 中性 Higgs 粒子の崩壊モードで観測が期待されるものを説明する。

1. $H/A \rightarrow \tau \tau$

標準 Higgs 粒子の場合はこのモードは分岐比が低く観測に適さないが、MSSM では高い 分岐比が期待される。生成された *τ* 粒子の両方がレプトンに崩壊するチャネルと、一方 はハドロンに崩壊するチャネルの2種類のモードが利用できる。

2. $H/A \rightarrow \mu\mu$

 $H/A \rightarrow \tau \tau$ に比べて、分岐比は $(m_{\mu}/m_{\tau})^2$ 倍低いが、精度よく測定が行えることから $\tau \tau$ モードでの測定を補う役割が期待される。

3. $H \rightarrow hh$

崩壊モードは、 $hh \rightarrow bb\overline{b}b$ が支配的だが、このモードでは効率の良いトリガーが行えな いため、 $hh \rightarrow \gamma\gamma\overline{b}b$ チャネルで観測されることが期待される。イベントレートは低いが、 2つの異なる Higgs 粒子の反応という意味で非常に興味深い。

4. $A \rightarrow Zh$

2つの Higgs 粒子が関係した反応として興味深い。 $Zh \rightarrow llb\bar{b}$ など Z の崩壊で生じる 2つ のレプトンでトリガーを行う方法が有効である。

2.2.4 その他の物理

ALTAS 実験の目的は上で述べた新しい素粒子現象の探索以外に標準理論の検証、ボトムクォークの精密検証、QCD の精密検証などもある。

標準理論の検証はトップクォークの質量や部分崩壊率の測定などにより行われ、ボトムクォークの精密研究はボトムクォークの稀崩壊現象を探索し標準理論を超える物理を探る手段として行われる。QCDの精密研究はクォークに内部構造がないかということを高い横運動量を持つジェットの生成断面積の測定を通して行われる。

2.3 ATLAS 検出器

ATLAS 検出器は、直径 22m、長さ 44m の円筒形で、総重量は 7,000t という巨大な汎用検出 器である。その全体図を図 2.9 に示す。検出器は内側からインナーディテクター、カロリメー タ、ミューオン・スペクトロメータから構成され、検出器の間にはマグネットシステムが設置 されている。LHC の高いルミノシティにおいても、フォトン、電子、ミューオン、ジェット、 E_T^{miss} などの信号を高速かつ正確に処理できるように、以下のような要求を満たすように設計 されている。[?]



図 2.9: ATLAS 測定器

- 電磁カロリメータによる高精度の電子とフォトンのエネルギーと位置の測定と、ハドロンカロリメータによる高精度なジェットと消失横方向エネルギー *E*^{miss} の測定
- ミューオン・スペクトロメータによる高精度のミューオンの運動量測定
- 飛跡検出器による high-p_T レプトンの運動量測定
- 広範囲のラピディティη*と完全な方位角のカバー
- 高頻度のイベントを逃すことなく処理するシステム

^{*} η は 擬ラピディティ (pseudo rapidity) と呼ばれ、ビーム軸と粒子のなす角を θ とすると $\eta = -\ln(\tan(\theta/2))$ で定義される。

• 大量のバックグラウンドに対する耐放射線性

円筒型の ATLAS 検出器は、バレルと呼ばれる円筒の筒に相当する ($|\eta| < 1$) 領域と、エンドキャップと呼ばれる円筒の円に相当する部分 ($1 < |\eta|$) の 2 つの領域に分けられる。さらにエンドキャップは、円筒の円の中心 (ビーム)付近より外側 ($1 < |\eta| < 1.9$)の領域をエンドキャップ、円の中心付近 ($|\eta| > 1.9$)をフォワードと分けて呼ぶこともある。

以下に検出器とマグネットについて簡単に説明する。

2.3.1 インナーディテクター

インナーディテクターはビームの衝突点に最も近い場所に設置され、2Tの磁場をつくる超伝 導ソレノイドの内部に位置する。図 2.10 にインナーディテクターの構造を示す。インナーディ テクターは内部から順に、ピクセル検出器 (Pixel)、シリコン・トラッカー (SCT)、遷移輻射ト ラッカー (TRT) の3つで構成されている。ピクセル検出器は、最内層にある半導体検出器で、 高い位置分解能を持つ。シリコン・トラッカーはマイクロストリップと呼ばれる細長い有感領 域をシリコン上に施した半導体検出器である。遷移輻射トラッカーは、半径 4mm のストロー チューブ検出器で、トラッキングの他に遷移輻射[†]を利用した電子の同定も行う。これらの検出 器はいずれも非常に厳しい放射線下に置かれるので、高い放射線耐性が必要である。



図 2.10: インナーディテクターの構造

2.3.2 カロリメータ

カロリメータの主な役割は、電子や γ 線、ジェットなどのエネルギー、角度の測定である。 ATLAS 実験に使用される 4 種類のカロリメータは、電磁カロリメータとハドロンカロリメー タの 2 つのカテゴリーに分けられ、広い $|\eta|$ 領域をカバーする。図 2.11 にその構造を示し、以 下に各カロリメータについて簡単に説明する。

[†]遷移放射は、誘電率の異なる 2 つの媒介境界を荷電粒子が通過する時に起こる放射。遷移放射の全エネルギーは、ローレンツ因子 γ に比例する。



図 2.11: カロリメータの構造

電磁カロリメータ

電磁カロリメータは、アコーディオン構造の鉛の吸収体と液体アルゴンからなり、放射 線耐性に優れている。セントラル・ソレノイド・マグネットの外側に設置されバレル/エ ンドキャップ領域をカバーし(図2.11の黄色部分)、電子と光子の同定に用いられる。

ハドロンカロリメータ

バレル部(ピンクの線で囲われた部分)は鉄の吸収体とタイル状のシンチレータからな るカロリメータが用いられる。放射線強度がより高いエンドキャップ部(赤部分)は、銅 の吸収体と液体アルゴンからなるカロリメータが用いられる。更に、放射線強度の高い フォワード部(緑部分)は銅とタングステンの吸収体と液体アルゴンからなるカロリメー タが用いられる。これらは電磁カロリメータの外側に設置され、ハドロンの同定、エネ ルギー測定、ジェットの再構成などを行う。

2.3.3 ミューオン・スペクトロメータ

終状態に荷電レプトンを含む物理現象は、測定装置で捉えやすい。その中でもミューオンは物質 の透過力が高く、寿命が長い為に、ATLAS検出器の外側でも他の検出器に影響されることなく検 出することが出来る。ミューオン・スペクトロメータは、軌跡精密測定用のMDT(Monitored Drift Tube)、CSC(Cathorde Strip Chamber)と、トリガー用の RPC(Resistive Plate Chamber)、 TGC(Thin Gap Chamber)の4種類の検出器とトロイダル磁石から構成され、ATLAS検出器 の一番外側に設置される検出器である。ミューオン・スペクトロメータの全体図を図2.12に示 す。図のように MDT はバレル部とエンドキャップ部の両方に設置される。CSC は、フォワー ドの内側に設置される。RPC はバレル部を、TGC はエンドキャップをカバーする。

図 2.13 の R-Z 断面図にあるように、それぞれの検出器は 3 層に重ねられて設置される。超伝 導空芯トロイダルコア磁石がバレル部(図中の赤線の四角) エンドキャップ部(図の下側中央 の青線の四角)に検出器に内包されるように置かれ、それぞれに ϕ 方向の磁場を作っている。 この ϕ 方向の磁場によって R-Z 平面内で曲げられたミューオンの曲率を、3 層の検出器で測定 してその運動量を測定する。この R-Z 平面での R 方向の座標を第 1 座標と呼ぶ。理想的には ミューオンは ϕ 方向の磁場によって R-Z 平面内で曲がるはずだが、現実には磁場の大きさが一 様ではないために ϕ 方向にも曲がる。トリガー用の 2 つの検出器 (TGC, RPC) は、この ϕ 方 向の座標(第2座標と呼ばれる)を測定する役目も持っている。トリガー用検出器の一つであ る、TGC は本論文で対象とする検出器であり、3章で詳しく説明する。ここでは、他の 3 つの 検出器について簡単に説明する。



図 2.12: ミューオン・スペクトロメータ



図 2.13: ミューオン・スペクトロメータ (R-Z 断面図)

Monitored Drift Tube (MDT)

MDT はバレル部、エンドキャップ部の広いラピディティ領域をカバーし、R-Z 方向成分を 精密に測定することができる。その構造は図 2.14 に示すような、チューブ径 30mm、ワイヤ径 50µm のドリフトチューブを積層したものであり、位置をドリフト時間と、シグナルの大きさから求めている。位置分解能は60µm、総チャネル数は30万チャンネルである。



図 2.14: MDT の構造

Cathorde Strip Chamber (CSC)

CSC は放射線の多い高ラピディティ領域 $|\eta| \ge 2$ に置かれる運動量精密測定用のカソードス トリップ読み出し MWPC(Multi-Wire Proportional Chamber) である。構造はワイヤ間隔が 2.54mm、ストリップ間隔が 5.08mm、ドリフト時間は 30nsec 以下であり、位置分解能は 60μ m となっている。

Resistive Plate Chamber (RPC)

RPC はバレル部 ($|\eta| < 1.05$) に設置され、r-z 方向、r- ϕ 方向の運動量を測定しトリガー判定 を行う。

構造はストリップを用いた検出器を2層に重ねた構造で、ストリップ間隔は2.00+-0.02mm である。RPCの構造を図2.15に示す。

2.3.4 マグネットシステム

ATLAS のマグネットは、中央のソレノイド磁石、バレル部、エンドキャップ部それぞれの トロイダル磁石の3つからなり、いずれも超伝導磁石である。マグネットの構造を図 2.16 に示 す。両トロイダル磁石は、8 つのコイルがビーム軸に対して 8 回対称になるように配置されて おり、積分磁場強度はバレル部で 2~6Tm、エンドキャップ部で 4~8Tm である。ラピディティ η の値に対するトロイダル磁場の積分強度を図 2.17 に示す。トロイダル磁場は ϕ 方向成分が主 だが、磁場の不均一性は避けられないため、R 方向成分も存在する (図 2.18)。







図 2.16: マグネットの構造



図 2.17: ηと磁場積分強度の関係



図 2.18: X-Y 平面の磁束の構造 (z=10.5m)

2.4 ATLAS 実験でのトリガー & DAQ システム

LHC の最高ルミノシティ時には、40.08MHz のビーム衝突ごとに平均 23 個の陽子の衝突が 起こり、イベントレートは約 1GHz にもなる。1 イベントを記録するのに必要なデータ量は、 ~1.5MByte と見積もられている。記憶装置、計算機資源の制限から、膨大なバックグラウン ドを含んでいる 1GHz で起こるイベントの中から物理的に重要なイベントだけを効率よく選び 出すことが必要とされる。よって、ATLAS 実験では段階的にレートを下げて行き、最終的に 200Hz 程度までおとしてデータを記録する。そのトリガー DAQ システムの中で TGC は最初 の段階である LVL1 の役割を担う。

ATLAS 実験のトリガーシステムは図 2.19 に示すように LVL1 (Level1)、 LVL2 (Level2)、 EF(Event Filter) の3段階のトリガーを設け段階的にレートを落としている。各レベルについ て以下に説明する。



図 2.19: Trigger & DAQ システム

2.4.1 LVL1

LVL1トリガーは 40.08MHz のイベントレートを 75kHz に落とすためのトリガーである。図 2.20 に示すように、LVL1トリガーシステムは、カロリメータ、トリガー用ミューオン検出器 (TGC、RPC)、MUCTPI(Muon Trigger to CTP Interface)、CTP(Central Trigger Processor)、TTC(Timing, Trigger and Control distribution system) から構成されている。基本的には 75kHz だが 100kHz までのアップグレードが可能なように設計されている。カロリメータから は、 e/γ 、 E_T^{miss} 、 τ 、Jet のエネルギー等の情報、ミューオン検出器からは高いPt の値を持った ミューオンの情報が、CTP に送られる。[?] 粒子の衝突からトリガー判定をして、フロントエン ドのエレクトロニクスへトリガーを送るまでの処理時間 (レイテンシーと呼ばれる)は 2.5 μ sec 以内でなければならない。そのため、情報量が多く、処理に時間のかかるインナーディテクター からの情報は利用せず、トリガー用ミューオンチェンバー (TGC、RPC) からの位置と Pt の情 報と、精度を落としたカロリメータからのエネルギー情報によってトリガーをかける。各検出 器からの情報は CTP に集められ、トリガー判定の結果 L1A(Level1 Accept) 信号が出される。この L1A は TTC システムによって各検出器に配られる。

各検出器からの信号は、LVL1 バッファと呼ばれるパイプラインメモリに保持される。衝突が 起きてから、L1A 信号が来るまでの処理時間である 2.5µsec の間、25nsec 毎にやってくる信号 を全て保持するために、最低 100 イベント分を保持できるように設計されている。L1A 信号を 受け取ると、LVL1 バッファの内容はデランダマイザ (derandomizer) に送られる。デランダマイ ザは不規則にやってくるデータを ROD(Read Out Driver) に読み出されるまで保持する。デー タはどのバンチ衝突のデータか、どの L1A で読み出されたデータなのかが分かるように、バン チクロッシング ID(BCID)、L1ID(LVL1ID) が付加され、圧縮されて ROD に送られる。ROD で各検出器毎にまとめられたデータは、S-Link と呼ばれる規格の ROL(Read Out Link) を通し て ROB(Read Out Buffer) へと送られる。ROB を複数持つ一つのシステムを ROS(Read Out System) と呼ぶ。



図 2.20: LVL1 トリガー処理の流れ

CTP(Central Trigger Processor)

CTP の役割はカロリメータとミューオンの情報を統合して、最終的な Level1 トリガーの判定を行うことである。カロリメータでは、 e/γ 、 $\tau/$ パドロン、ジェットのそれぞれに対し、数段階の閾値が設けてあり、同様にミューオン検出器では、ミューオンの p_T について、数段階の閾値が設けてある。CTP は最高 96 種類のトリガー項目を設定出来て、CTP が受け取る閾値を越えた情報とそのトリガー条件とを比較することで、L1A の有無を決定する。トリガー判定が終わると、CTP は TTC システムに対して、L1A(トリガー結果) とトリガーの情報を送信する。CTP でのレイテンシーは 4 バンチ (100nsec) 以下と決められている。

MUCTPI(Muon Trigger to CTP Interface)

MUCTPIはTGCとRPCの情報をMUCTPIに渡す役割を担う。RPCとTGCは各々セク タと呼ばれる単位ごとにPtの大きなミューオンの候補を挙げて、MUCTPIに送る。TGCの 場合のセクタは、forward領域で円の24等分、endcap領域で円の48等分された領域であり、 各領域からは1イベントに対して最大二つの候補が挙げられる。各候補の情報は、領域を表す RoI(Region of Interest)とPtの二つである。MUCTPIはこれらのトラックの候補を受け取り、 境界部分での処理(TGCとRPCの重なった部分で、一つのミューオンが両方の検出器に候補 を出した場合、二つの候補となってしまうが、両方合わせて一つの候補と判定する)を行って から、ミューオンの候補についての情報を、CTPへ送る。またその情報はLVL2トリガーに送 るため、RoIB(RoIBuilder)に渡される[?]。

TTC(Timing, Trigger and Control distribution)

TTC システムは、フロントエンドの各エレクトロニクスの同期をとるために、BCclock や L1A などの信号を分配するシステムである。また、TTC は各検出器固有のテストやキャリブ レーション用のコマンドを受信し、実行する役割も担う。表 2.2 に TTC が扱う主な信号を挙 げる。

信号名	主な特徴と機能
BC Clock	Bunch-Crossing signal。各エレクトロニクスを LHC のビーム衝突頻度
	(40.08MHz) に同期させるための clock。
L1A	Level 1 Accept。CTP から送られてくる。
BCR	Bunch Counter Reset BCID(データがどの BCID に属するかを示す) のリ
	セットに使用。
ECR	Event Counter Reset。L1ID のカウンター (データがどの L1A に属するか
	を示す)のリセットに使用。
EVID(L1ID)	EVent IDentifier。ROD、ROB でのバンチクロッシングのチェックに使用。
	L1ID(LVL1ID)と同じ。
BCID	Bunch-Crossing IDentifier。ROD、ROB での Level1ID のチェックに使用。

表 2.2: TTC で使われる主な信号

TTCはATLAS実験全体で見た場合、いくつかのpartitionに分割されており、例えば、TGCの場合は左右のエンドキャップが各々2つのpartitionを成している。ひとつは実験ホール用の

partition であり、もうひとつは ROD 用の partition である。ここで 2 つ用意するのは ROD の みが Trigger Word と呼ばれるトリガーの種類を特定する信号を必要とするからである。

1 つの TTCpartition は TTCvi[?] と呼ばれる VME インターフェイスを中心に構成される。 TTC で扱う信号は clock や orbit などの全検出器に共通に使用される信号の他、テストパルスを 発生させる信号など各検出器に固有な信号も扱う。またこれらの信号はひとつの TTCvi に属す るシステムには全て共通なものとなるため、partition は各検出器毎に分けられる。しかし、各 検出器の中でも設置される場所の違い等により、特にコミッショニング時や test run の場合に 異なったトリガーが要求される。このような理由で各検出器の中でも partition が分けられる。

ーつの TTC partition は TTCvi と、LTP(Local Trigger Processor)、TTCvx、RODbusy の 4 つのモジュールを必ず持つ。図 2.21 に TTC partition を示す。LTP は、partition の外部からの TTC で扱う信号を全て受信する。LHC からは 40.08MHz の BC クロックと周期 88.924*µsec* の ORBIT 信号を、CTP からは L1A 信号を受信する。L1A と orbit は TTCvi へ送信され、clock は TTCvx へ送信される。

TTCvi は受信した L1A やテスト信号を TTCvx に送信し、TTCvx は受信した情報を加工し た後、オプティカルリンクによってフロントエンドに設置される TTCrx[?] と呼ばれる ASIC ま で分配する。TTCvi から TTCvx に渡される信号は、A-Channel、B-Channel という 2 種の信 号に分配される。A-Channel で扱われるデータは L1A だけであるが、B-Channel では TTCrx に同期コマンド、非同期コマンドを送付することが出来、前者はテストパルスの発生等に用い られ、後者はパラメーターの設定などに用いることが出来る。TTCrx では、受信した信号を フロントエンドに配置される各エレクトロニクスに分配する。また、RODbusy モジュールは、 TTCpartition 内に属する ROD からの busy を集め結果を LTP に渡す。LTP が受け取った busy は CTP に渡される。



ℤ 2.21: TTCpartition

2.4.2 LVL2

LVL2 トリガーではイベントレートは 75kHz から 3kHz 程度に落とされる。カロリメータ、 MDT からの情報、インナーディテクターからの完全な位置情報に基づいて、より精度を上げ て処理を行うが、効率を良くするため、LVL1 トリガーの情報により選定された RoI(Region of Interest) と呼ばれる領域のみの情報を用いてトリガー判定が行われる。RoI とは大きい運動量 を持ったジェット、電子、ミューオンなどが検出された領域である。

複数の LVL1 の結果が RoIB(RoI Builder) に渡され、そこで RoI が決定される。RoI は他の LVL1 の情報と共に L2SV(LVL2 SuperVisor) に渡される。L2SV は受け取った RoI 及び LVL1 の 情報から LVL2 判定をするため、負荷分散アルゴリズムに従い、幾つかの L2P(LVL2 Processor) をそのイベントのトリガー判定に割り当てる。割り当てられた L2P は、LVL2 ネットワークを 介して必要なイベント情報を ROS から受け取り、LVL2 判定を行う。その結果、LVL2 Accept 信号は L2SV に戻され DFM(Data Flow Manager) に渡される。

LVL2 は 3kHz でトリガーを出し、L2P には最大で 500 台程度の PC が使われる予定で、それらでパラレルに LVL2 判定の処理を行う。1 イベントにかかる処理時間は 10msec 以下とされている。また、LVL2 判定はその精度をソフトウェアで自由に変えられるため、精度を落とせば 10msec より高速に LVL2 判定を行うことも出来る。

LVL2 Accept 信号が DFM に送られると、DFM は負荷分散アルゴリズムに従ってデータを 受ける SFI(Sub Farm Input buffer)を割り当てる。SFI はイベントビルダーネットワーク(物 理的には LVL2 ネットワークと同じもの)を介して ROS からデータを受け取り、フォーマット に従ってイベント構築を行う。構築されたイベントは EF に送られるために SFI 内のバッファー に保持される。

2.4.3 EF (Event Filter)

EF トリガーにより最終的なイベントレートが 200Hz まで落とされる。EF では全検出器の 完全な情報を用いてトリガー判定がなされる。

EF は全体で 1600 台程度の PC で構成される大規模なプロセッサ・ファームであり、幾つか の独立した EF sub farm から構成されている。EF sub farm は、スイッチング・ネットワーク を介して一つ又は複数の SFI に繋がっている。EF sub farm では EFD(EF Data flow control program) というプログラムが走っており、SFI から完全なイベントデータを受け取り、トリ ガー判定を行う。あるイベントのトリガー判定が終わると、EFD は SFI から次のイベントデー タを取って来て処理を続ける。EF 全体としてのトリガー・レートは 200Hz であるが、各 EF sub farm で並列に処理が行われるため1イベントにかかる処理時間は 1sec 以下とされている。

EF トリガー判定のためにデータは SFI より EF sub farm に取り込まれる。EF Accept 信号 が出ると、EFD はトリガー判定のために生成された情報に、イベントの完全な生データを付加 し、SFO(Sub Farm Output buffer) へとデータを送る。そして、SFO から Disk に記録される。 1イベントで発生するデータ量は 1.5MByte 程度と見積もられており、最終的に 300MByte/sec のデータが記録されて行く。

第3章 TGCミューオントリガーシステム

この章では、本論文の主題である TGC ミューオントリガーシステムについて説明する。TGC の構造、トリガー処理の方法ついて説明し、我々が開発を行っている TGC のエレクトロニク スを説明する。そして、TGC エレクトロニクスが置かれる放射線環境について述べる。

3.1 TGCの構造

TGC(Thin Gap Chamber) は 2.3.3 で説明したように、ミューオンスペクトロメータの一部で、エンドキャップに設置されるトリガー用の検出器で $1 < |\eta| < 2.7$ の領域をカバーする。 $|\eta| < 1.9$ の領域をエンドキャップと呼び、 $|\eta| > 1.9$ の領域をフォワードと呼ぶ。図 3.1 に ATLAS での TGC の位置とその構造の模式図を示す。TGC はエンドキャップ部分を円盤状にカバーするため、各チェンバーの外形は台形になっており、その大きさは配置場所によって異なるが、1 辺が 1~2m ほどである。



図 3.1: TGC の配置と構造

構造はアノードとして直径 50μm の金メッキしたダンクステンワイヤが台形の上底、下底と 平行に張られている。カソードはガラス・エポキシ板に表面抵抗が約 1MΩ のカーボンを途布 してある。ガラス・エポキシ版を挟んだ反対の面には、1 面を 32 分割した扇型の銅のストリッ プがワイヤに直交して並べてある。ワイヤには図 3.2 に示すように約 30cm 毎にワイヤサポー トがある。ワイヤサポートはワイヤのたるみを防ぐためだけでなく、ガスの流路の形成とTGC の歪みを防ぐ役割も担っている。ワイヤは 4~20 本 (幅にして 10.8~36mm)をまとめて 1 つの チャンネルとして読み出す。ストリップは 32 本あり、各ストリップはエンドキャップ領域では 4mrad、フォワード領域では 8mrad に相当する幅 (15.1~53.4mm)を持ち、それぞれが 1 つの チャンネルとして読み出される。これにより TGC は 2 次元の読み出しが可能で、ワイヤによ り R 方向の位置を、ストリップによって ϕ 方向の位置の検出を行う。

TGC は、高エネルギー実験でよく使われる MWPC(Multi-wire Proportional Chamber)型 チェンバーの1種であり、その構造は2枚の平行陰極板に等間隔に並んだ陽極線ワイヤが配置 されている。ただし、TGC は図 3.3 で示すように、ワイヤ面とカソード間の間隔 (1.4mm)がワ イヤ間の間隔 (1.8mm)よりも狭くなっているところに特徴がある。ワイヤの間隔が狭いのは電 子のドリフト時間を短くし、バンチクロッシング間隔 (25nsec) に対応できるようにするためで ある。ワイヤとストリップの間隔が狭いのは陽イオンのドリフト距離を短くし、粒子が高レー トで入射してきても検出効率を落とさないようにするためである。



図 3.2: ワイヤサポート

図 3.3: TGC の断面図

TGC は、内部に *CO*₂/*n* – *pentane*(55/45) 混合ガスが満たされ、ワイヤには通常 2.9kV の 高電圧が印加されている。このガスは、紫外線を吸収し放電を起こしにくくするクエンチ効果 という特性がある。ガス中を荷電粒子が通過すると、その経路にあるガス分子が電離されイオ ン化される。生成された電子は、アノード・カソード間の電場によって、アノードに向かう。ア ノード (ワイヤ)近傍の電場は大きいので、移動してきた電子はさらにその周辺のガス分子を イオン化し、電子雪崩を起こし、これが信号として読み出される。同時にカソード面では、塗 布された高抵抗のカーボン面に電荷が誘起され、外側のストリップにも電荷が誘起され信号と して読み出される。

実際のATLAS実験では、TGCは1層(singlet)では用いず、図3.4で示すように、2層(Doublet)または3層(Triplet)を重ねた構造にする。Doubletの場合は2層のワイヤ面と2層のストリップ面から読み出しが行われる。Tripletでは、2層目にはストリップがなく、3層のワイヤ面と2層のストリップ面から読み出しが行われる。多層にすることで、各層のコインシデンスを取ってバックグラウウンドによるフェイク信号の影響を減らすだけでなく、ワイヤサポートによる不感領域の影響も減らすことが出来る。

トリガー用のチェンバーである TGC は、25nsec 毎に起こる LHC のバンチ衝突を正しく識別するために、1回のバンチ衝突による信号が 25nsec 以内の範囲に収まっていなければならな



図 3.4: TGC の Triplet(左) と doublet(右) の構造

い。図 3.5[?] に、粒子が TGC を通過してから信号を出すまでの時間分布が TGC に対する粒 子の入射角度によってどのように変化するかを示す。これは 3GeV の π を用いたビームテスト の結果である。

約115nsec で最も早い信号が到達し、ここから25nsec の間、つまり140nsec までに到達した 信号が同じバンチとして認識される。入射粒子が0度(TGC に垂直に入射)の時、時間分布の 値は25nsec になっているが、入射角度の増加に伴い、ジッターは減少し45度では15nsec 以下 まで小さくなっている。この垂直入射の場合に見られる到達時間分布の遅いテールは、ワイヤ 間の中間近傍付近に生じる電場が小さい領域のみを粒子が通過することから生じている。しか し、実際の実験環境下においてはTGC への入射角度は10度から45度であり、その領域にお ける時間分布は25nsec よりも十分に小さい。



図 3.5: TGC の時間分布

3.2 TGCの配置



図 3.6: R-Z 断面での TGC のレイアウト

図 3.6 に示すように、TGC システムは M1,M2(middle), M3(pivot) と EI(Endcap Inner), FI(Forward Inner) の5 つから構成される。M1 は 3 層 (Triplet) のチェンバー、M2,M3 は 2 層 (Doublet) のチェンバーから成り、トリガー判定には主にこの計 7 層が使われる。また、内側 から M1 では T1,T2,T3、M2 では D4,D5、M3 では D6,D7 と各層を呼ぶ。これら 5 つがそれぞ れ、ATLAS の両側のエンドキャップで円盤状に並べられて配置される。図 3.7 に pivot の配置 を示す。黒い線で示されているセルが 1 つの TGC を表している。

TGC は 1/12 円 (円形状に配置した TGC を ϕ 方向に 12 等分したもの) が 1 つの大きな単位 となっており、データの処理、TGC の建設はこの単位で行われる。(図 3.7 の赤い線で示され た部分)

レベル1トリガーに関連する部分では、1/12はさらにセクタと呼ばれる単位で分割され、図 で示すように、エンドキャップを ϕ 方向に4等分した領域と、フォワードを ϕ 方向に2等分した領域をそれぞれトリガーセクターと呼ぶ(図 3.7 の水色の部分)。

トリガーセクターの ϕ 方向の幅がちょうど TGC1 枚の幅と一致する。さらにトリガーセク ターはエンドキャップ領域では η 方向に37 分割、 ϕ 方向に4分割、フォワード領域では η 方向 に16分割、 ϕ 方向に4分割され、それぞれサブセクターと呼ばれる(図3.7の黄色の部分)。サ ブセクターは8ワイヤグループと8ストリップに対応しており、これらはトリガー処理の最小 単位であり、1 つの RoI(Region of interest) でもある。

ATLAS 実験に設置される TGC の総数は約 3700 枚で、全チャンネル数は R 方向で約 22 万、 ϕ 方向で約 10 万になる。



図 3.7: M3(pivot) での TGC の配置と区分

3.3 トリガースキーム



図 3.8: Pt 測定の原理

図 3.8 に、ミューオンの Pt の求め方を示す。まず、pivot でのミューオンの通過位置とビーム衝突点を結ぶ直線 (Infinite Momentum Line)を考える。この直線は、Pt 無限大のミューオンが磁場の影響を全く受けずに直進してきた場合のトラックである。Doublet 及び Triplet で、ミューオンが通過した位置と Infinite Momentum Line が通る位置の差を、R、 ϕ 方向それぞれに検出することで $\delta R, \delta \phi$ の値を求め、ミューオンの Pt を検出する。トロイダル磁場が理想的な ϕ 方向成分のみの磁場であれば、 $\delta \phi = 0$ となるが、実際には磁場は一様でなく R 方向にも存在するので、 ϕ 方向の変位 $\delta \phi$ も考えなければならない。

ミューオントリガシステムでは、Low-Pt と High-Pt と呼ばれる 2 種類の Pt に関する閾値を 設けている。この閾値の値は、Low-Pt が 6GeV 以上、High-Pt が 20GeV 以上となっている。 middle 及び Triplet では、それぞれ $\delta R \ge \delta \phi$ の上限が設定されており、上限の $\delta R \ge \delta \phi$ で形成 される領域をウィンドウと呼ぶ。middle でのウィンドウは、Low-Pt 以上の Pt を持つミューオ ンが通過できる範囲になっており、Triplet のウィンドウは High-Pt 以上の Pt を持つミューオ ンが通過できる範囲になっている。

図 3.9 で示すように、TGC では 2 層構造、3 層構造を利用したコインシデンス処理を行うこ とで、バックグラウンドによる偶発的なトリガーを抑えながら、トリガー判定を行っている。 Low-Pt コインシデンス情報は pivot、middle の 2 つの Doublet を使用して求められる。ワ イヤ、ストリップ共に 4 層のうち 3 層以上で、ウィンドウの範囲内にヒットがある (3 out of 4



図 3.9: TGC トリガーの判定方法

コインシデンス)かどうかで判定を行う。

また High-Pt コインシデンス情報の場合には、Low-Pt コインシデンスの条件に加えて、Triplet にワイヤでは3層のうち2層以上で(2 out-of 3)、ストリップでは2層のうち1層以上で(1 out-of 2) ウィンドウの範囲内にヒットがあるか無いかで判定を行う。

Triplet ウィンドウは Pt が 20GeV 以上の場合、確実にその範囲を通過するが、Pt が 6GeV 以上のミューオンでも多くの場合 Triplet ウィンドウの範囲を通過するため、Pt の判定は High-Pt コインシデンス情報を基に決定される。しかし 20GeV 以下の場合、Triplet ウィンドウの範囲 から漏れてしまうこともあり、その場合には Low-Pt コインシデンス情報を用いて Pt を判定 する。

3.4 TGCエレクトロニクス

ここでは、TGCエレクトロニクスについて説明する。まず、システム全体のデータの流れ、 及び配置を述べる。次にTGCエレクトロニクスで使われる各モジュールについて説明する。

3.4.1 システム全体

ここまでは主に TGC のトリガー用検出器としての機能について述べてきたが、TGC には

- LVL1 ミューオントリガーシステムとしてトリガー判定のための情報を得る
- MDT が測定出来ないユーオンの第2座標(φ方向の座標)の情報を得る

という二つの役割がある。よって、データの流れは大きく分けて、

トリガー系 25nsec 毎に流れるトリガー判定の為の情報

リードアウト系 L1A が来ると読み出される TGC 各層でのミューオンのヒットチャネル情報 コントロール系 TGC エレクトロニクスの各モジュールをコントロールするための情報 の3つがある。

TGC エレクトロニクスの全体像を図 3.10 に示し、3 種類のデータの流れについて簡単に説明 する。特に図 3.11 にトリガー系とリードアウト系のデータの流れを示す。



図 3.10: TGC エレクトロニクス

トリガー系

トリガー系の流れは、ASD(Amplifier Shaper Discriminator) ボード, PP(Patch Panel ASIC), SLB(Slave Board ASIC)、HPT(High-Pt ボード), SL(Sector Logic) の順に信号が処理される (図 3.11 の赤線)。TGC から出力されるアナログ信号は、ASD ボードに送られ、信号の増幅・ 整形・デジタル化が行われ、LVDS 信号で PP へと送られる。PP では、各チャンネルへ粒子 が到達するまでの飛行時間である TOF(Time of Flight) やケーブル遅延などから生じるタイミ ングのずれを調整し、バンチ識別 (信号を LHC clock に同期させる) を行う。SLB では、PP か らの信号を受け取り、4 層からなる pivot,middle Doublet からの信号をもとにコインシデンス 処理(3 out of 4) が行われ、Low-Pt トリガーの判定が行われる。また Triplet からの信号につ いてもコインシデンス処理(ワイヤ:2 out-of 3, ストリップ:1 out-of 2) が行われる。HPT では、 SLB で測定した Doublet 及び Triplet のコインシデンス処理の結果を基に、High-Pt コインシ デンス情報が生成される。SL では、それまで独立に扱われていたワイヤ・ストリップの情報を 統合し、コインシデンス処理が行われ、TGC のトリガー系の最終的な情報として Pt が大きな 2 つのトラックをセクタ毎に選び出す。SL の結果は、MUCTPI(Muon CTP Interface) に送ら れ、RPC の情報と合わせて、ミューオンの最終的なトリガー判定が下される。



図 3.11: TGC エレクトロニクスのデータの流れ

リードアウト系

リードアウト系の流れは図 3.11 の青線で示される。PP から送られてきたデータは、SLB の 中にあるレベル 1 バッファに蓄えられ、L1A 信号を受けたデータのみがデランダマイザを通 じて、次段の SSW(Star Switch) へと送られる。SSW では、データの圧縮を行い、あるフォー マットにデータ を変換する。またトリガー情報 (コインシデンス処理の結果) は SL に搭載さ れた SLB から同様に SSW に送られる。変換されたデータは ROD(Readout Driver) に送られ、 ROD では最大 8 個の SSW からの情報を収集し、それらのデータと TTC から送られてくる情 報との整合性を確認し、データが正しいものであれば、要求されるフォーマットにデータを変 換して、ROB(Readout Buffer) に送られる。

コントロール系

コントロール系は、ATLAS 実験では各検出器の制御と監視を統一的な方法で行うために DCS(Detector Control System) が導入され、フロントエンドには ADC(Analog-Digital Converter) やDAC(Digital-AnalogConverter) などの機能を持った eLMB(embedded Local Monitor Box) がPS Board 上に設置される。HPT/SSW が搭載される VME*クレート (HSC クレート)は 実験室外の CCI(Control Configuration Interface Board) から HSC(High-pT Star-switch Controller Board) を介してコントロールされ、PS Board 上の PP/SLB の設定は SSW から行う。ま た、TGC エレクトロニクスでは、DCS は温度状態管理や供給電源の監視、さらに SSW から行わ れる PP/SLB の設定も、バックアップのために eLMB から行えるようにしてある。PS Board 上 には JTAG プロトコルの PP/SLB への経路選択を行うために JRC(JTAG RoutingController) が設置される。

3.4.2 TGC エレクトロニクスの設置

TGC エレクトロニクスは TGC 側面に直付けされている ASD 以外に大きく3つの場所に分けられて設置される。PS Pack は Triplet 用のものは、図3.25の様に Triplet の(衝突点から見て)前面に、Doublet 用のものは、pivot の裏側に設置される。2つ目の場所は、TGC を支えるビックウィールという構造体の外縁である。ここには HSC、HPT、SSW が搭載された、HSC クレートと呼ばれる VME クレートがおかれる。HSC クレートは1つの1/12に1台設置される。以上の2つの場所は UXA15 と呼ばれる実験ホール内で、ここに設置されるモジュールは強い放射線環境下に置かれるため、放射線耐性が求められる。

3 つ目の場所は実験ホールから $90 \sim 100m$ 離れた外にある USA15 というコントロールルーム で、ここには VME64x クレートが置かれ、CCI、SL、ROD が搭載される。図 3.13 に設置位置 を示す。

3.4.3 ASD(Amplifier Shaper Discriminator) Board

ASD Board は TGC の側面に取り付けられ、4 チャンネル分の処理が出来る ASD ASIC が 4 個 搭載され、1 つのボードで 16 チャンネルを処理する。ASD ASIC は、TGC からのアナログ信号 を増幅、整形し、ある閾値電圧を越えた信号だけを LVDS(Low Voltage Differential Signaling: 低電圧作動信号)レベルの信号で出力する。また、ASD ボード以降のエレクトロニクスの診断 やタイミング調整のために、トリガー信号を受けて、擬似的な TGC の出力信号 (Test Pulse) を出力する機能も持っている。ASD ボードは、後述する PP ASIC が設置される PS Board と ツイストケーブルで接続され、動作電源、閾値電圧、Test Pulse のためのトリガーは全て PS Board から供給される。また、ASD Board には 16 チャンネル目のアナログ信号をモニタでき るアナログ出力もついている。図 3.14 は ASD Board の写真である。

^{*}Versa Module Europe の略で、IEEE で規格化された産業用の標準バス。96 ピン DIN コネクタを実装した 32 ビット・バスで最大通信速度は 50MB/sec であり高エネルギー物理の分野でも一般的に用いられている




図 3.13: TGC エレクトロニクスの配置 (R-Z 断面)



⊠ 3.14: ASD Board

3.4.4 PP(Patch Panel) ASIC

ASD から送られてくる信号は、TOF やケーブル遅延などで到達時間は必ずしも揃わない。 そこで、PP ASIC でタイミング調整とバンチ識別を行う。具体的には、ASD からの LVDS 信 号を LVDS レシーバーにより、CMOS レベルの信号に変換する。次に variable delay 回路で、 各チャンネルにそれぞれ 0~25nsec の範囲でディレイをかけることによりタイミングの調整を 行う。このディレイは 0.84nsec 単位で調整が可能になっている。タイミング調整された信号は BCID (バンチクロッシング ID)回路に入り、TTC から供給される LHC clock と同期が取ら れバンチ識別が行われる。最期に TGC の重なった部分のダブルカウントを防ぐため、OR ロ ジックを通して SLB ASIC に送られる。また PP ASIC は、ASD Board に向けて Test Pulse を発生させるためのトリガーを出力する Test Pulse 回路も搭載している。Test Pulse の振幅、 タイミングは可変であり、JTAG プロトコルによって制御出来る。PP ASIC は一つで 32 チャ ンネル信号を処理できる。図 3.15 に PP ASIC のブロック図を示す。



図 3.15: PP ASIC のブロック図

3.4.5 SLB(Slave Board) ASIC

SLB は大きくわけて、トリガー部とリードアウト部からなる。トリガー部は TGC からの入 力信号に対して、コインシデンス処理を行い、6GeV 以上の Low-Pt を持つミューオンの信号 を選別する。SLB の段階では、ワイヤとストリップ、Doublet と Triplet は別々に扱うので、設 定により 5 種類のコインシデンス処理 (ワイヤ Doublet, ストリップ Doublet, ワイヤ Triplet, ストリップ Triplet, EI/FI)を切替えられるようになっている。Doublet ではワイヤ、ストリッ プ共に middle、pivot からの信号を使い、4 層を利用して 3 out-of 4 のコインシデンスをとる (図 3.16 参照)。そして、pivot を基準にして middle 上でのズレによって Low-Pt の判定を行う。 Triplet では Doublet と独立に処理されるため、pivot の情報が無い。従って、Pt は測定されず、 位置のみが求められる。また、Triplet はワイヤとストリップで層の数が違うため、ワイヤでは 2 out-of 3、ストリップでは 1 out-of 2 のコインシデンスがとられる (図 3.17、図 3.18 参照)。 EI/FI ではミューオンが通過したかどうかのヒット情報のみがとられる (図 3.19 参照)。また トリガー部には、PP ASIC からの信号に 1/2clock 単位でディレイをかける機能や、各チャン ネルをマスクする機能、連続したチャンネルにヒットがあった時にその中の一つのチャンネル だけから信号を出力させる機能 (デクラスタリング:図 3.20 参照)、さらに SLB 以降のエレクト ロニクスの診断やタイミング調整を行うための Test Pulse を出力する機能も持っている。





図 3.17: SLB 2 out-of 3 ブロック図







図 3.19: SLB EI/FI ブロック図



図 3.20: デクラスタリング

リードアウト部は、LVL1トリガーの判定を受けたデータの読み出しを行う部分である。主 にLVL1バッファとデランダマイザにより構成される。データはLVL1バッファと呼ばれる、幅 212bit、深さ128段のシフトレジスタに蓄えられる。212bitの内訳は入力データ160bit、トリ ガーパートの出力40bit、バンチ・カウンタ値12bitとなっている。このデータはCTPからの L1Aが与えられるまでの時間保持され、L1Aが与えられると該当するデータとその前後1バ ンチずつの、計3バンチ分のデータにそれぞれ、イベントカウンタの値(4bit)が付加されデラ ンダマイザにコピーされる。デランダマイザにコピーされるとすぐに、3バンチ分のデータは

3.4.6 JRC(JTAG Routing Controller)

JRC は2系統の入力ポートと7系統の出力ポート、それらをコントロールするための2系統 のJTAG ポートを持つスイッチングルータである。それぞれのラインは、TRST, TCK, TMS, TDI, TDO の5つの信号から成る。2系統の入力ポートはSSW と eLMB からのもので、図 3.21のように CA_JTAG(または CB_JTAG)がJRC 内のスイッチをコントロールすることで、 Q1~Q7 のポートのうち1つを選択して DA_JTAG(または DB_JTAG)の信号をそのまま出力 する。JRC は、PP/SLB にアクセスするためのインターフェイスであり、PP/SLB の設定は JRC を中継して行われる。7系統の出力ポートは、4 つが PP ASIC へのもので、3 つが SLB ASIC へのものである。

JRCは初めASICとして実装される予定だったが、今年の放射線照射テストでAntifuse FPGA[†] (焼き切り型で、一度しか書き込みの出来ない FPGA)の対放射線性が確認されたため、この素 子を使って実装されることになった。



図 3.21: JRC 内部の模式図

3.4.7 DCS(Detector Control System)

DCS は eLMB (embeded Local Monitor Box) と呼ばれるサブモジュールを使用し、ADC (Analog-DigitalConverter) や DAC (Digital-Analog Converter) が搭載され、センサーからの信号をデジ タル化してモニタし、制御用のアナログ信号を作り出せる。具体的には、温度モニタ、エレク トロニクスの電圧・電流モニタ、チェンバー位置モニタ、TGC のアノードに印加する HV (High Voltage) 電源電圧のモニタとコントロール、ASD の閾値電圧の設定などを行う。eLMB は CAN バス[‡]を通じてデータの読み書きが行われる。

[†]Field Programmable Gate Array の略 CPLD 同様、内部に回路構成用のメモリーを持ち、自由に回路構成 を行うことができる。CPLD とは内部構造やプログラム素子が異なる。

[‡]CAN(Controller Area Network) はマルチマスターのシリアルバスシステムで、アドレスの概念がなく、送信 側は識別子を付けてメッセージを配信し、受信側はその識別子を見てメッセージを受信するかを決めるプロトコル。

3.4.8 PS Board

PS ボードには図 3.22 に示すように、PP ASIC、SLB ASIC、JRC、eLMB が搭載される。 PS Board では、ASD からの LVDS 信号を PP ASIC で受け、TGC のオーバーラップ領域での ダブルカウントを防ぐための OR 論理回路を通して、SLB ASIC へ送られる。SLB ASIC で、 トリガー系と読み出し系に分かれ、トリガー用データは HPT へ、読み出し用データは SSW へ と、それぞれ LVDS 信号に変換され、さらにシリアライズされて送られる。また、SSW あるい は eLMB から送られてくる PP/SLB を制御するための JTAG 信号は、JRC により PS Board に設置される各 ASIC に分配される。さらに PS Board は、ASD Board に電源電圧と閾値電圧 を供給する役割も果たす。PS Board は後述する SPP から、TTC(Timing Trigger Control) に よって供給される LHC clock や、各種 Reset 信号、Test Pulse のためのトリガー信号等の信号 を受け取る。図 3.23 に PS Board の写真を示す。



図 3.22: PS Board の構成図



☑ 3.23: PS Board

3.4.9 SPP(Service Patch Panel) Board

SPP には TTC の信号を受信する機能を持つ TTCrx が載せられ、TTC から LHC clock、 L1A、BCR、ECR、Test Pulse トリガー等の信号を受け取り、それらの信号を 10 又は 17 枚の PS Board に分配する。

SPP には、TTCrx の設定を行うために I²C プロトコル [?] を受信する、カテゴリー 5 ケーブ ルのポートが搭載されている。また、HPT クレートへ clock とリセットを供給するカテゴリー 5 ケーブルのポートが搭載されている。図 3.24 に SPP の写真を載せる。

3.4.10 PS Pack

PS Board と SPP は、図 3.25 に示すような PS-Pack にまとめられ、Triplet の前面、及び Doublet の後面に設置される。PS-Pack は 1/12 毎に 2 つ設置され、1 つの SPP と複数の PS Board(Triplet は 10 枚、Doublet は 17 枚) から構成される。



 \boxtimes 3.24: Service Patch Panel



図 3.25: PS-Pack の構成と配置

3.4.11 HPT(High-Pt Board)

HPT は Doublet と Triplet の情報を用いて HPT コインシデンス情報を生成する。HPT はま ず、PS Board から送られてきた LVDS レベルのシリアライズされたデータを、パラレルのデー タに変換する。HPT では、SLB ASIC まで独立に処理されてきた Doublet と Triplet のデータ を統合して HPT コインシデンス情報を生成する。Triplet は 2 つの Doublet よりも衝突点に近 く、しかも Doublet 同士の間隔よりも離れた位置に設置されているため、Triplet を用いること によりトロイダルマグネットによってあまり曲げられることがなかった大きな Pt を持つミュー オン信号を選別できる。HPT ではワイヤとストリップは独立に処理が行われ、 $\delta R, \delta \phi$ を出力す る。以後この論文ではこの $\delta R, \delta \phi$ を delta と呼ぶ。図 3.26 にワイヤ、図 3.27 にストリップのブ ロック図を載せる。出力データはシリアライズされ、オプティカル信号に変換されて、光ファ イバーによって 90 ~ 100m 離れた実験室外のカウンティング・ルーム (USA15) にある SL に送 信される。HPT はエンドキャップ領域用のワイヤとストリップ用、フォワード領域用の計 3 種 類作られる。フォワード領域用には 3 つ、エンドキャップ領域用には 4 つの HPT ASIC が搭載 される。図 3.28 に HPT Board の写真示す。



図 3.26: HPT ワイヤ ブロック図



図 3.27: HPT ストリップ ブロック図

3.4.12 SL(Sector Logic)

SLは TGC エレクトロニクスシステムのトリガーのデータが最終的に集められるモジュール であり、2 トリガーセクター分の信号を処理する。SL は主に $R-\phi$ コインシデンス、プレトラッ クセレクター、ファイナルトラックセレクターから構成される。まず SL は、HPT から送られて きたシリアライズされているオプティカル信号を受け取り、電気信号に変換した後パラレル変 換をする。そして、HPT Board まで独立に処理されていた R 方向 (ワイヤ) と ϕ 方向 (ストリッ プ)の HPT 信号から両者のコインシデンス ($R-\phi$ コインシデンス)を取ることにより、ミュー オンのトラックを構築する。それらのトラックを、 $ssc(Sub-Sector Cluster: R 方向に 2 つ、 \phi 方$ 向に 4 つの Sub-Sector のあつまり) ごとに 6 段階の Pt の閾値によって分類する。6 段階のう ち3段階はLow-Pt用で、残り3段階がHigh-Pt用となっている。はっきりと決まっている閾 値は Low-Pt の 6GeV 以上と High-Pt の 20GeV 以上という 2 つのみで、その他は探索する物 理により実験中に自由に変更出来ることが要求されるので、閾値は書き換え可能な Look-Up Table(LUT)によって実装される。プレトラックセレクターは、6段階のPt 判定のそれぞれに 用意され、Ptの大きい順に2つの選択して、計12トラックがファイナルトラックセレクター に送られる。ファイナルトラックセレクターでは、プレトラックセレクターから送られた1ト リガーセクター分のトラックから Pt の大きいものを2つ選択して、6段階の Pt 判定と位置情 報を MUCTPI に送る。このロジックは FPGA に書き込まれる。SL が処理に使用した HPT か らのデータと SL での処理の結果は、SL に搭載された SLB から USA15 に設置された SSW に 送られる。SLには各セクタに対して一つずつ SLB が搭載され、JRCも搭載される。図 3.29 に SLの写真、図 3.30 にブロック図、図 3.31 に SL での処理の流れを載せる。



🗷 3.29: SL

⊠ 3.28: HPT Board



図 3.31: SL での処理の流れ

3.4.13 SSW(Star Switch)

SSW の主な役割は、SLB のリードアウトから送られてくるデータを圧縮し、ROD にデータ を送る前にデータ量を減らして、効率よい読み出しができるようにすることである。具体的な データ圧縮は、データを cell と呼ばれる 8bit ごとの塊に分け、各 cell にアドレスを付け、値が ゼロでない cell だけをアドレスと共に送る。TGC の全チャンネルのうちヒット信号を発生す るのはごく一部なので、これによりデータを減らすことが出来る。1 つの SSW で最大 23 個の SLB のデータを受ける。SSW はまず、SLB からの LVDS レベルのシリアライズされたデータ を受け取り、それをパラレルのデータに変換する。そのデータは SSWrx(レシーバー) に送ら れ、データの圧縮が行われる。その後データは、SSWtx(トランスミッター) に送られ、フォー マットされる。フォーマットされたデータはシリアライズされ、オプティカル信号に変換され て 90 ~ 100m はなれた実験室の外にある ROD に送られる。また SSW は、PS Board 上の PP ASIC、SLB ASIC に JTAG プロトコルによってレジスタ設定と、I²C による SPP 上の TTCrx の設定も行う。図 3.32 に SSW の写真を載せる。

3.4.14 Read Out Driver Board (ROD)

ROD は TGC エレクトロニクスシステムの中でリードアウトのデータが最終的に集まるモ ジュールである。ROD は複数の SSW からシリアライズされた圧縮データをオプティカル・ファ イバーを通して受け取り、オプティカル信号を電気信号に変換した後パラレル・データに戻し、 FIFO メモリーに一時格納する。このデータを、トリガー情報を元に同じイベントごとにまと め、決められたフォーマットにしたがってヘッダー、トレーラーをつける。まとめられたデー タは S-link(Simple Link Interface) というフロントエンドとリードアウトのエレクトロニクス を繋ぐために CERN で開発された光信号のリンクモジュールによって ROB(Read Out Buffer) に送信される。イベントの同定やヘッダー、トレーラーをつけるためには TTC からのトリガー 情報が必要となるため、ROD には TTCrx が載せられたメザニンボードが搭載され、これによ リ TTC からの信号を受け取ることができるようになっている。 ROD は 100kHz でこれらの処理ができるように求められている。



⊠ 3.32: SSW

3.4.15 High-pT Star-switch Controller Board (HSC)

HSC は HPT、SSW と同じ VME クレート (HSC クレート) に載せられる、VME マスターモ ジュールである。後述する CCI とオプティカルケーブルで結ばれ、CCI からの命令を受け取る。 命令を受け取ると、命令に対応した処理を行いその後 CCI へ応答を返す。命令は HPT や SSW に対するもので、命令を受け取ると VME バスを支配しスレーブモジュール (HPT、SSW) に 対して命令を伝える。また VME バス以外に JTAG バスも使用されている。このため HSC に は、CCI との情報のエンコード、デコードのために 2 種類の機能が用意されている。ひとつは PPE(Primary Protocol Encoder) という JTAG 用のもので、リセットや JTAG のコントロー ルを行う。もう一方は SPE(Secondary Protocol Encoder) という VME 用のもので、VME の コントロールを行う。図 3.33 に HSC の写真を載せる。

3.4.16 Control Configuration Interface Board(CCI)

CCI はローカルホストからの命令を受け取り、命令専用レジスタに格納したあと HSC へと送信する。一方 HSC からの応答は、応答専用レジスタに格納されローカルホストが読み出す。 これら以外にも状態監視用のレジスタや VME 優先割り込み用のレジスタが用意され、これらは VME 経由でアクセスすることが可能である。図 3.34 に CCI の写真を載せる。



⊠ 3.33: HSC



🕱 3.34: CCI

第4章 Onlineソフトウェアの開発

これまでTGC エレクトロニクスグループは、プロトタイプのエレクトロニクスの開発を行っ ておりそれらを制御するプログラムもまたプロトタイプの為に開発をされてきた。本年度は、 プロトタイプでの動作実験が終わり、ATLAS にて使用されるエレクトロニクスの開発が行わ れて来ている。それらを制御するソフトウェアも同様に ATLAS に対応出来る様に変更を行っ た。この章では、まず ATLAS 測定装置を制御するための Online ソフトウェアの枠組みを説明 する。その後、今回開発を行った RCD ソフトウェアの問題点とその解決、動作検証について 述べる。

4.1 online ソフトウェア

ATLAS 測定装置はデーター収集の開始から終了までを全システムが同期を取ってコントロールされ、各検出器の各部分が 25ns 間隔で起こる事象を正確に特定し同じバンチのデータの収集と解析をしなければならない。

全ての検出器のコントロールを同期を取りながら運用を行うため、ATLAS で使用される online 環境は online グループが発行している online ソフトウェアパッケージの枠組みの上に構 築される。online ソフトウェアの役割は、データベースへのアクセス、ユーザーとのインター フェイスの供給、各ソフトウェア要素のコントロール等であり、データ収集を制御する。

トリガーの制御、データフローの制御、DCSの制御、RCD 制御等の個別のソフトウェアは 全てこの online ソフトウェアの枠組みの上に構築されている。次節以降で述べる RCD ソフト ウェアも online ソフトウェアの上に構築されており、各検出器グループは RCD の制御のため の共通の RCD ソフトウェアを利用するが、各検出器に固有な部分のみを記述する必要がある。 online ソフトウェアは、図 4.2 で示されるようにコントローラー (root Controller)の下にそ れぞれの検出器の制御を行うパーティションを設定しコントローラーから送られるステートの データーを基にそれぞれの検出器を設定された状態へ制御を行うという物である。この構造に より、それぞれのパーティションが単体でも運用が出来るようになっている。online ソフトウェ アで定義される State の順序は図 4.3 に示す通りである。それぞれの State へ移る時に online 環境の中心となるコントローラから各ソフトウェア要素に対して命令が出される。主な State の意味は以下のようになっている。

• initial

initial では、まずそれぞれのソフトウェアの初期化が行われ、それぞれのハードウェアに 対するアクションを行うことが出来る状態にする。また、必要があれば、ハードウェア 全体のリセット等もここで行われる。

• Load

Load では、データーベースから、それぞれのハードウェアの種類や数、それぞれのステートで行われる動作の情報を読み出し InfomationServer (IS) に登録を行う。IS は online

ソフトウェアで定義されていて、異なったソフトウェアの要素間での情報の交換に使用 される。

• configure

configure では、データー取得を開始する為の準備を行っている。Load によって読み出した、ハードウェアの情報に従い、それぞれのハードウェアをデーター取得が出来る状態に制御を行う。

 \bullet start

start では、データーの取得を開始するステートである。

 $\bullet \ {\rm stop}$

stop では、データの取得を終了するステートである。



図 4.1: Online Soft 概念図



☑ 4.2: partition

4.2 RCD ソフトウェア

RCD(ROD Crate DAQ)ソフトウェアは online ソフトウェアの枠組みで動作し、ROD クレートをコントロールするソフトウェアである。また、フロントエンド・エレクトロニクスのコントロールやデータ収集といった動作を commissioning、calibration 時には独立したシステムとして、また本実験が始まった時には ATLASDAQ システムの一部として共通のプログラムを使用できるように構成されている。

RCD ソフトウェアはいくつかの Segment と呼ばれる部分から成り、OnlineSoft の RootContloler と Partiton と同じ関係が RCD Prosess と ReadOutModule と呼ばれる Segment によっ て構成されている。Segment はいくつかの ReadOutModule と呼ばれる class を保有しており、 ReadOutModule には load 等 State 毎の関数が定義されている。TGC の場合、ReadOutModule は RCDTGCFEModules である。RCD ソフトウェアが動作する Segment では、RCD process と Local Controller process が動作する。Local Controller process はデータベースへアクセス する。データーベースは、それぞれの ReadOutModule に接続されているハードウエアの情報 を定義している必要がある。また、オンラインソフトウェアの枠組みの中には State と言われ る動作が定義されていて、root controller からその状態に移るよう各 segment に命令が渡され る。各 segment は信号を受け取り、RCD process がそれぞれの State に対して定義されている 動作を行う。State は図 4.3 に表されるとおりで、LOAD / CONFIGURE / RUN の順に遷移 する。

各検出器をコントロールするソフトウェアは、各検出器に固有な部分を最小限にし、出来る だけ共通のソフトウェアを使用することが望まれる。できるだけ共通なものを使用することに より、システムの変更や問題が発生した場合の解決を容易にする。この共通の枠組みが RCD ソフトウェアである。

4.2.1 TGC エレクトロニクスコントロール

コントロール

TGC エレクトロニクスはそれぞれの動作が 25ns に同期して動作を行うように設計をされて いる為、RUN の最中に内部の設定値を動的に変化をさせる事は無理である。その為、RUN 開 始前に全ての設定を行ってしまい、RUN 開始後には制御を行わなくても動作するように設計 がされている。TGC エレクトロニクスのコントロールソフトウェアもそれぞれの HW を RUN 開始前に初期設定を行うように設計される必要がある。また、エレクトロニクスの設定では、 設定する順序が重要となる。順序は、前述の online ソフトウェアの枠組みによる State で分け られるがそれ以上に細かい順序付けが必要となる。TGC エレクトロニクスからの要請は、ま ず TTC を初期化する。その後、各モジュールに対してリセットシグナルを送り、モジュール 内部のレジスタを全て初期化させる。その後、各モジュールの設定をする。モジュールの設定 では、CCI-HSC の先に SSW があり、SSW の先に PS ボードがあるという構造から、PS ボー ドよりも SSW を先、SSW よりも CCI を先に設定をする必要がある。最後に TTC の設定と、 ROD の fifo をクリアする。これはコンフィギュアの最中に出てしまった SSW からのデータを 消すためである。

図 4.4 は TGC エレクトロニクスのコントロールパスを示している。エレクトロニクスは clock や ECR 等の TTC 信号による早いコントロール (赤線) と、JTAG、VME アクセスによるレジ スタの設定の遅いコントロール (緑線)の二系統から成る。これら二系統の信号を SBC からの VME アクセスによって制御する。



☑ 4.4: Controll Line

segment の構成

TGC の segment は TGCJSegment を中心に構成されている。TGCJSegment と ROSandROD82_TGCSegment はコンテナとなる segment であり実際に動作を行うのは RCD82_TGCSegment、 ROS82_TGCSegment、FE_TGCSegment である。ROS82_TGCSegment では ROS ソフトウェ アが動作するが、RCD82_TGCSegment と FE_TGCSegment では RCD ソフトウェアが動作 する。

4.2.2 データベース

データベースはXML で記述され Local Controller がアクセスする。TGC では RCDTGCFEModules がパラメーター (TgcParameter) を保持するという形式を構成した。RCDTGCFEModules と RCDTGCFEModules が持つ TgcParameter の情報は図 4.5 に示す構造をしている。



図 4.5: TGC データベース構造

4.2.3 TGC での RCD ソフトウェア

機能

TGC エレクトロニクスをコントロールするため、図 4.6 のように動作を割り振った。RCDT-GCFEModules を呼び出す順序と、呼び出された RCDTGCFEModules の設定の順序は XML に記述された順序で動作するように実装されている。また、State を分けるため、各 TgcParameter に State 情報を付加して決まった State で動作し、同じ State の中では XML に記述された順に動作するように実装されている。ここで、Prepareaction ステートは start ステートに移行する直前に行うべき設定を TGC ソフトウェアによって追加し設定を行うようにしている。





構成

以上の条件で RCD の枠組みを使い TGC エレクトロニクスの制御を行う為、TGC エレクトロ ニクスに固有な部分は LocalController process から呼び出される RCDTGCFEConfiguration、 RCD process から呼び出される RCDTGCFEModules、RCDTGCFEModules からのデータで 実際にエレクトロニクスを制御する TGCModules の3つのパッケージを TGC 独自で開発を 行っている。

それぞれの機能について述べる。

• RCDTGCFEConfiguration

Local Controller process に呼び出される関数のライブラリ。XML で記述されたデータベー スから受け取った情報を適切な形式に整えた後、RCD process (RCDTGCFEModules) に渡す。

• RCDTGCFEModules

RCD process からここに記述されている各 State の動作が呼び出される。各 State での 動作の内容、順序がここに記述されている。必要なデータベースにある情報を受け取り、 TGCModules の中の関数に渡して動作する。動作の内容は、RCDTGCFEModules クラ スが持つ各 TgcParameter に対して図 4.7 にある動作をする。またデータベースからの情 報を IS(Information Service) サーバへ送る。各 State で行われる動作をまとめたのが図 4.6 である。

• TGCModules

module毎にRead,Writeの動作が記述されている。種類の違うmoduleでも同じIC(Chip)を使用している場合があり、それらのメンテナンス性を高める為、大きく分けて以下の、3種類のClassによって作成されている。

- Module

UniversalPS モジュールや SSW モジュール等、実際のモジュールに当たる部分、搭載されている Chip とボード上からの Chip のアドレス、モジュールへのアクセス API を保持している。

- Chip

各 Module に搭載されている Chip が記述されている。Read や Write の関数は、ここに記述されている。

アクセス API

実際の Module の置かれている位置により VME アクセスの方法が異なるが表 4.1 の ようにそれぞれの API が定義されており、各 Chip はそれらに縛られること無く記 述する事が出来る。

Access	動作	module
VMEHB	VME でアクセスする	ROD,SL,TTC
CCI	CCI 経由で VME アクセスする	HPT,SSW
CCISSW	CCI 経由の SSW から JTAG でアクセスする	PS ボード

表 4.1: モジュールへのアクセス

また、それらのモジュールの接続は図 4.8 で表される。



 \boxtimes 4.7: configure process



 \boxtimes 4.8: TGCJS egment

4.3 TGC オンラインソフトウェアの変更

昨年のビームテストまでにプロトタイプ版のハードウェア(Universal-PSBoard、Prototype SSW、Prototype HighPt、Prototype SectorLogic)を使用したデータ取得を行う事が完了していた。現在、ATLASで使用されるエレクトロニクスの開発と量産が行われている。今回の目的は、それらのハードウェアを新たにRCDの枠組みに入れることである。さらに、CCIアクセスのAPIは1つのクレートで1台までしか、制御を行うことが出来なかったのだが、ATLASでは多数枚の制御を行うことが必要とされる為、この変更も同時に行った。以上大きく分けて2つの変更を行った。

それぞれの変更を以下に書く。

4.3.1 TGC エレクトロニクスの実装

新しいエレクトロニクスを追加する為、前述のモジュールのうち RCDTGCFEModules と TGCModules の変更を行った。

RCDTGCFEModules は XML からのデータを元に、TGCModules に Module の作成やそれ らのモジュールに対するアクセスの関数が定義されている。17種類の PS ボード、SSW モ ジュール、HighPt モジュールの登録を、今回新たに行った。

また、それらの登録により RCDTGCFEModules から TGCModules に呼び出される Chip、 Module の作成も同時に行った。

これにより新しいエレクトロニクスも、今までのソフトウェアと同様に XML より制御を行う事が出来るようになった。

また、SSW モジュールは PS ボードや SPP に搭載されている TTCrq への通信経路ともなっている為、CCISSW-API の変更も同時に行った。

4.3.2 多数の CCI のコントロールの実装

今までのビームテストやハードウェアの制御のテストでは CCI の運用は単体でしか必要が無 かった。しかし、ATLAS 本番では、1つの Segment で最低12の CCI を制御しその先にある ハードウェアにアクセスする必要がある。そこで、新たに CCI に対するアドレスを XML 内部 に記述する必要がある。しかし、CCI に対するアドレスとモジュールに対するアドレス2つを 記述すると、XML の整理が煩雑になりメンテナンス時に不具合を起こす可能性が高まる。そ の為、XML 内の PhysAddress の値の上位に1バイト分の CCI アドレス記述部分を追加してや り、それを CCI-API や CCISSW-API でデコードを行い。CCI アドレスを抽出するように変更 を行った。これによりソフトウェア的には最大で256枚の CCI のコントロールを行う事が可 能となった。

これにより、XML に記述される PhysAddress は図に表されるように32 Bit の値で全てが 記述されるようになった。

4.3.3 簡易デバッグシステムの実装

また、これまでは、ハードウェアのデバッグのソフトウェアとして、細かい動作を行うプロ グラムが多数開発されてきた。しかし、それらによって行われた変更を RCD ソフトウェアに 反映させる事は別の人間の手によって行われてきていた為、RCD ソフトウェアは最新版の制御

CCISSW API (PS Boards)

PhysAddress	0	x	0	1	8	3	0	0	0	2
	HE	Σ	CCI Add (0x0100	ress 0000)	SS (03	W (83	Ado 000	dres 00)	s	SSW port

CCI API(SSW HPt Module)

Phys Address	0	х	0	1	8	3	0	0	0	0
	HEX		CCI Address (0x01000000)		Module Address (0x830000)					

VMEHB API(SL TTC Module)

PhysAddress	0	х	F	В	0	0	0	0	0	0
	HE	X	Module Address (0xFB000000)							

☑ 4.9: PhysAddress

を行うことが出来ていない状態であった。しかし、ハードウェアのデバッグに RCD を使用す るには、RCD の動作は遅くまた、システムとして最低 2 台の PC を使用しないといけない等、 使いにくいという欠点があった。そこで、RCDTGCFEModules と TGCModules のライブラ リを利用し、動作の軽いソフトウェアの開発を行った。これにより、RCD システム全体をセッ トアップする必要なく、また PC 1 台でハードウェア& RCD ソフトウェアの動作確認を行う 事が出来るシステムを作成する事が出来た。このシステムを使用しハードウェアと制御のソフ トウェアのデバッグを行うと、その変更がそのまま RCD ソフトウェアの変更になり、開発の 手間の減少が期待される。

4.4 TGC オンラインソフトの動作実証

今回、これらの変更の動作確認をスイスにある CERN 研究所にて行った。使用したセット アップは、新型ハードウェアとして、完成している M1 用 PS ボード10枚(PS-pack 5箱)と SSW モジュールをテストした。さらにそれらを制御する為に従来からあるモジュールの SPP、 HSC、CCI、SBC、JapanTestROD も使用した。図 4.10~図 4.12 に今回のセットアップの写 真を示している。図 4.13 に今回のセットアップの画略を示している。赤い線が VME プロトコ ルを元としたそれぞれのハードウェアの制御を示している。ピンクの線が TTC より送られる CLK,ECR,BCR,L1A,RESET,TESTPULSE を示し、青い線は、PS ボード SSW ROD ROS PC の ReadOutPath を示している。紫の線はそれぞれの PC の State コントロールを示 している。これらのシステムによって、TGC M1 Big Weel の 1/24 をカバーするシステムで ある。

それぞれの、PSボード上のSLB Asic にシグナルの入力を検知し任意の信号が入力したよう な動作を行うテストパルス機能を使用し検査を行うことにした。また多数枚のCCIモジュール に対応できていることを確認する為、CCIのアドレスを今までのアドレスから変更を行いテス トを行うこととした。それぞれのPSボードのSLB Asic に全チャンネルヒットのシグナルを入 力し、そのデーターをSSWモジュールを経由して読み出しを行った。それにより、10枚の PSボードすべてからきちんとテストパルスを取得できていることを確認した。図4.14 にその



☑ 4.10: FESegment (PS-Packs,SPP)



 \boxtimes 4.11: FES
egment (HSC Crate,
VME64X Crate)



 \boxtimes 4.12: RCD82_TGCJS
egment



図 4.13: セットアップ見取り図

結果の一部を表示した。このグラフは、M1トリプレットの最も外に配置される T8 と呼ばれ る形の 3 層の TGC の Wire をカバーする SLB からのシグナルである。この図から、すべての チャンネルのヒット情報が読み出せていることがわかる。このようなヒストグラムをすべての SLB から読み出す事が出来、すべての Chip も制御が正しく行われた事がわかる。また、同様 の操作を、今回作成した簡易デバッグシステムを使用し制御を行ったところ、同じデータを取 得することが出来た。これにより、今回組み込んだ改造はすべて動作をするということが確認 された。

また、これらのハードウェアを現在製作を行っている M1の1/12 円に取り付けて試験も行った。TGC に付けられている ASD からのテストパルスを使用し同様のデータ取得を行った、これについても問題なくデーター取得を行うことが出来た。それらの図を4.15 と 4.16 に示す。



図 4.14: テストパルスシグナル



EW80 layer-3

h

EW00 layer-2

EW00 layer-1

図 4.15: ASD テストパルス

図 4.16: PP Asic Delay パラメータースキャン

第5章 Sector Logic

今回、前後方トリガーミューオントリガーシステムの最終段となる Sector Logic Board の開 発を行った。この章では、Sector Logic 回路の基本設計を説明した後、それぞれの構成要素を 説明する。その後、今回開発を行った Sector Logic Board の開発について述べる。

5.1 Sector Logic 概要

SectorLogic 回路は前後方ミューオントリガーシステムの中で最終段を担っており、大きく分けて2つの機能を持っている必要がある。1つは、HPtより送られてくる ΔR 、 $\Delta \Phi$ の値を基に各 SubSector 毎に、Mounの運動量 (Pt)を6段階で求める $R - \Phi$ Coincidence 回路2つ目が、 $R - \Phi$ Coincidence から得られたミューオントラックの中から運動量の高いトラックを2つ選ぶTrackSelection 回路である。また、SectorLogic 回路を設計するにあたり、制約条件は以下の5つである。

- 1. LHC の衝突周期である 40.08*MHz* に同期して、デッドタイムレスで動作をしなければならない。
- 2. それぞれのバンチで独立して結果を出さなければならない。
- 3. HP t モジュールからの入力から出力までに許される Latency は最大で 200ns(8CLK) で、 Latency はいつも一定でなければならない。
- 4. 入射ミューオンの運動量測定で用いられる6段階の閾値は、探索する物理や測定条件に より実験中に自由に変更が出来なければならない。
- 5. Hpt モジュールからの入力情報と SectorLogic の出力情報は読み出しが出来なければならない。

1,2の条件から必要とされる最低動作周波数が規定される、処理漏れ無く動作を行う為には最低 40.08MHzの動作周波数が必要とされる。3の条件は、短時間に処理を終了させる事が要求 される LV 1トリガーシステムの CTP において、各ディテクターからの信号を統合して各バン チ毎にトリガー信号を生成させる為には、Laytency が一定でなければならない。また LV1ト リガーが出る時間をデーター保持時間である $2.5\mu s$ 以下にする為に SectorLogic は 200ns 以下 の Latency にする必要がある。1 ~ 3の条件を充たす為、SectorLogic は 200ns 以下 の Latency にする必要がある。1 ~ 3の条件を充たす為、SectorLogic は、論理回路とパイプ ライン処理を使用し回路を形成する事にした。パイプライン構造は、図 5.1 に表されているように、システムクロックによって動作するフリップフロップ(FF)と、その間に位置する、組 み合わせ回路によって構成される。全体を LHC の衝突周期の 40.08MHz で動作させる為、各 FF 間にある組み合わせ回路の遅延時間を 2 5 ns 以内にする必要がある、各 FF 間の組み合わ せ回路を少なくすれば遅延時間を少なくする事は出来るが Latency の条件があるため必要以上 に増やしてはいけない。



図 5.1: パイプラインロジック 概念図

また4の条件を充たすには、Ptの値を導き出す回路を組む場合、磁場の負均一性や、マグネットなどの構造物の影響から単純な計算回路では求める事が出来無い。また、組み合わせ回路では変更の自由度が無くまた、Latency一定を維持する事が難しくなってしまう。そこで、Look-Up-Table(LUT)を使用した設計を行うことにした。LUTとは入力信号の取りうる全てのパターンについて、予めそれぞれのPtの値を計算したデーター(図5.2)をメモリーに格納し、入力信号をインデックスとしてメモリの内容を参照する事によって結果を得る方式である。このLUT はメモリーに格納するデーターの値を返すだけなので、反応時間は一定となり、パイプライン構造にも適している。

また、閾値の変更や、コミッショニング時にイレギュラーな使い方にも出来るだけ対応でき るようにこれらの回路を FPGA や CPLD といった、内部回路を変更することが出来る IC に よって構成させている。

5の読み出しについては、SLB Asic を用いて PS ボードと同様の読み出し回路を構成させる ことでクリアーさせる事とした。

5.1.1 $R - \Phi$ Coincidence

R- Φ Coincidence 回路は、HPt モジュールから送られてくる、SubSector の位置情報 R、 Φ の 値とその SubSector の ΔR 、 $\Delta \Phi$ の値を基に Pt を求める回路である。回路の構成としては前 述の LUT を使用して記述する。しかし、各 SubSector 毎に Pt の値を出すとその後の Track Selection 回路で選別を行う Pt の数が Forward で 6 4 個、EndCap で 1 4 8 個と情報の量が多 くなってしまう。これにより、回路が巨大化し Latency が大きくなってしまう可能性がある。そ こで、TrackSelection 回路に送る情報の数を何らかの方法で減らす必要がある。HPt モジュー ルからの入力信号は、図 5.1.1 の様に SubSector の位置 R、 Φ それぞれに隣接する SubSector 2 つから 1 つの Hit 情報に絞られて出力される。この為、R、 Φ それぞれ 2 つを合わせて 1 つの 塊 (HarfSubSectorCluster)と考えても問題が無くなる。また、TrackSelection 回路で扱う情 報量が 1/4 に抑える事が出来る。

さらに、1つの Sector 領域に2つの µ 粒子の入射があった場合を考える。この場合、4つの SubSector 領域から粒子の Pt 情報が出力される可能性がある。これにより、最大で4粒子の入 射があったと誤認してしまう可能性がある。この事を避ける為に、先ほど考えた SubSector 4つ



図 5.2: シミュレーションを用いた、SubSector の LUT の例 右側の2つの位置にある SubSector は、磁場がきれいであり、比較的 δR の増減によって Pt の値が変化している事がわかる。 しかし、左側2つの SubSector は磁場が変化をしており、 δR にのみで Pt を判断する事が出来ない事がわかる。



の塊をさらに隣接する ϕ 方向に2つまとめた領域を1つの塊として考え、その8つのSubSector の中から1つのPt情報を出力するようにし、この塊をSubSectorCluster(SSC)とした。この SSCによって、1つのRのHit情報からは1つのPtの情報を出さないようになり μ 粒子の数 の数えミスを回避できるようになる。また、8つのSubSectorから1つのPt情報しか出さな い為、Track Selection回路が処理する情報量が1/8に抑えることが出来る。



図 5.3:2 粒子入射時の反応

5.1.2 Track Selection

TrackSelection 回路では、高いPtのトラック2種類を選び出す回路である。このPtの選び出 しを大きく分けて、PreTrackSelector と FinalTrackSelector の2段階の回路で構成されている。 PreTrackSelector では *R* – ΦCoincidence から送られてくる各 SSC からの情報を6段階の各 Pt で仕分けを行いその中から R の最も小さい物から優先順位を付けそれぞれ2つづつ Hit 情 報を選び出します。その後、FinalTrackSelector 回路で、PreTrackSelector から送られてくる 最大12トラックの情報から Pt が高く、優先順位の高いTrack 2つを選び出す。この構成によ り、SSC 数の多い EndCap の SectorLogic 回路でもそれぞれの回路で扱う情報量を抑えること が出来る。

5.2 プロトタイプ Sector Logic

これまでに、 $R - \Phi$ Coincidence 回路、Track Selection 回路のテストの為に Prototype 版の Sector Logic Board が作成されており各回路に関しての動作は問題が無いことが確認されて いる。



🗷 5.4: Proto Type Sector Logic

しかし、過去の FPGA の内臓メモリーでは 1 つの FPGA で Forward 領域 1 つ分のメモリー が内臓されておらず、2 つが $R - \Phi$ Coincidence の為の FPGA、1 つが TrackSelection の為の FPGA と 3 つの FPGA を使用し構成されていた。この構造では、3 つの FPGA 間の配線は基 板を通ることとなり、この部分の変更は行うことが出来なくなってしまう。この為、もし回路 に変更を行わなければならない状況が起きた場合に最悪ボードの再開発を行わなければならな い可能性もある。また、各 FPGA の Pin の数の問題によって、読み出し部分の回路について、 入力情報と出力情報が同期されず出力されているという問題もある。

以上2つの問題点を解消するボードを設計することが今回の目的である。

5.3 SectorLogic ボードの開発

5.3.1 ボードの設計

今回は、前述の問題点を解消し、さらにコミッショニング時の動作も考慮に入れた Forward 側の Sector Logic Board の開発を行った。Prototype 版 SL と違う箇所は以下の様になっている。

1. SectorLogic 回路を構成する FPGA の数を一つの Sector あたり1つにする。

- 2. 2つ Sector を1枚のボードに内蔵させる。
- 3. 同一バンチに対応する入力と出力の読み出しを行えるようにする
- 4. Hpt からの光ファイバーの信号入力の状態を監視し、異常があればそれを自動復帰させる。

5. NIM 出力を付ける。

1 については、開発時に最新であった Xilinx 社の FPGA (Vertex*II*)を使用すると1つの FPGA で1つの Sector の LUT をまかなえるメモリー量が確保できる。

2 については、搭載する FPGA の数が減った事により、2つの SectorLogic 用 FPGA を搭載させる事が出来る様になった。またこれにより、製作する基板枚数が半数になりコストの削減にもなる。3 については、まず HPt からの入力を全て SectorLogic 内の FPGA に入力をし、FPGA 内部でトリガー処理の為と出力情報と同期をさせる為の遅延回路の2つに入力を行い、

	必要メモリー量(kb)	使用 FPGA	搭載メモリー量(kb)
Forward	576	XC2V1000-BG575	720
Endcap	1656	XC2V3000-BG728	1728

表 5.1: LUT の必要メモリー量と FPGA の搭載メモリー量

入出力を同期させた状態で SLB へ入力させる事で解決をする事にした。4 については HPt からのデーターは Glink と呼ばれるシリアライズされた高速通信で送られて来る。それらの通信 は専用の送受信 IC を使用し FPGA 等で使用できる信号形式に変換をされるのだがもし、Glink 通信で問題があった場合に専用 IC からその情報が送られて来る。その情報を解析し、通信に問 題があった場合に、再度通信状態を回復させるように専用 IC をコントロールする FPGA を 1 つ搭載する。5 については、コミッショニング時等 MUCTPI が動作しないような条件下でも データの取得を行い各部の微調整が行えるように L1A 出力機能として NIM の出力を搭載した。 今回はこれらのの機能を追加した Sector Logic Forward Board の設計を行った。図 5.5 が

SectorLogicForward の概略図である。



図 5.5: Sector Logic イメージ図

ボードの構成は大きく分けて4つに分けられ、それぞれが以下の部分を担当する。

1. SectorLogicFPGA

本ボードの中心となる、SectorLogic の回路を構成する部分である。使用する FPGA は Xilinx 社の Vertex2 を使用すればメモリー、Pin 数共に 1 つの FPGA に SectorLogic 回 路をいれることが出来る。同時に、読み出しの SLB への出力情報を入力情報と出力情報 を同期させ出力させる Delay 回路も内蔵されている。

2. GlinkMonitorFPGA

HP t モジュールから送られてくる信号を監視制御する回路である。HP t モジュールか ら送られてくる信号の受信 IC を制御し受信状態に問題が起きた場合に自動復帰を行うよ うに制御を行う。同時に受信状態を SectorLogic 部 IC に送信するようになっている。

3. SLB Asic

HP t モジュールからの入力、SectorLogic からの出力情報を ROD へ送る為の Asic で ある。

回路としては SLB を使用し SSW 経由で読み出しを行う PS ボードと同じ回路で構成されている。

4. VME access CPLD

VME を使用し SectorLogic 用 FPGA や GlinkMonitor 用 FPGA、SLB に対するアクセ スを担っている。内部に VMEAccess を各 FPGA に振り分けや JTAG アクセスに変更す る回路、JRC と同等の回路等を内臓し各 IC に対してのアクセスの制御を行っている。こ の CPLD により、VME のアクセスによってすべての FPGA、SLB をコントロール出来 るようにした。

以上の図 5.6 が完成した SectorLogic Forward の写真である。



図 5.6: SectorLogic Forward 写真

5.3.2 FPGA,CPLDの内部設計

前述ボードに搭載した FPGA や CPLD は、内部回路を書き換えて、多目的に使用する事が 出来る IC である。それらの内部回路はハードウェア記述言語(HDL)と呼ばれる、プログラム 言語によって記述される。今回はその HDL の一種である Verilog - HDL によって各 FPGA、 CPLD の内部回路を記述した。

Verilog-HDL は、C++言語の Class の様に一定機能を持った Module を作成しそれらを組み 合わせて記述する事が出来る。つまり、大きな機能を持った回路を構成する場合でも小さな機 能の回路を複数記述し、それらの Module をより大きな Module が持つという入れ子のような 記述を行う事が出来る。また、同じ Module を多数内蔵する事も出来る為、同じ機能を多数必 要とする場合やデバッグの時に一つ一つの Module 単位でデバッグを行う事が出来るという利 点がある。今回、SectorLogic に搭載されている2種類の FPGA、1種類の CPLD はそれぞれ 一定の機能を持った Module を組み合わせて記述を行った。

SectorLogicFPGA

SectorLogicFPGAの内部回路は、6つのモジュールから構成されるように記述を行った。図 5.7 が SectorLogic 回路図の内部回路の概略図である。色のついた箱がそれぞれの機能を持つ Module で、赤い矢印がデーターの流れを示している。



図 5.7: SectorLogicFPGA 概略図

以下でそれぞれの Module について解説を行う。

Delay Logic

Delay Logic はその名のとおり、入力した信号を任意の時間、遅らせる回路である。構造と しては、FF(FlipFlop)を連続して連結してある構造をしている。出力部分は、VMEAccess に よって定義された Register の値の FF の出力を選択し、出力をする。

Decorder Logic

Decorder Logic は、HPt からの入力信号をそれぞれのSSCの入力に対応をさせる振り分け 回路である。また、同時に入力の無いSSCへは、Hit 無しの情報を送る様になっている。

SSC Logic

SSC Logic は、 $R-\Phi$ Coincidence を行い、最大2つのPtの出力の内からPtの高い値のTrack を選択し出力を行う回路である。SSC Logic は2つのHarfSSC Module と1つのPt Selection Module を持っている。

HarfSSC Module は、HarfSSC 領域から1つのPtを選び出す Module である。また、Pt Selection Module は、2つの HarfSSC Module から出力されるPtの値を判別し、Ptの高い Track を出力する Module である。

Pre Track Selection Logic

Pre Track Selection Logic は各 SSC より出力される Pt をそれぞれの Pt に分け、R の小さ い物から優先順位をつけ各 Pt から優先順位の高い Track を 2 つ選び出す Logic である。回路 としては、まず、各 SSC からの入力を各 Pt に選別を行い各 Pt では R の小さい物から優先順 位を付け優先順位の高い Track 2 つを出力する。

Final Track Selection Logic

Final Track Selection Logic は、Pre Track Selection Logic より送られて来る最大12の Track から Pt が高く優先順位の高い順に Track を2つ選び出す Logic である。

Encorder Logic

Encorder Logic は Delay Logic から送られて来る HPt モジュールからの入力信号と、Final Track Selection Logic から送られて来る Pt の高い2 Track の信号を使い、MUCTPI と SLB Asic 送る形に変更する Logic である。

Glink MoniterFPGA

Glink Monitor FPGA は前述の Glink の自動復帰を行う回路である。回路としては、AutoRecoverLogic が GlinkIC の数だけ実装されている形になる。概略図を図 5.8 に示す。



図 5.8: Glink Monitor FPGA 概略図

AutoRecoverLogic

AutoRecoverLogic は Glink 受信 IC (HDMP-1034A)の状態である、RXErrorPin の状態を監 視しもし error 状態になっていた場合、クロックの同期周波数の設定 Pin (RxDIV[1:0])を一 度 40.08MHz の範囲外の設定にし、16CLK 後に再度通常状態の設定値に戻す回路である。ま た、1回でも同期が外れた場合、その情報を保持しておく事が出来るようになっている。

VME Access CPLD

VME Access CPLD は、大きく分けて2つの機能を持っている。1つめは、VME アクセス を受けて各 FPGA のレジスターに対し書き込み、読み込み動作をさせる機能。2つめは、VME アクセスを JTAG 信号にし、各 FPGA、SLB Asic に対して JTAG での読み書きを行う機能 である。これらの機能は2つの Module で実装を行った。VME アクセスを受け、各 FPGA と CPLD 自身のレジスターにアクセスを行う VME Access Module、外部からの JTAG と VME からの入力のどちらかを各 FPGA や SLB Asic の JTAG に接続する Mini JRC Module である。

VME Access Module

VME Access Module は、VME からの読み書きの信号を検知し、各 FPGA、や CPLD 自身のレジスター対して読み書き動作を行うモジュールである。

Mini JRC Module

Mini JRC Module は、VME Access Module と外部 Pin からの JTAG の入力を、各 FPGA、 SLB Asic に対して振り分ける動作を行う Module である。回路の内容としては、同じ動作を 行う JRC の HDL コードを流用し、行き先設定のレジスターの値設定が JRC では JTAG 経由 で行うのに対して、MiniJRC は CPLD の VME Access で書き換えを行うように変更がされて いる。

5.4 Sector Logic の動作検証

完成した Sector Logic Board を使い、動作検証を行った。検査は以下のような流れで行った。

- 1. 各 FPGA、CPLD 等の動作の確認
- 2. CPLD を使用し VME Access の確認
- 3. GlinkMonitorFPGA に回路を入れ Glink 通信が出来ている事を確認
- 4. SectorLogicFPGA に回路を実装し、シミュレーションの値と比較
- 5. SLB Asic での読み出しを確認

まず、電源を投入し、CPLD に対して、各 FPGA ヘ JTAG 通信が出来るような回路を読み 込ませ、各 FPGA の動作を確認した。ここで、SectorLogicFPGA への設定 Pin の設定が間違 えており、動作 OFF の設定にしてしまっていた。そこで、基板に対して加工を行い、動作設 定 Pin が動作 On となるように変更を行った。この改造で、Sector Logic FPGA が動作をする ようになり、全 FPGA の動作を確認できた。

次に、CPLDに、前述で論じた機能を実装した回路を読み込ませ、VME Access を行た。CPLD の内部レジスターへ読み書きを行いVME Access が動作している事が確認された。

次に、GlinkMonitorFPGAの内部回路を実装した。これにより、Glink受信 IC が動作を行い、 Glink 経由でのデータが SectorLogicFPGA で読み出せる事を確認した。これにより、GlinkMonitorFPGA は動作する事が確認された。 次に、Sector Logic FPGA の回路を実装し SectorLogic としての機能があるか測定を行った。 全部の SubSector に対して、図 5.9 にあるような Map を入れた SectorLogic 回路を、読み込ま せた。



 \boxtimes 5.9: Test R Φ Matrix

使用した機材は、PPGを2台、TTL出力をGlink出力に変換を行うモジュールであるSLTester、 SectorLogicの出力信号形式であるLVDSを、TOMで読み出せるTTL信号に変換する、LVD-StoTTLモジュール、読み出しを行うTOMである。実験のセットアップ概略図を図 5.10 に示 している。



図 5.10: SectorLogic 回路テストセットアップ図

これらの機材を使用し、SectorLogicFPGA 1つに対して、シミュレーションによって作ら れた、入力データーを入れた。そして、その出力を、NIM モジュールの LVDStoTTL モジュー ルを経由させ TOM によって読み出し、シミュレーションの値と比較を行った。結果、回路は 正常に動作を行っている事が確認された。

次に、SLBを使用しSSWでデーターの読み出しの確認を行った。ここで、JRCに対してア クセスが出来ないことが判明した、原因はJRCのリセットラインの配線を回路図の段階で接続 間違いをしており、JRCに常にリセットがかかっている状態になってしまっていた。再度、基 板加工を行い、JRC のリセットを OFF の状態になるように変更を行った。

この変更により、SLB Asic での読み出しが出来るようになり、SectorLogic Board としての機能がすべて動作する事が確認された。また、SectorLogicBoard から MUCTPI に送る信号ケーブルが変更になった為、信号コネクタを変更する必要が出来た。

第6章 まとめ

今回、オンラインソフトウェアのバージョンアップと、Sector Logic Forward Board の開発を 行った。結果として、オンラインソフトウェアは、ATLAS で使用予定のハードウェアを制御す る事が出来る事が確認された。これにより、ATLAS実験において、SectorLogic 以外のモジュー ルはオンラインソフトウェアのフレームワークで動かせる事が確認できた。しかし、M1BigWeel の1/24 でのテストの時にかかる時間が予想よりも大きく、ATLAS 実験全体での動作を考えた 場合に、さらに時間を短縮させる必要性があると思われる。これの解決策として、PSボードの Configurationの時に JRC のルートの設定を常に上書き変更しているのだが、その変更方法を改 造してやる事によって、動作時間の短縮が出来ると考えられる。また、データーベースに記述さ れている1つ1つのTgcParameterをInfomationServer に登録を行う為、その通信時間が大きく なってしまっていた事も原因の1つである。それぞれのTgcParameterの値は、Commissioning の時に確定され、その後は変更が行われない予定である。そこで、TgcParameterを変更し、現 在のステート情報と制御すべき Moduleのみを XML に記述し、RCDTGCFEModule が内部に 独自のデーターベースを持ちその値を使い制御を行って行くという方法が解決策として考えら れる。この方法だと、1つのモジュールは5個のステートの数だけ TgcParameter を持つ事に なり、現在の PS ボードの TgcParameter の数である 1 0 0 ~ 1 5 0 個と比べると 1/20 以上の 通信量の低下を実現できるとかんがえられる。

また、SectorLogicBoard は、回路図の描き間違えの為のミスが2つとコネクターの形状変更の3つの変更を行う必要があるが、基本的な性能としては問題なく動くことが確認された。再度、修正された回路図を描き、基板の再作成を行う必要があるが、基本的な機能などに問題は見つからなかった。これにより、Tgcトリガーエレクトロニクスのボード作成は、ほぼ終了する事となる。

今後は、これらエレクトロニクスの制御プログラムの更なる有用性の向上とエラーハンドリ ングや、Commissioning時の対応や、その時に使用するベきソフトウェア等の制御方法を考え て行く必要がある。また、SectorLogic 回路のLUT に内蔵させる Coincidence Window の作成 やデバッグ等も今後の課題になると考えられる。エレクトロニクスとしても、今回発見されて いないバグなどが内包されている可能性もあるため、ハードウェアの使用頻度を上げ、高負荷 時や、多枚数の同時動作等 ATLAS 実験本番に向けてより、安定で、かつ操作性の高いソフト ウェアの開発などを行って行く事が必要となる。
謝辞

本研究を行なう機会を与えて頂くと共に適切な指導と助言を頂いた指導教官 蔵重久弥助教授 に深く感謝致します。また本研究において、常に丁寧な御指導と助言を頂きました佐々木修氏、 池野正弘氏に深く感謝致します。TGC エレクトロニクスグループにおいて、様々な御指摘と助 言を頂いた福永力氏、安芳次氏、坂本宏氏、菅谷頼仁氏にも深く感謝致します。また様々な面 で貴重な意見と御指導を頂いた石野雅也氏、長谷川庸司氏、田中秀治氏、川本辰男氏、石井恒 次氏、他 ATLAS 日本グループの方々に深く感謝致します。また、研究生活を通じて惜しみな い協力と助言を頂いた杉本卓也氏、竹内一真氏、田村勇樹氏、大町千尋氏、喜家村裕宣氏、及 川麻衣子氏に深く感謝致します。TGC エレクトロニクスグループで共に研究を行い議論した、 一宮亮氏、野本裕史氏、山口嘉樹氏、桑原隆志氏に心から感謝します。上記の方々のおかげで、 楽しく充実した研究生活を送る事が出来ました。最後に全ての方々に、心から感謝を申し上げ ます。