

修士学位論文

ATLAS 前後方ミューオントリガーのオンラインソフトウェアの研究

神戸大学大学院 理学研究科 物理学専攻
粒子物理研究室

072s119s

中塚 洋輝

Hiroki Nakatsuka

2009 年 2 月 6 日

概要

CERN(欧州合同原子核共同研究機構)において ATLAS 実験の準備が進んでいる。ATLAS 実験とは LHC の衝突点に設置される ATLAS 検出器を用いて、素粒子の質量の起源を担うヒッグス粒子の発見や、標準理論の枠組みの外に予言されている超対称性粒子の発見を目指している実験である。我々が構築している前後方ミューオントリガーシステムは、衝突点での反応事象を選別するため、ミューオンを用いてトリガーを生成するシステムであり、新物理の発見に重要な役割をもっている。

現在、ATLAS 検出器のコミッショニング(動作検証)が行われており、前後方ミューオントリガーシステムのコミッショニングを我々が行っている。

本論文で主に述べる Sector Logic とは、ミューオントリガーシステムの 1 部で、トリガー情報を集めて最終的なトリガーを発行する役割を持つ。本論文では、Sector Logic のモニタリングなどのオンラインソフトウェアの開発についてを主に論ずる。

目次

第 1 章	序論	2
第 2 章	ATLAS 実験	3
2.1	LHC の概要	3
2.2	ATLAS の目指す物理	4
2.2.1	標準理論 Higgs 粒子	5
2.2.2	超対称性粒子	9
2.2.3	超対称性 Higgs 粒子	9
2.2.4	ミューオンの関係する物理のまとめ	10
2.3	ATLAS 検出器	11
2.3.1	内部飛跡検出器	12
2.3.2	カロリメータ	13
2.3.3	ミューオン・スペクトロメータ	13
2.3.4	マグネットシステム	17
2.4	ATLAS 実験でのトリガー & DAQ システム	18
2.4.1	ATLAS 実験のトリガー & DAQ スキーム	19
2.4.2	LVL1	20
2.4.3	LVL2	23
2.4.4	EF	24
第 3 章	TGC システム	25
3.1	TGC システムの配置	25
3.1.1	ビッグウィール	26
3.1.2	トリガーセクターとサブセクター	26
3.1.3	EI/FI	26
3.2	TGC の概要	27
3.2.1	動作原理	27
3.2.2	TGC の構造	27
3.2.3	TGC からのシグナル	30
3.3	TGC システムでのトリガー判定	31
第 4 章	TGC システムの読み出し	33
4.1	システム全体	33
4.1.1	トリガー系	34
4.1.2	リードアウト系	35
4.1.3	コントロール系	36
4.2	TGC エレクトロニクスの設置	37
4.3	エレクトロニクスの詳細	39

4.3.1	ASD Board	39
4.3.2	PP ASIC	39
4.3.3	SLB ASIC	40
4.3.4	JRC	43
4.3.5	TGC DCS	43
4.3.6	PS Board	44
4.3.7	SPP Board	45
4.3.8	PS Pack	45
4.3.9	HPT	45
4.3.10	SL	46
4.3.11	SSW	48
4.3.12	ROD	49
4.3.13	HSC	50
4.3.14	CCI	50
第 5 章	Sector Logic	51
5.1	Sector Logic の基本設計	51
5.1.1	システムからの制約と設計思想	51
5.1.2	$R-\Phi$ コインシデンス	52
5.1.3	トラックセレクション	55
5.2	Sector Logic ボードの仕様	56
5.2.1	概要	56
5.2.2	Sector Logic FPGA 内部設計	60
5.2.3	Glink Monitor FPGA 内部設計	64
5.2.4	VME Access CPLD 内部設計	65
5.2.5	制御ソフトウェア	65
第 6 章	オンラインソフトウェア	67
6.1	ATLAS オンラインソフトウェア	67
6.1.1	RCD	68
6.1.2	Information Service	68
6.1.3	TGC エレクトロニクスのコントロール	69
6.2	Sector Logic オンラインソフトウェア	72
6.2.1	Sector Logic コンフィグ	72
6.2.2	Sector Logic モニタリング	73
6.3	シングルビームコミッショニングにおけるソフトウェアの動作検証	74
6.3.1	TGC Hit Profile	75
6.3.2	モニタリング動作	76
6.3.3	レートエラーの確認	77
第 7 章	まとめ	78

第1章 序論

CERN(欧州合同原子核共同研究機構)においてLHC(Large Hadron Collider)は2008年9月のビームの入射を経て、2009年9月のビーム衝突へ向けて稼動準備が進んでいる。LHCは、全長約27km、重心系で14TeVのエネルギーを実現する世界最大の陽子陽子衝突加速器であり、未知のエネルギー領域での新しい物理が期待されている。

LHCの衝突点の一つに設置されるのがATLAS検出器である。ATLAS検出器は、全長44m、高さ25mの非常に大きな検出器であり様々な粒子検出器、マグネットシステムの集合体である。ATLAS検出器は汎用検出器で、衝突点を中心に、ソレノイド磁石とその内部飛跡検出器、カロリメータ、ミューオン・スペクトロメータなどから構成され、新しい物理事象に対して様々な角度から検証可能である。

LHCでの衝突頻度は40.08MHzであり、このような高頻度な反応事象の中で新粒子生成などの興味のある事象のみを取るために、ATLASでは3段階のトリガーを用いてデータ収集を行う。この3段階のトリガーはLVL1(Level1)、LVL2(Level2)、EF(Event Filter)と呼ばれ、LVL1はハードウェアトリガー、LVL2、EFはソフトウェアトリガーである。

我々が構築している前後方ミューオントリガーシステム(TGCシステム)はLVL1にあたるもので、TGC(Thin Gap Chamber)と呼ばれるガス検出器とTGCの読み出し回路などのエレクトロニクスから構成される。TGCは、高エネルギー実験でよく使われるMWPC(Multi-wire Proportional Chamber)型チェンバーの1種であり、ワイヤとストリップが直交しており、粒子の軌跡の2次元読み出しが可能である。ワイヤ面とカソード間の間隔(1.4mm)がワイヤ間の間隔(1.8mm)よりも狭くなっているところに特徴がある。ワイヤの間隔が狭いのは電子のドリフト時間を短くし、衝突間隔(バンチクロッシング間隔)(25ns)に対応できるようにするためである。TGCの読み出し回路は、いくつかの機能ごとにモジュール化されており、TGCから読み出したデータはそれらを順序にしたがって処理される。また、これらの回路はバンチクロッシング周期と同じ40.08MHzのクロックで動作する。

TGCシステムの一部であるSector Logicは、上流モジュールからからの軌跡情報を集めてTGCシステムにおける最終的なトリガーを発行する。これに対し、オンラインソフトウェアの開発を進めてきた。

本論文の主題として第6章で、これらの開発、検査、動作検証を論ずる。第2章でLHCとATLASの概要、第3章、第4章では前後方ミューオントリガーシステム(TGCシステム)、第5章ではSectorLogicについて詳しく説明する。第7章にまとめとする。

第2章 ATLAS 実験

この章では ATLAS 実験の概要について述べる。

まず、LHC の概要を、そして、ATLAS 実験で発見が期待される物理を説明する。その上で、本論分に関係するミューオンに関する物理をまとめる。

次に、物理からの要求を満たすための各検出器について簡単に説明する。最後に、ATLAS 実験でのトリガー方法の全体像を説明する。

2.1 LHC の概要

LHC は、スイスとフランスの国境にある CERN において地下 100m に建設中の大型陽子陽子衝突型加速器である。2000 年まで稼動していた、電子陽電子衝突型加速器 LEP と同じトンネル内に LHC は建設され、その周長はおよそ 27km である。図 2.1 に LHC の概要図を載せる。

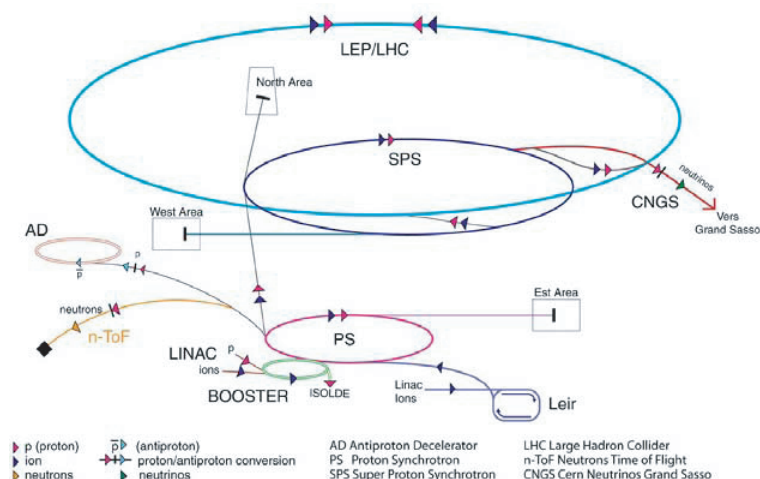


図 2.1: LHC 加速器の構成

陽子はメインリングまでに PS (Proton Synchrotron) と SPS (Super Proton Synchrotron) によって 450GeV に加速されてから、LHC のメインリングで 7TeV まで加速される。[1]

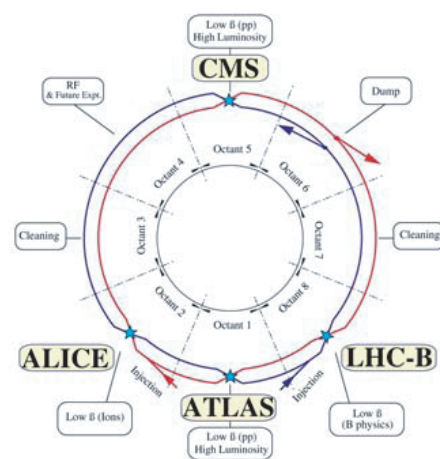


図 2.2: LHC における 4 つの衝突点

LHC の衝突点にはそれぞれ ATLAS、CMS、ALICE、LHC-B といった検出器が置かれる。[1]

LHC の最大の特徴は、14TeV という世界最高の重心系エネルギーである。一般にエネルギーが大きくなるとエネルギー損失が大きくなるが、LHC はハドロンコライダーであるため、電子陽電子コライダーと比べ、粒子がリング内を回る時のシンクロトロン放射光によるエネルギー損失が少ない*。その原理によって、14TeV を実現できる。LHC トンネル内に多数の超伝導電磁石を並べて 8.4T の強力な磁場を作り出し、7TeV という高エネルギーでの陽子・陽子衝突現

*単位長当たりの放射光によるエネルギーの損失は γ^4/ρ^2 に比例する。ここで $\gamma = E/mc^2$ 、 ρ は加速器の曲率半径。陽子の質量は電子の質量の 1840 倍なので、放射光エネルギー損失は同じエネルギーの電子の 10^{13} 分の 1 となる。

象を実現させる。これにより、Higgs 粒子の探索では 100GeV から 1TeV までの広い範囲で探索出来るほか、超対称性粒子や未知の相互作用など TeV 領域の物理の発見が期待される。一方で、陽子はクォークで構成され、クォーク間はグルーオンによって結合されているという構造を持った粒子であることと、ルミノシティを稼ぐためにバンチ衝突頻度が 40.08MHz と高いことから、莫大な量のバックグラウンドが予想され、物理現象を解析するために必要なデータをいかに効率良く正確に収集するかが重要になる。LHC の主なパラメーターを表 2.1 に示す。

表 2.1: LHC 加速器の主なパラメーター

主リング周長	26.66km	重心系エネルギー (陽子+陽子)	7.0TeV+7.0TeV
(低) ルミノシティ	$10^{33}\text{cm}^{-2}\text{sec}^{-1}$	(高) ルミノシティ	$10^{34}\text{cm}^{-2}\text{sec}^{-1}$
ルミノシティ寿命	10 時間	入射エネルギー	450GeV
衝突頻度	40.08MHz	バンチ間隔	24.95nsec
1 バンチあたりの陽子数	10^{11} 個	バンチの長さ	75mm
バンチ数	2835 個	バンチ衝突当たりの陽子衝突	23
衝突点のビーム半径	16 μm	衝突角度	200 μrad

また、図 2.2 からわかるように、LHC には 4 つの衝突点が存在する。それぞれには、後述する大型汎用検出器 ATLAS (A Toroidal LHC Apparatus)、ATLAS より小型の汎用検出器である CMS (the Compact Muon Solenoid 図 2.3)、重イオン衝突実験用検出器の ALICE (A Large Ion Collider Experiment 図 2.4)、B-Physics に特化した検出器 LHC-B (図 2.5) が設置される。

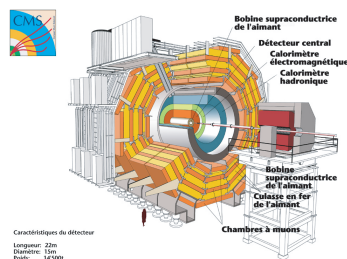


図 2.3: CMS

汎用検出器。ソレノイド磁石を使用している。[1]

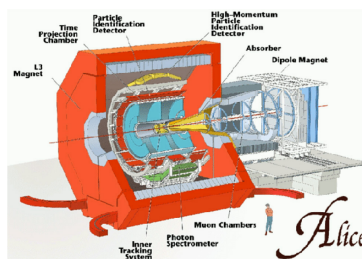


図 2.4: Alice

QGP (Quark Gluon Plasma) などの観測が目的。[1]

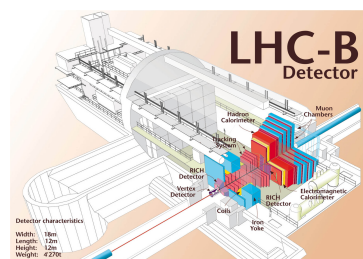


図 2.5: LHC-B

B メソンによる CP の破れなどを観測する。[1]

2.2 ATLAS の目指す物理

標準理論は今まで得られた実験結果と見事な一致を見せているものの、素粒子の質量の起源を担い、電弱対称性の破れのメカニズムを理解するのに極めて重要な存在である Higgs 粒子は、未だ発見されていない。また標準理論には、任意のパラメータが多すぎるなどの問題点も多く、超対称性理論などの標準理論を越えた理論が提唱されている。

ここでは、ATLAS 実験で観測が期待される物理について簡単に説明する。期待されるのは、主に Higgs と超対称性に関する物理である。そしてその結果、ミューオンが関係する物理が非

常に重要であることを認識していただく。

2.2.1 標準理論 Higgs 粒子

Higgs 粒子は、ボソンとフェルミオンに質量を与える未知の粒子である。ATLAS 実験の主要な目的のひとつはこの Higgs 粒子の発見であり、ATLAS 検出器は、質量 100GeV から 1TeV の広範囲で Higgs 粒子を探索する能力を持つ。

Higgs 粒子の生成過程

Higgs 粒子は重い粒子と結合しやすいため、主に次に挙げる 4 つの生成過程が考えられる。それぞれのファインマンダイアグラムを図 2.6 に、生成断面積と質量の関係を図 2.7 に示す。

1. $gg \rightarrow H$ (gluon fusion)

トップクォークやボトムクォークのループを介した過程で、最も断面積が大きい。その反面、Higgs 粒子が崩壊して出来る粒子以外に大きな p_T (運動量) を持つ粒子がなく、バックグラウンドとの選別が非常に難しい。

$H \rightarrow \gamma\gamma, ZZ(\rightarrow llll), W^+W^-(l\nu l\nu)$ だけが、有望な崩壊過程である。

2. $qq \rightarrow qqH$ (W/Z fusion)

クォークから放出されたゲージボソンから Higgs 粒子が生成されている。断面積も比較的大きく、反跳したクォークに起因する大きな p_T を持つジェットが 2 本観測される特徴があり、イベントの選別が比較的行きやすい。さらに、イベントに関わる 2 つのクォークの間ではカラー交換が行なわれないので、QCD バックグラウンドによる影響は少ない。従って、この生成過程では、様々な崩壊過程での Higgs 粒子の探索が期待されており、現在盛んに研究が進められている。

3. $qq \rightarrow (W/Z)H$ (W/Z associate production)

クォークの対消滅で生成されたゲージボソンから、更に Higgs 粒子が放射される過程。終状態にゲージボソン (W/Z) が観測される特徴がある。このゲージボソンがレプトンに崩壊した場合は、シグナルとバックグラウンドの識別が容易にできる。

4. $qq/gg \rightarrow ttH$ (top associate production)

対生成されたトップクォークから、Higgs 粒子が放出される過程。断面積は小さいが、特徴のあるトップクォークペアを終状態に含んでいるので、QCD バックグラウンドを減らすことができる。またこの反応には、トップクォークの湯川結合 (Higgs とクォークとの結合) という重要な情報を含んでいる。

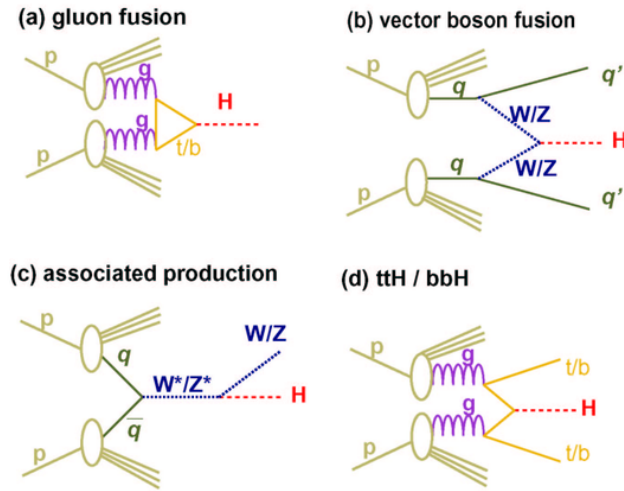


図 2.6: Higgs 生成のファイマンダイアグラム

主な生成過程。Higgs 粒子は重たい粒子と結合しやすい。

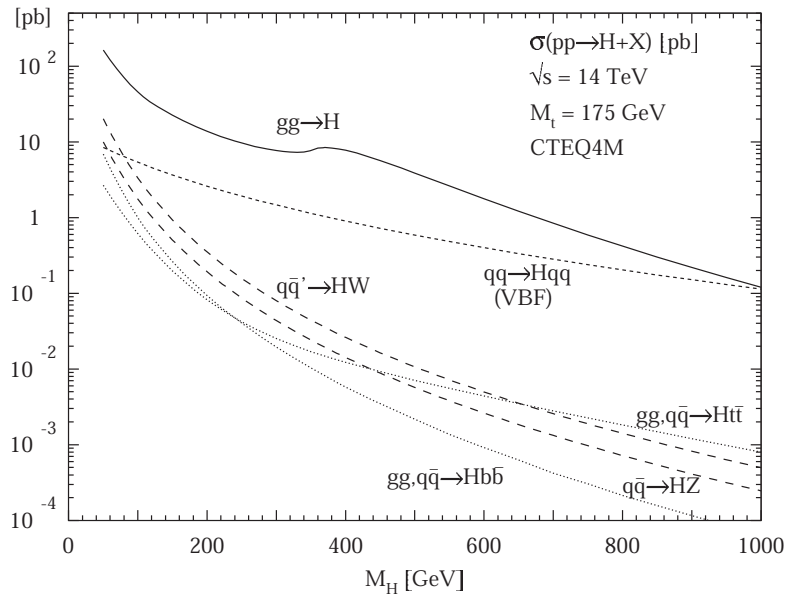


図 2.7: 標準模型での Higgs 粒子の生成断面積

横軸は Higgs 粒子の質量。縦軸は断面積である。gluon fusion がもっとも生成断面積が大きい。[2]

Higgs 粒子の崩壊過程

次に Higgs 粒子の崩壊過程について述べる。崩壊過程の分岐比は図 2.8 に示すように Higgs の質量に依存しており、各領域で特徴的な崩壊過程が存在する。以下にそれぞれの崩壊過程を簡単に説明する。

1. $H \rightarrow \gamma\gamma$ ($m_H < 150 \text{ GeV}$)

この質量領域では、実は $b\bar{b}$ 、 $c\bar{c}$ 、 $\tau^+\tau^-$ が支配的であるが、陽子陽子衝突から引き起こされる QCD ジェットバックグラウンドと区別することが難しい。そこで希崩壊ではあるが $H \rightarrow \gamma\gamma$ を観測し、不変質量 $M_{\gamma\gamma}$ 分布を求めると、Higgs 粒子の質量が鋭いピークとして存在する。エネルギー及び角度分解能の優れた電磁カロリメータが必要となる。

2. $H \rightarrow \tau\tau$ ($m_H < 150 \text{ GeV}$)

Higgs 粒子が軽い場合、発見に有効とされているのがこのチャネルである。 $\gamma\gamma$ よりも崩壊確立が高く、W/Z fusion の生成過程を考えることでバックグラウンドと区別することができる。この場合、Higgs のピークはバックグラウンドである Z のピークのテールに現れる。 τ の崩壊にはニュートリノが含まれるので E_T^{miss} の精度が重要になる。

3. $H \rightarrow ZZ^* \rightarrow 4l^\pm$ (120GeV~180GeV)

このモードは、最も綺麗なピークが得られるモードの一つである。一つのレプトン対に対しては、不変質量 m_Z に等しいという条件を課することが出来るが、 Z^* が仮想粒子であるため、もう一方のレプトン対の不変質量には制限が無い。そのため、検出器には運動量、エネルギーに対する高い分解能が求められる。

バックグラウンドとしては、 ZZ^* 、 $Z\gamma^*$ 、 $t\bar{t}$ 、 $Zb\bar{b}$ がある。このうち ZZ^* 、 $Z\gamma^*$ は減らすことは出来ないが、生成断面積もそれほど大きくない。 $t\bar{t}$ 、 $Zb\bar{b}$ はそれぞれレプトン対が、Z 起源または Z^* 起源であるという条件をつけることによって取り除くことが出来る。

4. $H \rightarrow ZZ \rightarrow 4l^\pm$ (180GeV~800GeV)

このモードが最も綺麗なピークを得られる。2組のレプトン対の不変質量が共に m_Z に等しいという条件を課することが出来るため、信頼性の高いモードである。ただし、Higgs 粒子の質量が大きくなるにつれ崩壊幅が急激に大きくなるため、有効性が落ちる。

5. $H \rightarrow ZZ \rightarrow ll\nu\nu$ (400GeV~)

この領域では、このモードの方が $H \rightarrow ZZ \rightarrow 4l^\pm$ よりも分岐比が約 6 倍も高い。 $\nu\nu$ の不変質量は再構成することは出来ないが、これに起因する消失横方向エネルギー E_T^{miss} を精密に測定することが必要になる。

6. $H \rightarrow WW \rightarrow lvjj, H \rightarrow ZZ \rightarrow lljj$ (600GeV~)

この領域ではこれらのモードが $H \rightarrow ZZ \rightarrow 4l^\pm$ に比べて、 $H \rightarrow WW \rightarrow lvjj$ は約 150 倍、 $H \rightarrow ZZ \rightarrow lljj$ は約 20 倍の分岐比を持つ。これらのモードでは、バックグラウンドと区別するために Higgs 粒子が W/Z 融合過程によって生成された場合を考える。この過程では、散乱角前方にクォークによる 2つのジェットが特徴的で、このジェットを指標とすることでバックグラウンドを排除することが出来る。

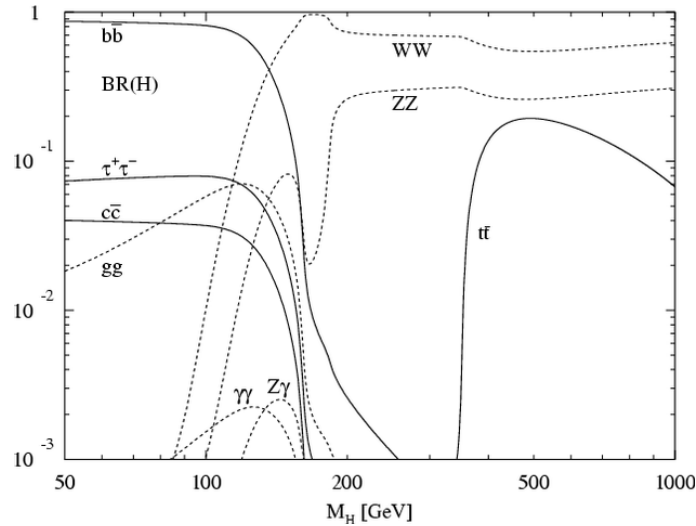


図 2.8: Higgs 崩壊分岐比の質量依存

横軸は Higgs 粒子の質量。縦軸は崩壊分岐比である。期待するイベントの崩壊分岐比が大きいに越したことはないが、バックグラウンドを考えると違うチャンネルが有効だったりする。[2]

Higgs 粒子の発見能力

図 2.9 と図 2.10 に、それぞれ LHC が 1 年および 3 年走って積分ルミノシティを 10fb^{-1} 、 30fb^{-1} 溜めた時点での ATLAS 測定器の標準模型 Higgs 粒子の発見能力を示す。予想される Higgs の事象の数をバックグラウンドの事象の数の平方根で割ったものであり、縦軸の値が高い程、Higgs の事象があったときに、それがバックグラウンドでは説明できないことを示している。これを見ると、ATLAS 測定器は上限値である 115GeV から 1TeV の領域までカバーしており、 5σ 以上の確からしきで Higgs 粒子を発見出来ることがわかる。

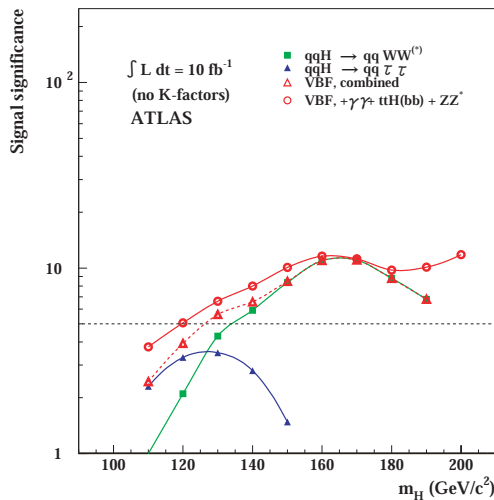


図 2.9: Higgs 粒子の 10fb^{-1} での発見能力

横軸は Higgs 粒子の質量。縦軸は確実性である。1 年間の run で LHC は約 10fb^{-1} のデータをためることが可能である。そのときの ATLAS 検出器における発見能力である。[3]

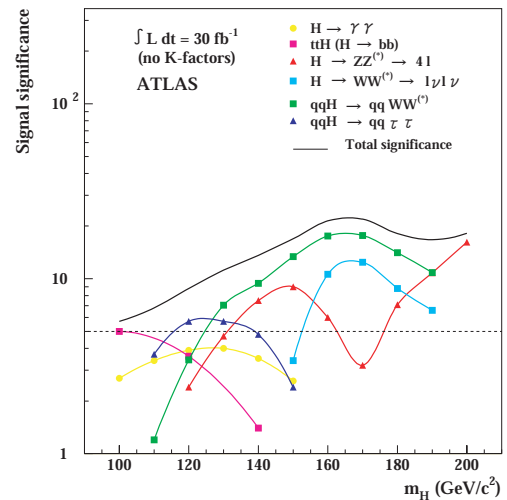


図 2.10: Higgs 粒子の 30fb^{-1} での発見能力

横軸は Higgs 粒子の質量。縦軸は確実性である。3 年間の run で LHC は約 30fb^{-1} のデータをためることが可能である。そのときの ATLAS 検出器における発見能力である。[3]

2.2.2 超対称性粒子

素粒子物理学の究極の目標は重力を含めた力の統一であり、超対称性（SUSY）の発見はこれに向けての大きい一歩であると最も有力視されている。LEP でのゲージ理論の精密検証の結果、超対称性による力の大統一の可能性が示されている。

この超対称性は、ボソンとフェルミオンを交換する。つまり通常知られているボソンやフェルミオンに対し、スピンの 1/2 だけ異なりスーパーパートナーと呼ばれる超対称性粒子の存在を预言する。例えば、クォークやレプトン（フェルミオン）のスーパーパートナーとして、スクォーク（ $\tilde{q}$ ）やスレプトン（ $\tilde{l}$ ）（ボソン）があり、グルーオン（ボソン）のスーパーパートナーとして、グリーノ（ $\tilde{g}$ ）（フェルミオン）がある。もし、この理論が正しければ、LHC では強い相互作用をするスクォークやグリーノの対が大量に生成され、超対称性粒子の発見が期待される。

R パリティ保存則を課すと、超対称性粒子は必ず対で生成され、次々と崩壊を繰り返す。崩壊仮定によっては比較的重いニュートラリーノ（ $\tilde{\chi}_{2,3,4}^0$ ）やチャージノ（ $\tilde{\chi}_{1,2}^\pm$ ）が生成されることがある。そして、最終的に超対称性粒子のなかで最も軽い質量を持つ LSP（Lightest SUSY Particle）になる。この LSP の候補としては最軽量ニュートラリーノ（ $\tilde{\chi}_1^0$ ）が考えられるが、この粒子は直接観測にかからない。しかし、解析に於いて消失横方向エネルギー E_T^{miss} として現れるので、ジェットと共に E_T^{miss} を指標として探索を行う。主な崩壊として以下の 3 つがある。

1. Multijets+ E_T^{miss} モード

$$\begin{aligned}\tilde{g} &\rightarrow q\tilde{q}\tilde{\chi}_1^0 \rightarrow \text{jets} + E_T^{miss} \\ \tilde{q} &\rightarrow q\tilde{\chi}_1^0 \rightarrow \text{jets} + E_T^{miss}\end{aligned}$$

2. 2 レプトン・モード

$$2\tilde{g} \rightarrow 2(q\tilde{q}\tilde{\chi}_i^\pm) \rightarrow 2(q\tilde{q}\tilde{W}^\pm\tilde{\chi}_1^0) \rightarrow 2(\text{jets} + l^\pm + E_T^{miss})$$

3. 3 レプトン・モード

$$\tilde{\chi}_1^\pm\tilde{\chi}_2^0 \rightarrow l\nu\tilde{\chi}_1^0 + ll\tilde{\chi}_1^0 \rightarrow 3l + E_T^{miss}$$

2.2.3 超対称性 Higgs 粒子

超対称性理論の中で最も単純な MSSM（Minimal Supersymmetric extension of Standard Model）では、2 つの Higgs 2 重項が要求され、結果的に 5 つの Higgs 粒子が導入される。この 5 つはそれぞれ、 $H^\pm$ （荷電スカラー）、 h （中性軽スカラー）、 H （中性重スカラー）、 A （中性擬スカラー）である。これらの Higgs 粒子の質量は 2 つのパラメーター $\tan\beta$ 、 m_A で表される。

以下に、MSSM 中性 Higgs 粒子の崩壊モードで観測が期待されるものを説明する。

1. $H/A \rightarrow \tau\tau$

標準 Higgs 粒子の場合はこのモードは分岐比が低く観測に適さないが、MSSM では高い分岐比が期待される。生成された τ 粒子の両方がレプトンに崩壊するチャンネルと、一方はハドロンに崩壊するチャンネルの 2 種類のモードが利用できる。

2. $H/A \rightarrow \mu\mu$

$H/A \rightarrow \tau\tau$ に比べて、分岐比は $(m_\mu/m_\tau)^2$ 倍低いが、精度よく測定が行えることから $\tau\tau$ モードでの測定を補う役割が期待される。

3. $H \rightarrow hh$

崩壊モードは、 $hh \rightarrow b\bar{b}b\bar{b}$ が支配的だが、このモードでは効率の良いトリガーが行えないため、 $hh \rightarrow \gamma\gamma b\bar{b}$ チャンネルで観測されることが期待される。イベントレートは低いが、2つの異なる Higgs 粒子の反応という意味で非常に興味深い。

4. $A \rightarrow Zh$

2つの Higgs 粒子が関係した反応として興味深い。 $Zh \rightarrow llb\bar{b}$ など Z の崩壊で生じる2つのレプトンでトリガーを行う方法が有効である。

2.2.4 ミューオンの関係する物理のまとめ

標準理論 Higgs 粒子を考える場合、崩壊過程として Higgs 粒子の質量が 120GeV~ の崩壊モードでは多くのモードでレプトンが入ってくることがわかる。これは検出するにあたって、ミューオンが重要になってくることを示唆している。たとえば、標準理論 Higgs 粒子の質量が 150GeV だとしたときのシミュレーションを図 2.11 に載せる。

また、超対称性粒子においても、2レプトン・モード、3レプトン・モードとあるように、やはりミューオンは重要なデータを提供する。さらに、超対称性が存在した場合には超対称 Higgs 粒子の探索にも適したモードを持つ。

このようにミューオンは新しい物理を探索する上で非常によいプローブとなることがわかる。

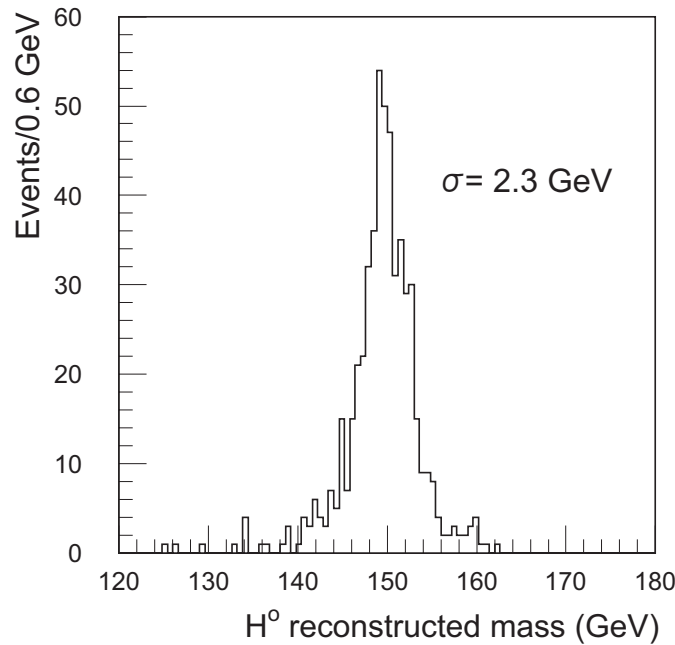


図 2.11: 4 ミューオン状態から Higgs 粒子を再構成

横軸は Higgs 粒子の質量。縦軸はイベント数である。 $H \rightarrow ZZ \rightarrow \mu^+\mu^-\mu^+\mu^-$ を標準理論 Higgs 粒子の質量が 150GeV だとしてシミュレーションした図。ひとつの μ ペアには Z の質量と一致するという条件を入れている。[4]

2.3 ATLAS 検出器

ここでは ATLAS 検出器の全体像と各検出器の概要について説明する。

ATLAS 検出器は、上記の物理を発見するために汎用性を持たせた直径 22m、長さ 44m の円筒形で、総重量は 7,000t という巨大な検出器である。その全体図を図 2.12 に示す。検出器は内側から内部飛跡検出器、カロリメータ、ミュオン・スペクトロメータから構成され、検出器の間にはマグネットシステムが設置されている。前述の物理を発見するためには、LHC の高いルミノシティにおいても、フォトン、電子、ミュオン、ジェット、 E_T^{miss} などの信号を高速かつ正確に処理できる必要がある。そこで ATLAS 検出器は以下のような特徴の下で設計されている。

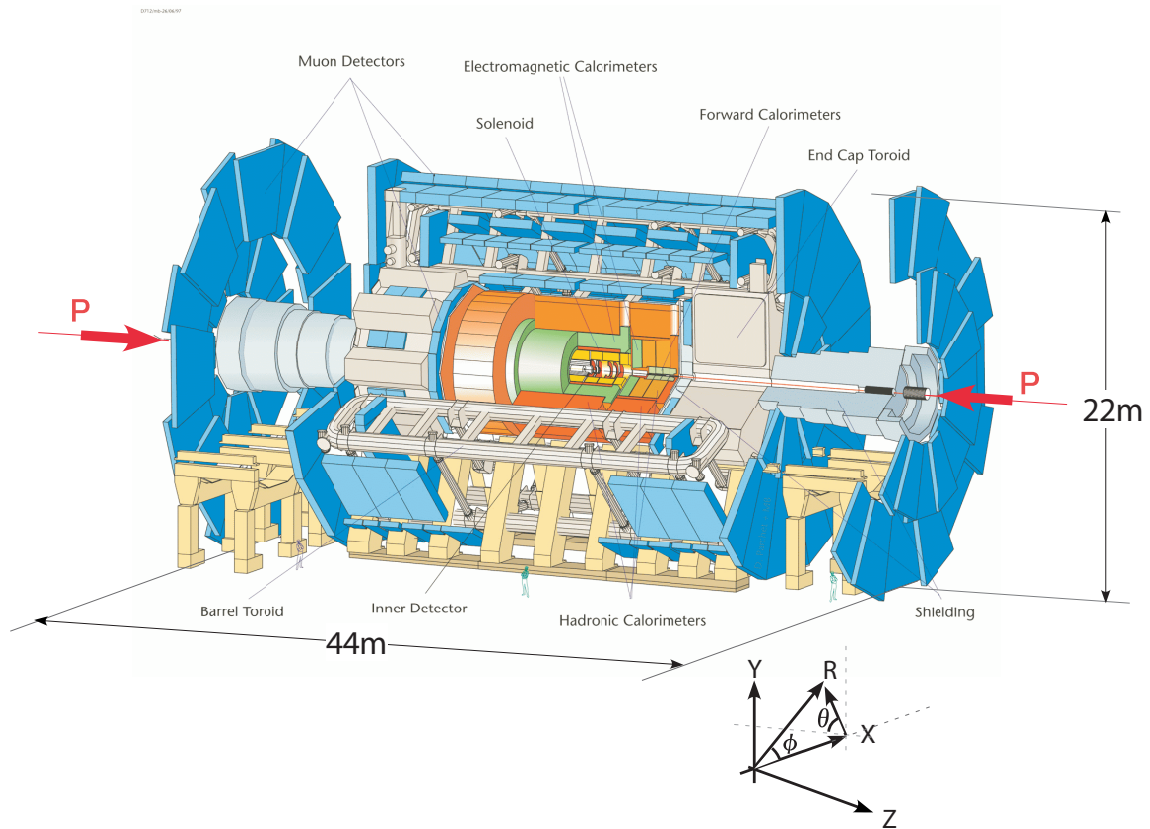


図 2.12: ATLAS 検出器

ATLAS 検出器は直径 22m、長さ 44m の円筒形をした、巨大な検出器である。座標系の取り方は図のようになっている。[1]

- 電磁カロリメータによる電子とフォトンのエネルギーと位置の高精度測定と、ハドロンカロリメータによる高精度なジェットと消失横方向エネルギー E_T^{miss} の測定
- カロリメータの広範囲のラピディティ $\eta^\dagger$ と完全な方位角 ϕ のカバー
- 内部検出器の情報に頼らずに、ミュオンスペクトロメータの情報だけでミュオンの運動量 p を測定することが可能

[†] η は正確には擬ラピディティ。 θ をビーム軸とのなす角とすると $\eta = -\ln(\tan \theta/2)$ で定義される。陽子陽子非弾性散乱で生じる粒子の生成微分断面積 $d\sigma/d\eta$ が、広い η の領域に渡ってほぼ一定である

- 飛跡検出器によるレプトンの運動量測定、短寿命粒子の崩壊点探索
- 高頻度のイベントを逃すことなく処理するシステム
- 超伝導空芯トロイド磁石 (Toroidal Magnet) を用いることで、ミューオンを低い p_T まで測定でき、かつ広いラピディティ領域をカバー
- 10 年以上稼動し続けるための、耐放射線性

円筒型の ATLAS 検出器は、バレルと呼ばれる円筒の筒に相当する ($|\eta| < 1$) 領域と、エンドキャップと呼ばれる円筒のふたに相当する部分 ($1 < |\eta|$) の 2 つの領域に分けられる。さらにエンドキャップは、円筒の円の中心 (ビーム) 付近より外側 ($1 < |\eta| < 1.9$) の領域を Endcap[‡]、円の中心付近 ($|\eta| > 1.9$) を Forward と分けて呼ぶこともある。

以下で検出器とマグネットについて簡単に説明する。

2.3.1 内部飛跡検出器

内部飛跡検出器はビームの衝突点に最も近い場所に設置され、2T の磁場をつくる超伝導ソレノイドの内部に位置する。図 2.13 に内部飛跡検出器の構造を示す。内部飛跡検出器は内部から順に、ピクセル検出器 (Pixel)、シリコン・トラッカー (SCT)、遷移輻射トラッカー (TRT) の 3 つで構成されている。

ピクセル検出器は、最内層にある半導体検出器である。これは 1 つの要素が $50\mu\text{m} \times 300\mu\text{m}$ の高分解能の半導体検出器である。この検出器の精度によって、バーテックスの精度が決められる。SCT はマイクロストリップと呼ばれる細長い有感領域をシリコン上に施した半導体検出器である。TRT は、半径 4mm のストローチューブ検出器で、トラッキングの他に遷移輻射[§]を利用した電子の同定も行う。これらの検出器はいずれも非常に厳しい放射線下に置かれるので、高い放射線耐性が必要である。

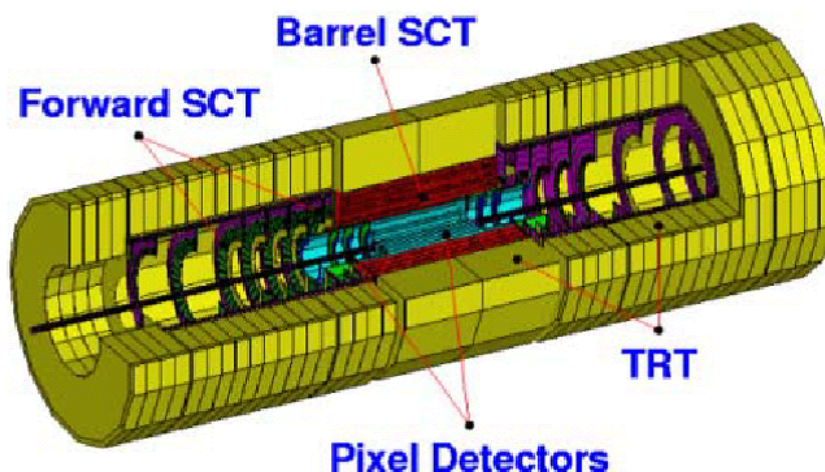


図 2.13: 内部飛跡検出器の構造

内部飛跡検出器は内側からピクセル検出器、SCT、TRT と構成されている。[4]

[‡]本論文ではバレル部とエンドキャップの区別をカタカナで表記し、Endcap と Forward の区別を英語で表記する。

[§]遷移放射は、誘電率の異なる 2 つの媒質境界を荷電粒子が通過する時に起こる放射。遷移放射の全エネルギーは、ローレンツ因子 γ に比例する

2.3.2 カロリメータ

カロリメータの主な役割は、電子や γ 線、ジェットなどのエネルギー、角度の測定である。ATLAS 実験に使用される4種類のカロリメータは、電磁カロリメータとハドロンカロリメータの2つのカテゴリーに分けられ、広い $|\eta|$ 領域をカバーする。図 2.14 にその構造を示し、以下に各カロリメータについて簡単に説明する。

- 電磁カロリメータ

電磁カロリメータは、アコーディオン構造の鉛の吸収体と液体アルゴンからなり、放射線耐性に優れている。セントラル・ソレノイド・マグネットの外側に設置されバレル/エンドキャップ領域をカバーし（図 2.14 の黄色部分）、電子と光子の同定に用いられる。

- ハドロンカロリメータ

バレル部（ピンクの線で囲われた部分）は鉄の吸収体とタイル状のシンチレータからなるカロリメータが用いられる。放射線強度がより高いエンドキャップ部（赤い部分）は、銅の吸収体と液体アルゴンからなるカロリメータが用いられる。更に、放射線強度の高いフォワード部（緑部分）は銅とタングステンの吸収体と液体アルゴンからなるカロリメータが用いられる。これらは電磁カロリメータの外側に設置され、ハドロンの同定、エネルギー測定、ジェットの再構成などを行う。

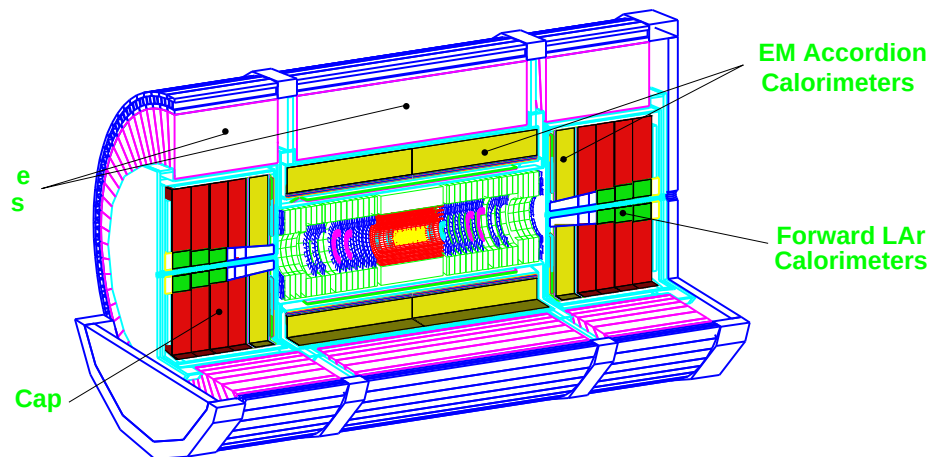


図 2.14: カロリメータの構造

カロリメータは電磁カロリメータとハドロンカロリメータという2つのカテゴリーから成り立っている。電磁カロリメータは鉛吸収体と液体アルゴンの組からなり、ハドロンカロリメータは鉄の吸収体とシンチレータ、銅の吸収体と液体アルゴン、そして銅とタングステンの吸収体と液体アルゴンの組から成り立つ。[4]

2.3.3 ミューオン・スペクトロメータ

終状態に荷電レプトンを含む物理現象は、測定装置で捉えやすい。その中でもミューオンは物質の透過力が高く、寿命が長い為に、ATLAS 検出器の外側でも他の検出器に影響されことなく検出することが出来る。ミューオン・スペクトロメータは、軌跡精密測定用の MDT (Monitor Drift Tube) および CSC (Cathod Strip Chamber) と、トリガー用の RPC (Resistive Plate Chamber)、TGC (Thin Gap Chamber) の4種類の検出器とトロイダル磁石から構成され、ATLAS 検出器の一番外側に設置される検出器である。ミューオン・スペクトロメータの全体図

を図 2.15 に示す。図のように MDT はバレル部とエンドキャップ部の両方に設置され、CSC は、フォワードの内側に設置される。RPC はバレル部を、TGC はエンドキャップをカバーする。

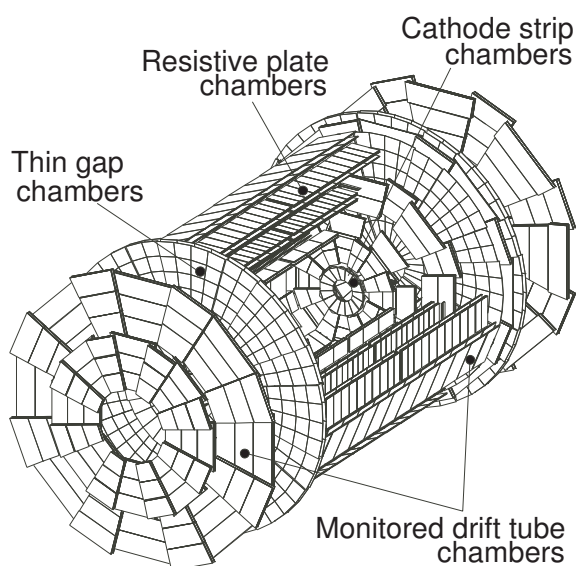


図 2.15: ミューオン・スペクトロメータ

ミューオン・スペクトロメータは MDT、CSC、RPC、TGC から成り立つ。[4]

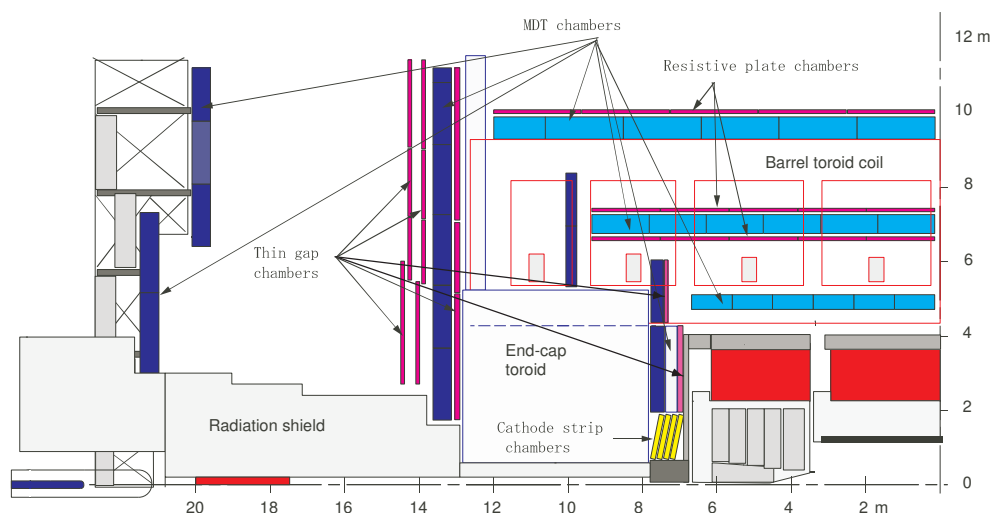


図 2.16: ミューオン・スペクトロメータ (R-Z 断面図)

MDT はバレル部とエンドキャップ部に置かれ、CSC はフォワードの内側に置かれる。RPC はバレル部に置かれ、TGC はエンドキャップに置かれる。[4]

図 2.16 の R-Z 断面図にあるように、それぞれの検出器は 3 層に重ねられて設置される。超伝導空芯トロイダルコア磁石がバレル部（図中の赤線の四角）、エンドキャップ部（図の下側中央の青線の四角）に検出器に内包されるように置かれ、それぞれに ϕ 方向の磁場を作っている。この ϕ 方向の磁場によって R-Z 平面内で曲げられたミューオンの曲率を、3 層の検出器で測定してその運動量を測定する。この R-Z 平面での R 方向の座標を第 1 座標と呼ぶ。理想的に

はミュオンは ϕ 方向の磁場によってR-Z平面内で曲がるはずだが、現実には磁場の大きさが一様ではないために ϕ 方向にも曲がる。トリガー用の2つの検出器（TGC, RPC）は、この ϕ 方向の座標（第2座標と呼ばれる）を測定する役目も持っている。表2.2に、これら4種類のチェンバーの特徴を示す。

表 2.2: ATLAS 実験におけるミュオン検出器の構成

	役割	$ \eta $ の領域	特徴	チャンネル数
MDT	トラッキング (R-Z) 運動量測定	0~3.0	30mm ϕ のドリフトチューブ 位置分解能 $\sigma_x = 60\mu\text{m}$	3.7×10^5
CSC	トラッキング (3-dim) 運動量測定	2.0~3.0	カソードストリップ読み出し MWPC 位置分解能 $\sigma_x = 50\mu\text{m}$	6.7×10^4
RPC	トリガー 第2座標測定 (ϕ)	0~1.05	平行平板ガス検出器 時間分解能 $\sigma_t = 1\text{ns}$	3.5×10^5
TGC	トリガー 第2座標測定 (ϕ)	1.05~2.4	狭いギャップのワイヤチェンバー 時間分解能 $\sigma_t = 4\text{ns}$	3.2×10^5

MDT

MDT はバレル部、エンドキャップ部の広いラピディティ領域をカバーし、R-Z 方向成分を精密に測定することができる。その構造は図 2.17 に示すような、チューブ径 30mm、ワイヤ径 50 μm のドリフトチューブを積層したものであり、位置をドリフト時間と、シグナルの大きさから求めている。位置分解能は 60 μm 、総チャンネル数は 30 万チャンネルである。

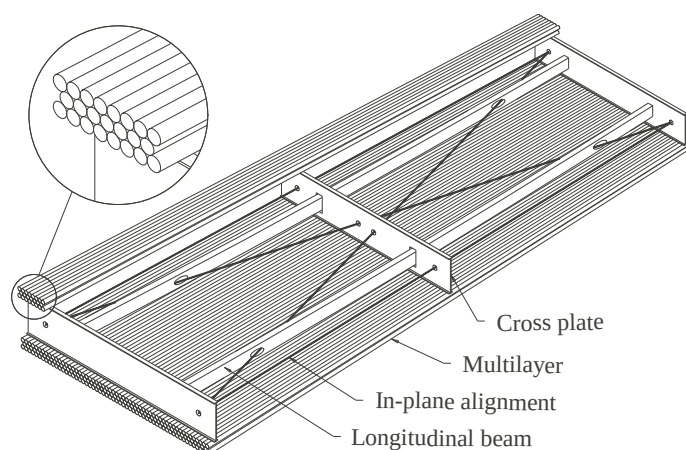


図 2.17: MDT の構造

直径 30mm のドリフトチューブ。ドリフトチューブをフレームに固定した構造をしている。[4]

CSC

CSC は放射線の多い高ラピディティ領域 $|\eta| \geq 2$ に置かれる運動量精密測定用のカソードストリップ読み出し MWPC である。図 2.18 のような構造になっており、ワイヤ間隔が 2.54mm、ストリップ間隔が 5.08mm である。ドリフト時間は 30nsec 以下であり、位置分解能は $60\mu\text{m}$ となっている。

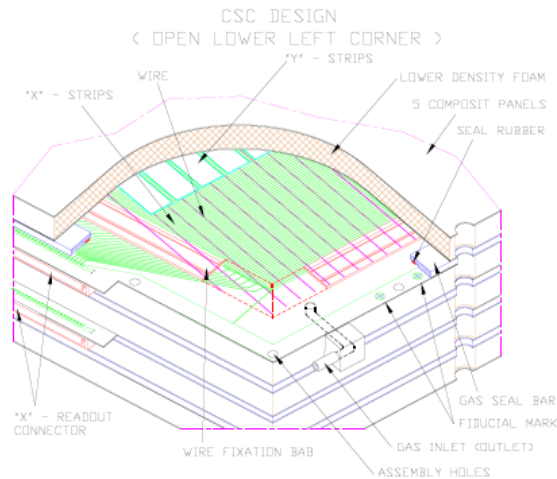


図 2.18: CSC の構造

カソードストリップ読み出しの MWPC。中性子感度が低くなっているのもひとつの特徴。[4]

RPC

RPC はバレル部 ($|\eta| < 1.05$) に設置され、R-z、R- ϕ 平面での位置を測定しトリガー判定を行う。

構造はストリップを用いた検出器を 2 層に重ねた構造で、ストリップ間隔は $2.00 \pm 0.02\text{mm}$ である。RPC の構造を図 2.19 に示す。

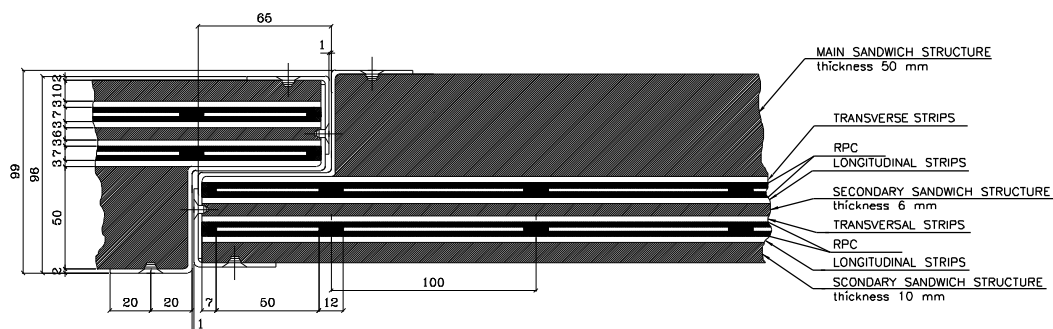


図 2.19: RPC の構造

ストリップは直行しており、2次元読み出しが可能。[4]

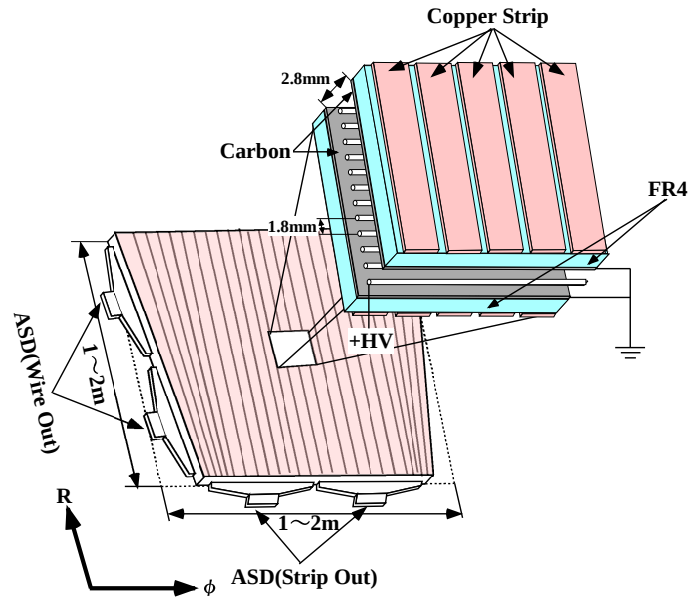


図 2.20: TGC の構造

アノードのワイヤとカソードのストリップを用いて、2次元読み出しが可能。

TGC

本論文のテーマとなっているシステムである。TGC に関する詳細は次章で論じるので、ここでは簡単に紹介する。

TGC の構造を図 2.20 に示す。ワイヤは直径 $50\mu\text{m}$ の金メッキタングステン線で、 1.8mm の間隔で張られている。ワイヤとカソードの間隔は 1.4mm と狭く、 10^6 の高いゲインと速い応答を特徴とする。

2.3.4 マグネットシステム

ATLAS のマグネットは、中央のソレノイド磁石、バレル部、エンドキャップ部それぞれのトロイダル磁石の3つからなり、いずれも超伝導磁石である。マグネットの構造を図 2.21 に示す。両トロイダル磁石は、8つのコイルがビーム軸に対して8回対称になるように配置されており、積分磁場強度はバレル部で $2\sim 6\text{Tm}$ 、エンドキャップ部で $4\sim 8\text{Tm}$ である。ラピディティ η の値に対するトロイダル磁場の積分強度を図 2.22 に示す。トロイダル磁場は ϕ 方向成分が主だが、磁場の不均一性は避けられないため、 R 方向成分も存在する (図 2.23)。

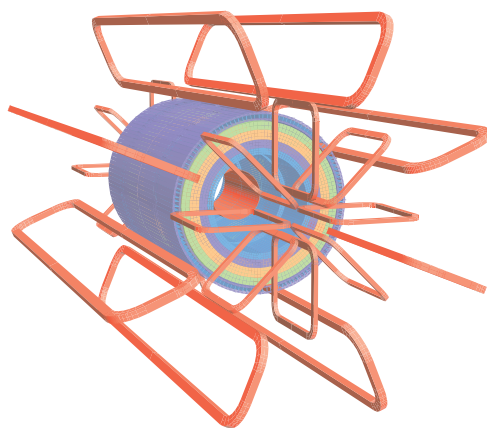


図 2.21: マグネットの構造

中央にソレノイド磁石があり、バレル部とエンドキャップ部にはトロイダル磁石を設置している。[4]

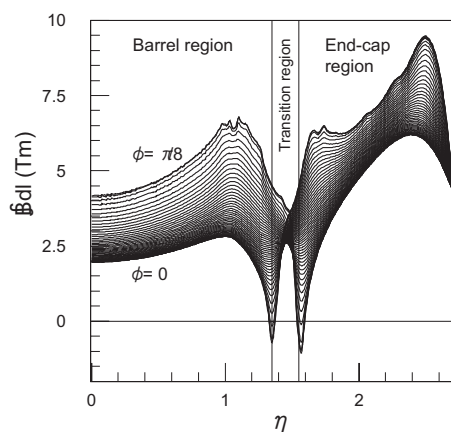


図 2.22: η と磁場積分強度の関係

バレル部では 1~6Tm、エンドキャップ部では 4~8Tm である。[4]

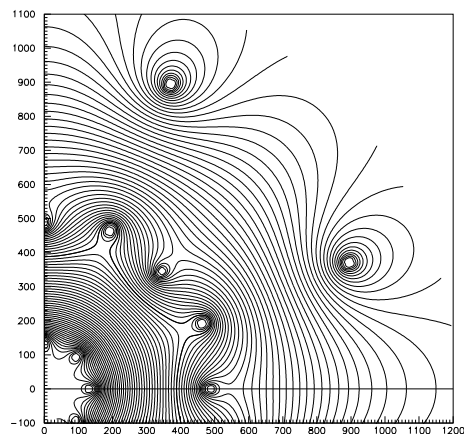


図 2.23: X-Y 平面の磁束の構造 ($z=10.5\text{m}$)

磁場は R 方向にも存在している。[4]

2.4 ATLAS 実験でのトリガー & DAQ システム

LHC の最高ミノシティ時には、40.08MHz のビーム衝突ごとに平均 23 個の陽子の衝突が起こり、イベントレートは約 1GHz にもなる。1 イベントを記録するのに必要なデータ量は、~1.5MByte と見積もられているが、記憶装置、計算機資源の制限から、300Mbyte/s 位でしか記録はできない。そこで、膨大なバックグラウンドを含んでいる 1GHz で起こるイベントの中から物理的に重要なイベントだけを効率よく選び出すことが必要とされる。ATLAS 実験では 3 段階でそのレートを下げて、最終的に 200Hz 程度までおとしてデータを記録する。ここではそのトリガーと DAQ システムについて述べる。

特に、LVL1 トリガーは TGC がトリガーとして働く部分であり、実験ではタイミングなどを決める重要な部分である。

2.4.1 ATLAS 実験のトリガー & DAQ スキーム

ATLAS 実験のトリガーシステムは図 2.24 に示すように LVL1、LVL2、EF の 3 段階のトリガーを設け段階的にレートを落としている。データは各検出器からの情報を基に、各システムで段階的に処理され、最終的に興味のあるイベントのみが記憶装置に保存される。

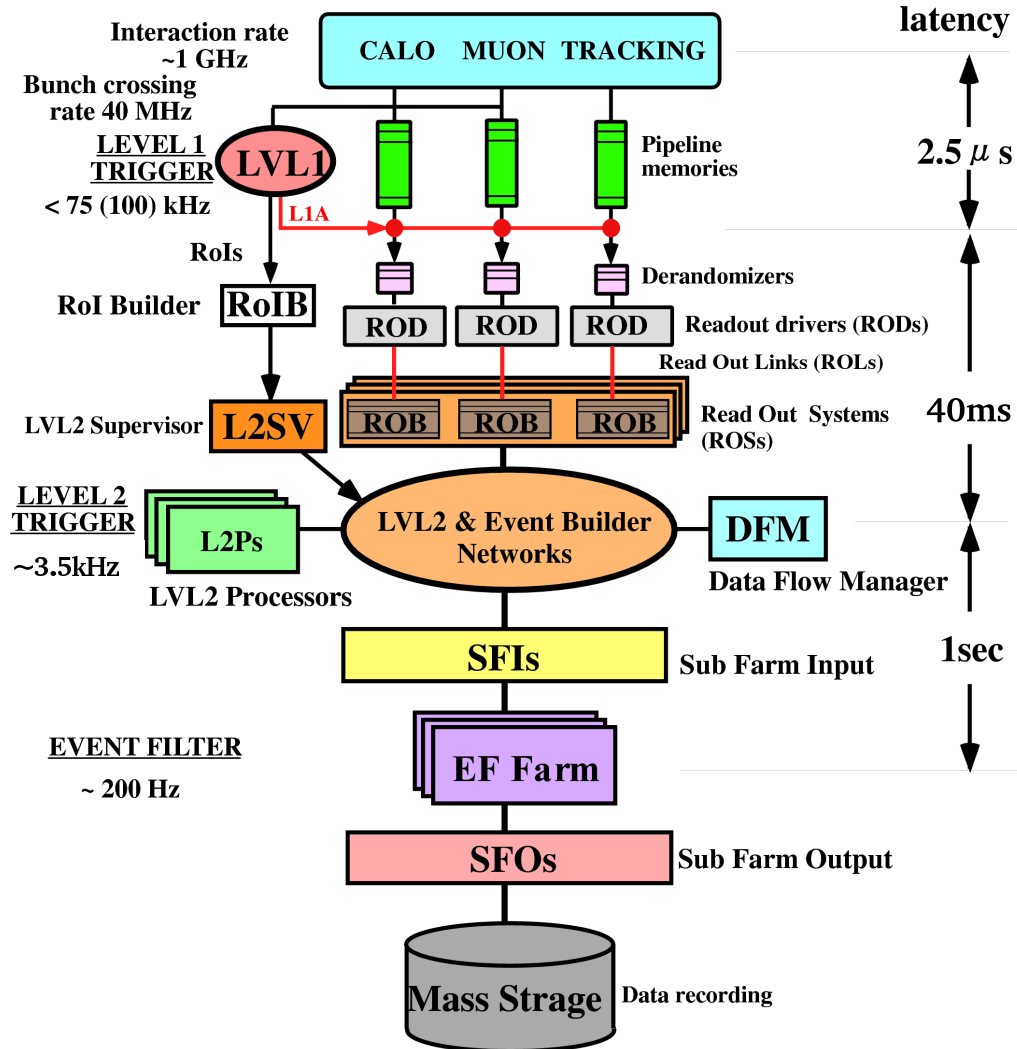


図 2.24: Trigger & DAQ システム

ATLAS では膨大なバックグラウンドが予想されている。そのバックグラウンドを落とし、物理的に重要なイベントを取り出すために、3 段階のトリガーを用いてデータを選別している。LVL1 はハードウェアによってなされ、LVL2 と EF はソフトウェアによるトリガーである。[6]

検出器からの信号は、まず各チャンネルごとに、各検出器に設置される LVL1 バッファと呼ばれるパイプラインメモリに保持され、LVL1 のトリガー判定の結果である L1A (Level1 Accept) 信号を受け取るまで待つ。LVL1 判定はカロリメータとミュオン検出器の一部 (RPC と TGC) のみを用いてなされる。パイプラインメモリは L1A 信号がくるまでの $2.5\mu\text{s}$ の間はすべての信号を保持するため、最低 100 イベント分を保持できるように設計されている。L1A を受け取っ

た信号は、デランダムマイザー (Derandomizer) [¶]に送られる。L1A は不規則にやってくるため、デランダムマイザーは不規則にやってくる信号を一時的に保持し、順次 ROD (Read Out Driver) に送る。このときデータは圧縮され、信号の情報と共に BCID (バンチ ID) やどの L1A を受け取ったかを示す L1ID (LVL1ID) の情報も送られる。ROD は、集めたデータをイベントごとに処理し、BCID や L1ID の整合性を確認して、S-Link (Simple Link Interface) と呼ばれる規格の ROL (Read Out Link) を通して ROB (Read Out Buffer) へと送られる。ROB を複数持つ一つのシステムを ROS (Read Out System) と呼ぶ。ROB では LVL2 判定が行われるまでデータを保持している。LVL2 はカロリメータとミュオン検出器および内部検出器の情報を用いて行うが、この時点では LVL1 トリガーで与えられる ROI 内の各検出器の情報を用いて判定される。このときの処理時間は 10ms 以内と決められている。ROB から送られた信号は、イベントビルダーにて EF でトリガー判定を待つ。EF では、すべての検出器の完全な情報を使ってトリガー判定がなされる。そしてトリガー判定がなされたデータが最終的に記録される。この間の時間は 1s 以下と決められている。

2.4.2 LVL1

LVL1 トリガーは 40.08MHz のイベントレートを 75kHz に落とすためのトリガーである。図 2.25 に示すように、LVL1 トリガーシステムは、カロリメータ、トリガー用ミュオン検出器 (TGC、RPC)、MUCTPI (Muon Trigger to CTP Interface)、CTP (Central Trigger Processor)、TTC (Timing, Trigger and Control distribution system) から構成されている。基本的には 75kHz だが 100kHz までのアップグレードが可能ないように設計されている。カロリメータからは、 e/γ 、 E_T^{miss} 、 τ 、Jet のエネルギー等の情報、ミュオン検出器からは高い p_T の値を持ったミュオンの情報が、CTP に送られる。ここで、粒子の衝突からトリガー判定をして、フロントエンドのエレクトロニクスへトリガーを送るまでの処理時間 (レイテンシーと呼ばれる) は $2.5\mu\text{sec}$ 以内でなければならない。そのため、情報量が多く、処理に時間のかかる内部飛跡検出器からの情報は利用せず、トリガー用ミュオンチェンバー (RPC、TGC) からの位置と p_T の情報と、精度を落としたカロリメータからのエネルギー情報によってトリガーをかける。各検出器からの情報は CTP に集められ、トリガー判定の結果 L1A (Level1 Accept) 信号が出される。この L1A は TTC システムによって各検出器に配られる。

[¶]デランダムマイザーは、ランダムで起こるイベントを一定の間隔で読み出せるようにするメモリである。

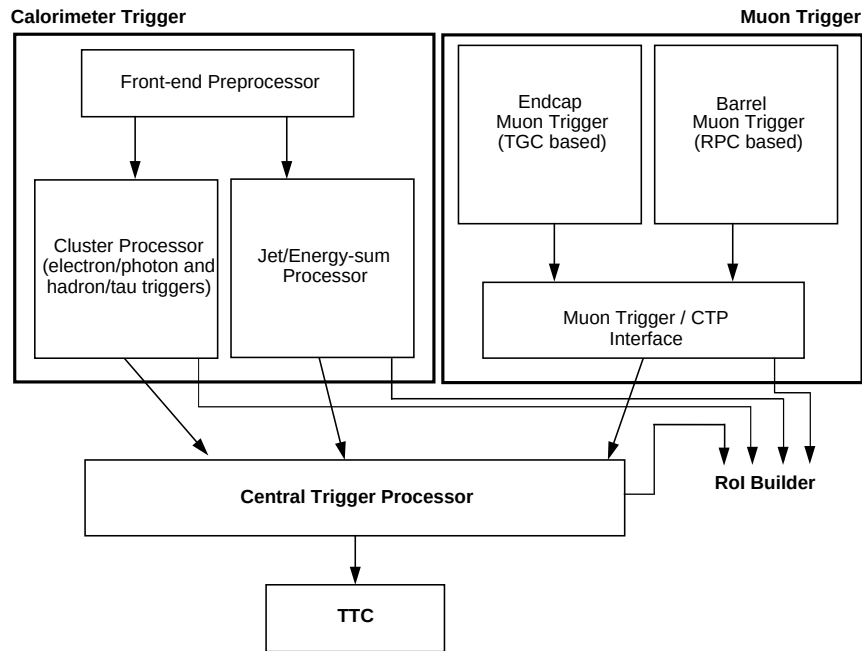


図 2.25: LVL1 トリガー処理の流れ

LVL1 トリガーはカロリメータとミュオンの情報からなされる。カロリメータとミュオンの情報は CTP によって判定され、TTC によって ATLAS 検出器に配られる。[5]

Cluster Processor & Jet/Energy-sum Processor

カロリメータで検出された信号は、Calorimeter Processor においてアナログからデジタルに変換され、BCID などが付加された後、Cluster Processor と Jet/Energy-sum Processor に送られる。Cluster Processor は high- p_T を持った e/γ 、ハドロン/ τ を担当し、Jet/Energy-sum Processor は Jet や high- E_T および E_T^{miss} などを扱う。それぞれは粒子の種類ごとに独立に閾値の設定を行うことができる（6~8 段階）。また、Jet に関しては Jet のサイズなども設定可能である。これらの情報は、粒子の種類の情報などと共に CTP にトリガーが送られる。

MUCTPI

MUCTPI は TGC と RPC の情報を CTP に渡す役割を担う。RPC と TGC は各々セクタと呼ばれる単位ごとに p_T の大きなミュオンの候補を挙げて、MUCTPI に送る。TGC の場合のセクタは、Forward 領域で円の 24 等分、Endcap 領域で円の 48 等分された領域であり、各領域からは 1 イベントに対して最大二つの候補が挙げられる。各候補の情報は、領域を表す RoI（Region of Interest）と p_T の二つである。MUCTPI はこれらのトラックの候補を受け取り、境界部分での処理^{||}を行ってから、ミュオンの候補についての情報を、CTP へ送る。またその情報は LVL2 トリガーに送るため、RoIB（RoIBuilder）に渡される。

^{||}TGC と RPC の重なった部分で、一つのミュオンが両方の検出器に候補を出した場合、二つの候補になってしまうが、両方合わせて一つの候補と判定する

CTP

CTP の役割はカロリメータとミュオン情報の統合して、最終的な Level1 トリガーの判定を行うことである。カロリメータでは、 e/γ 、 τ /ハドロン、ジェット のそれぞれに対し、数段階の閾値が設けてあり、同様にミュオン検出器では、ミュオンの p_T について、数段階の閾値が設けてある。CTP は最高 96 種類のトリガー項目を設定出来て、CTP が受け取る閾値を越えた情報とそのトリガー条件とを比較することで、L1A の有無を決定する。トリガー判定が終わると、CTP は TTC システムに対して、L1A とトリガーの情報を送信する。CTP でのレイテンシーは 4 バンチ (100nsec) 以下と決められている。

TTC

TTC システムは、フロントエンドの各エレクトロニクスの同期をとるために、BCclock や L1A などの信号を分配するシステムである。大きな役割としては、clock や orbit 等加速器からのタイミング情報を取得して、ATLAS 測定器全体をビームに同期させることである。また、TTC は各検出器固有のテストやキャリブレーション用のコマンドを受信し、実行する役割も担う。表 2.3 に TTC が扱う主な信号を挙げる。

表 2.3: TTC で使われる主な信号

信号名	主な特徴と機能
BC Clock	Bunch-Crossing signal。各エレクトロニクスを LHC のビーム衝突頻度 (40.08MHz) に同期させるためのクロック。
L1A	Level 1 Accept。CTP から送られてくる。
BCR	Bunch Counter Reset BCID (データがどの BCID に属するかを示す) のリセットに使用。
ECR	Event Counter Reset。L1ID のカウンター (データがどの L1A に属するかを示す) のリセットに使用。
EVID (L1ID)	EVent IDentifier。ROD、ROB でのバンチクロッシングのチェックに使用。L1ID (LVL1ID) と同じ。
BCID	Bunch-Crossing IDentifier。ROD、ROB での Level1ID のチェックに使用。

TTC は ATLAS 実験全体で見た場合、いくつかの partition に分割されており、例えば、TGC の場合は左右のエンドキャップで、それぞれ 1 つの partition を成している。以前は、各エンドキャップで実験ホール用の partition と ROD 用の partition の 2 つの partition からなっていたが、1 つの partition にまとめられた。

1 つの TTCpartition は TTCvi と呼ばれる VME インターフェイスを中心に構成される。TTC で扱う信号は clock などの全検出器に共通に使用される信号の他、テストパルスを発生させる信号など各検出器に固有な信号も扱う。またこれらの信号はひとつの TTCvi に属するシステムには全て共通なものとなるため、partition は各検出器毎に分けられる。しかし、各検出器の中でも設置される場所の違い等により、特にコミッショニング時や test run の場合に異なったトリガーが要求される。このような理由で各検出器の中でも partition が分けられる。

一つの TTCpartition は TTCvi と、LTP (Local Trigger Processor)、TTCvx、RODbusy の 4 つのモジュールを必ず持つ。図 2.26 に TTCpartition を示す。LTP は、partition の外部からの TTC

で扱う信号を全て受信する。LHC からは 40.08MHz の BC クロックと周期 88.924 μ sec の ORBIT 信号を、CTP からは L1A 信号を受信する。L1A と ORBIT は TTCvi へ送信され、クロックは TTCvx へ送信される。

TTCvi は受信した L1A やテスト信号を TTCvx に送信し、TTCvx は受信した情報を加工した後、オプティカルリンクによってフロントエンドに設置される TTCrx と呼ばれる ASIC (Application Specific Integrated Circuit) まで分配する。TTCvi から TTCvx に渡される信号は、A-Channel、B-Channel という 2 種の信号に分配される。A-Channel で扱われるデータは L1A だけであるが、B-Channel では TTCrx に同期コマンド、非同期コマンドを送付することが出来、前者はテストパルスの発生等に用いられ、後者はパラメーターの設定などに用いることが出来る。TTCrx では、受信した信号をフロントエンドに配置される各エレクトロニクスに分配する。また、RODbusy モジュールは、TTCpartition 内に属する ROD からの busy を集め結果を LTP に渡す。LTP が受け取った busy は CTP に渡される。

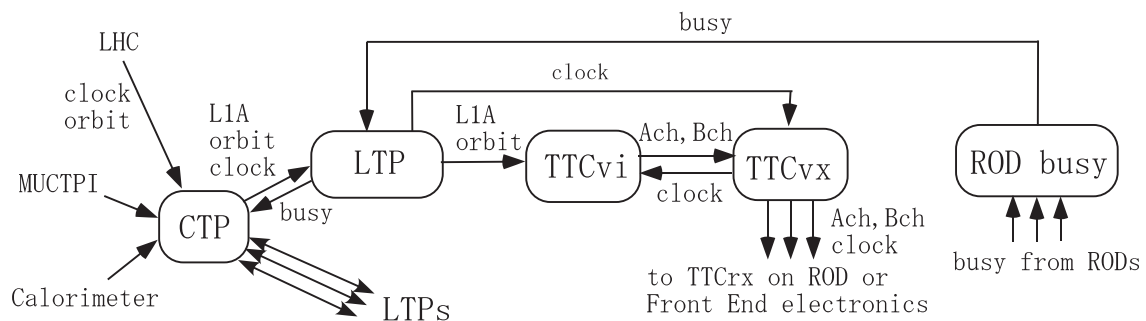


図 2.26: TTCpartition

一つの TTCpartition は TTCvi と、LTP、TTCvx、RODbusy の 4 つのモジュールを持つ。

2.4.3 LVL2

LVL2 トリガーではイベントレートは 75kHz から 3kHz 程度に落とされる。カロリメータ、MDT からの情報、内部飛跡検出器からの完全な位置情報に基づいて、より精度を上げて処理を行うが、効率を良くするため、LVL1 トリガーの情報により選定された RoI (Region of Interest) と呼ばれる領域のみの情報を用いてトリガー判定が行われる。RoI とは大きい運動量を持ったジェット、電子、ミューオンなどが検出された領域である。

複数の LVL1 の結果が RoIB (RoI Builder) に渡され、そこで RoI が決定される。RoI は他の LVL1 の情報と共に L2SV (LVL2 SuperVisor) に渡される。L2SV は受け取った RoI 及び LVL1 の情報から LVL2 判定をするため、負荷分散アルゴリズムに従い、幾つかの L2P (LVL2 Processor) をそのイベントのトリガー判定に割り当てる。割り当てられた L2P は、LVL2 ネットワークを介して必要なイベント情報を ROS から受け取り、LVL2 判定を行う。その結果、LVL2 Accept 信号は L2SV に戻され DFM (Data Flow Manager) に渡される。

LVL2 は 3kHz でトリガーを出し、L2P には最大で 500 台程度の PC が使われる予定で、それらで平行に LVL2 判定の処理を行う。1 イベントにかかる処理時間は 10msec 以下とされている。また、LVL2 判定はその精度をソフトウェアで自由に変えられるため、精度を落とせば 10msec より高速に LVL2 判定を行うことも出来る。

LVL2 Accept 信号が DFM に送られると、DFM は負荷分散アルゴリズムに従ってデータを受け取る SFI (Sub Farm Input buffer) を割り当てる。SFI はイベントビルダーネットワーク (物理

的には LVL2 ネットワークと同じもの) を介して ROS からデータを受け取り、フォーマットに従ってイベント構築を行う。構築されたイベントは EF に送られるために SFI 内のバッファに保持される。

2.4.4 EF

EF (Event Filter) でのトリガーにより最終的なイベントレートが 200Hz まで落とされる。EF では全検出器の完全な情報を用いてトリガー判定がなされる。

EF は全体で 1600 台程度の PC で構成される大規模なプロセッサ・ファームであり、幾つかの独立した EF sub farm から構成されている。EF sub farm は、スイッチング・ネットワークを介して一つ又は複数の SFI に繋がっている。EF sub farm では EFD (EF Data flow control program) というプログラムが走っており、SFI から完全なイベントデータを受け取り、トリガー判定を行う。あるイベントのトリガー判定が終わると、EFD は SFI から次のイベントデータを取って来て処理を続ける。EF 全体としてのトリガー・レートは 200Hz であるが、各 EF sub farm で並列に処理が行われるため 1 イベントにかかる処理時間は 1sec 以下とされている。

EF トリガー判定のためにデータは SFI より EF sub farm に取り込まれる。EF Accept 信号が出ると、EFD はトリガー判定のために生成された情報に、イベントの完全な生データを付加し、SFO (Sub Farm Output buffer) へとデータを送る。そして、SFO から Disk に記録される。1 イベントで発生するデータ量は 1.5MByte 程度と見積もられており、最終的に 300MByte/s のデータが記録されていく。

第3章 TGC システム

ATLAS 実験において、TGC システムには大きく分けて LVL1 ミューオントリガーシステムとしてのトリガー判定の役割と、ミューオンの R 、 ϕ 方向の座標の測定という役割を担っている。この章では、その TGC システムについてより掘り下げて説明する。

まず TGC システムの配置とその特性について述べ、次に TGC システムを構成しているチェンバーについて述べる。最後に TGC システムのトリガー判定はどのようになされるのかについて述べる。

3.1 TGC システムの配置

ATLAS 実験に設置される TGC の総数は約 3700 枚で、全チャンネル数は R 方向で約 22 万、 ϕ 方向で約 10 万になる。その配置は図 3.1 に示すように、TGC システムは M1、M2 (Middle)、M3 (Pivot) と EI (Endcap Inner) , FI (Forward Inner) の 5 つから構成される。M1 は 3 層 (Triplet) のチェンバー、M2、M3 は 2 層 (Doublet) のチェンバーから成り、トリガー判定には主にこの計 7 層が使われる。また、内側から M1 では T1,T2,T3、M2 では D4,D5、M3 では D6,D7 と各層を呼ぶ。これら 5 つがそれぞれ、ATLAS の両側のエンドキャップで円盤状に並べられて配置される。

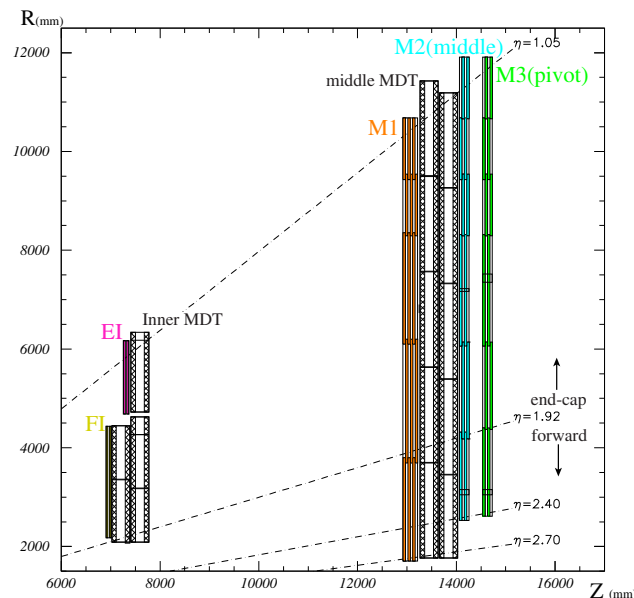


図 3.1: R-Z 断面での TGC のレイアウト

TGC は M1、M2、M3 と EI、FI から構成される、32 万チャンネルにも及ぶ巨大な検出器である。[4]

3.1.1 ビッグウィール

M1、M2 および M3 はビッグウィールと呼ばれる。ビッグウィールは $1.05 < |\eta| < 2.7$ の領域をカバーし、 $|\eta| < 1.9$ の領域を Endcap と呼び、 $|\eta| > 1.9$ の領域を Forward と呼ぶ。

ビッグウィールは 1/12 円（円形状に配置した TGC を ϕ 方向に 12 等分したもの）が 1 つの大きな単位となっており、これを 1/12 セクターと呼ぶ。データの処理などはこの単位で行われる（図 3.2 の赤い線で示された部分）。

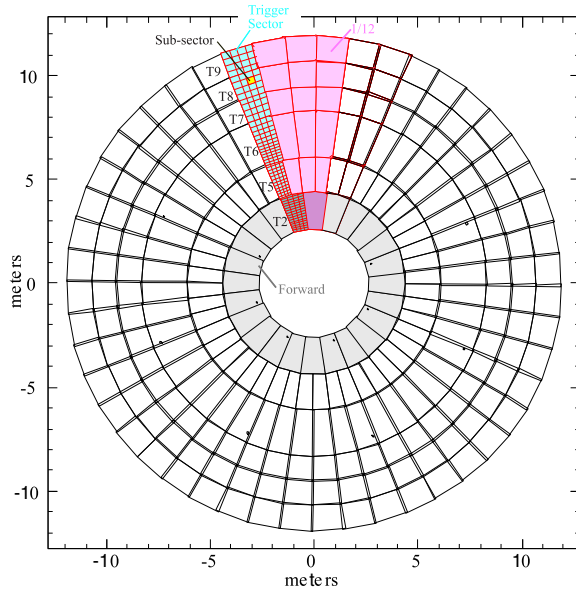


図 3.2: M3 (pivot) での TGC の配置と区分

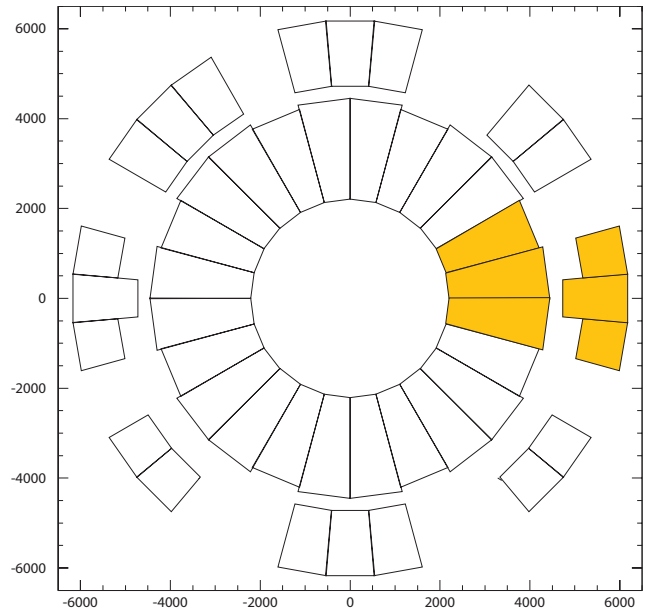


図 3.3: EI/FI での TGC の配置と区分

1/12 セクターを基本として成り立ち、更にそこから ϕ 方向にトリガーセクターという単位に分割される。このトリガーセクターはチェンバー 1 枚の幅と一致する。また、8 ワイヤグループと 8 ストリップをサブセクターと呼ぶ。

[4]

3.1.2 トリガーセクターとサブセクター

LVL1 トリガーに関連する話として、1/12 セクターはさらに図 3.2 で示すように、Endcap を ϕ 方向に 4 等分した領域と、Forward を ϕ 方向に 2 等分した領域に分割され、それぞれトリガーセクターと呼ぶ（図 3.2 の水色の部分）。トリガーセクターの ϕ 方向の幅がちょうどチェンバー 1 枚の幅と一致する。さらにトリガーセクターは Endcap 領域では η 方向に 37 分割、 ϕ 方向に 4 分割、Forward 領域では η 方向に 16 分割、 ϕ 方向に 4 分割され、それぞれサブセクターと呼ばれる（図 3.2 の黄色の部分）。サブセクターは 8 ワイヤグループと 8 ストリップに対応しており、これらはトリガー処理の最小単位になっている。

3.1.3 EI/FI

EI/FI は $1.05 < |\eta| < 1.9$ の領域を覆っている。図 3.3 に EI, FI の配置を示す。斜線を引いてある部分が 1 つの単位になっており、これは全体の 1/8 に当たる。EI に関しては特殊な配置になっ

ており、それぞれに隙間が存在する。このため、acceptance は約 70% になっている。

3.2 TGC の概要

この節ではチェンバーの概要について述べる。TGC チェンバーは、MWPC (Multi-wire Proportional Chamber) 型チェンバーの 1 種でありワイヤとストリップを用いて 2 次元読み出しを可能にしたトリガーチェンバーである。その動作原理と、40MHz ですべての信号を捕らえるため構造について簡単に説明する。

3.2.1 動作原理

TGC は、内部に $\text{CO}_2/\text{n-Pentane}$ (55/45) 混合ガスが満たされ、ワイヤには通常 2.9kV の高電圧が印加されている。ガス中を荷電粒子が通過すると、その経路にあるガス分子が電離されイオン化される図 3.4(a)。電離された 1 次電子は陽極側に Drift しながら印加電場によって加速され、電離エネルギーを超えると 2 次電子を生成する図 3.4(b)。これを繰り返す、タウンゼント型電子なだれと呼ばれるカスケード型の電子なだれを形成する。電子とイオン雲はそれぞれ Drift によって互いに離れ図 3.4(c)、電子雲はワイヤを取り囲み図 3.4(d)、イオン雲はさらにその周りを取り囲むようにワイヤ半径方向に拡散していく図 3.4(e)。TGC はこの電子なだれをシグナルとしてワイヤから読み取る。同時にカソード面では、塗布された高抵抗のカーボン面に電荷が誘起され、外側のストリップにも電荷が誘起され信号として読み出される。

タウンゼント型電子雪崩で生じた励起分子やイオンの再結合による紫外線は、カソード面やガスに衝突して発生する二次電子によって自己放電を起こす可能性がある。そこで紫外線を吸収する効果 (クエンチ効果) のある n-pentane を封入し、紫外線を吸収することで二次電子を抑え、チェンバーの検出効率を向上させている。

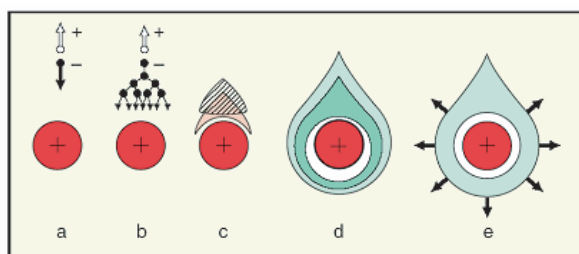


図 3.4: アノードワイヤでのタウンゼント型電子なだれの原理

イオン化によって電離された電子が、印加電圧によって加速されて、次々と 2 次電子を生成す。[8]

3.2.2 TGC の構造

TGC はエンドキャップ部分を円盤状にカバーするため、各チェンバーの外形は台形になっており、その大きさは配置場所によって異なるが、1 辺が 1~2m ほどである。TGC の構造を図 3.5~3.7 に載せる。

TGC は、高エネルギー実験でよく使われる MWPC (Multi-wire Proportional Chamber) 型チェンバーの 1 種であり、図 3.6 で示すように、ワイヤ面とカソード間の間隔 (1.4mm) がワイヤ間隔 (1.8mm) よりも狭くなっているところに特徴がある。ワイヤの間隔が狭いのは電子のドリフト時間を短くし、バンチクロッシング間隔 (25nsec) に対応できるようにするためである。ワイヤとストリップの間隔が狭いのは (1) 陽イオンのドリフト距離を短くし、粒子が高レートで入射してきても検出効率を落とさないようにするため、(2) ワイヤとストリップの間隔からみて、ワイヤ径を太くするで、電場が強い領域がガス領域全体に拡がり、ガスゲインをあげ不感領域を減らすため、である。

その構造はアノードとして直径 $50\mu\text{m}$ の金メッキしたタングステンワイヤが台形の上底、下底と平行に張られている。カソードはガラス・エポキシ板に表面抵抗が約 $1\text{M}\Omega$ のカーボンを経塗布してある。ガラス・エポキシ版を挟んだ反対の面には、1 面を 32 分割した扇型の銅のストリップがワイヤに直交して並べてある。ワイヤには図 3.7 に示すように約 30cm 毎にワイヤサポートがある。ワイヤサポートはワイヤのたるみを防ぐためだけでなく、ガスの流路の形成と TGC の歪みを防ぐ役割も担っている。ワイヤは 4~20 本 (幅にして 10.8~36mm) をまとめて 1 つのチャンネルとして読み出す。ストリップは 32 本あり、各ストリップは Endcap 領域では 4mrad、Forward 領域では 8mrad に相当する幅 (15.1~53.4mm) を持ち、それぞれが 1 つのチャンネルとして読み出される。これにより TGC は 2 次元の読み出しが可能で、ワイヤにより R 方向の位置を、ストリップによって ϕ 方向の位置の検出を行う (図 3.5)。

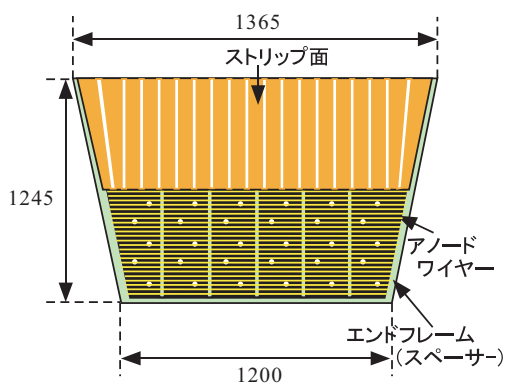


図 3.5: TGC の平面図

ワイヤとストリップが垂直に走り、2 次元読み出しが可能になっている。

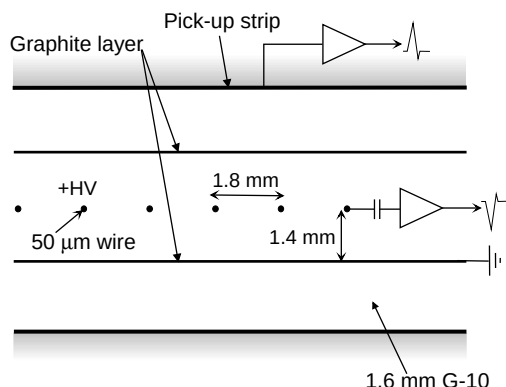


図 3.6: TGC の断面図

ワイヤ同士の間隔 (1.8mm) より、カソード面とワイヤの間隔 (1.6mm) が狭いのが特徴。[4]

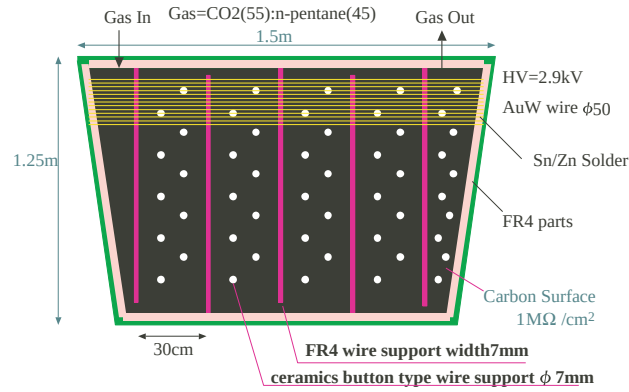


図 3.7: ワイヤサポート

ワイヤのたるみを防ぐだけでなく、ガス流路の形成やチェンバーの歪みを防ぐ意味もある。

実際の ATLAS 実験では、TGC は 1 層 (singlet) では用いず、図 3.8 で示すように、2 層 (Doublet) または 3 層 (Triplet) を重ねた構造にする。Doublet の場合は 2 層のワイヤ面と 2 層のストリップ面から読み出しが行われる。Triplet では、2 層目にはストリップがなく、3 層のワイヤ面と 2 層のストリップ面から読み出しが行われる。多層にすることで、各層のコインシデンスを取ってバックグラウンドによるフェイク信号の影響を減らすだけでなく、ワイヤサポートによる不感領域の影響も減らすことが出来る。さらに、各層でチャンネルが 1/2 もしくは 1/3 ずれて配置しているため、実質の位置分解能は 2 倍もしくは 3 倍になる。

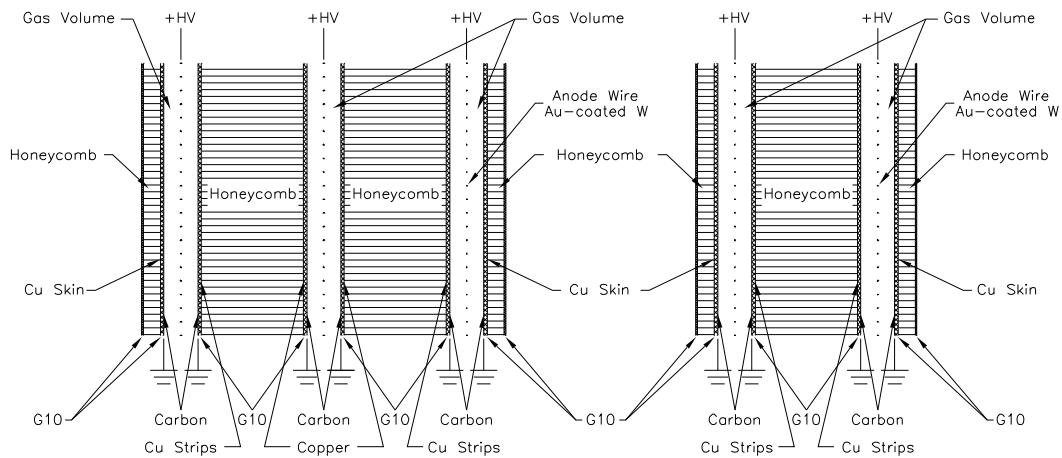


図 3.8: TGC の Triplet (左) と doublet (右) の構造

ATLAS の TGC には大きく Triplet と Doublet という 2 種類が存在する。Triplet は 3 層のワイヤと 2 層のストリップから読み出し、Doublet は 2 層のワイヤと 2 層のストリップから読み出す。[4]

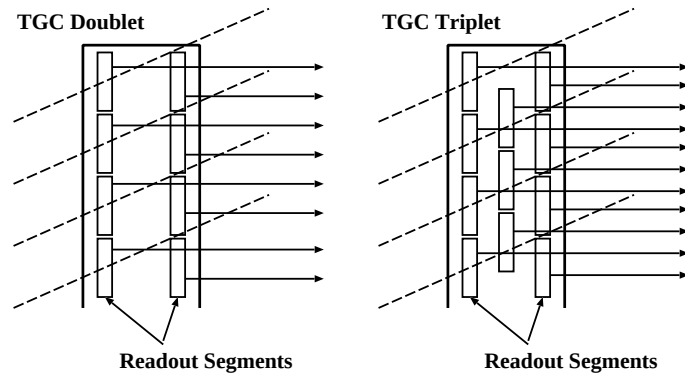


図 3.9: TGC 各層でのワイヤグループの重ね方

実効的な位置分解能を上げるために Triplet は 1/3 ずつずらして配置され、Doublet は 1/2 ずれて配置されている。

3.2.3 TGC からのシグナル

トリガー用のチェンバーである TGC は、25nsec 毎に起こる LHC のバンチ衝突を正しく識別するために、1 回のバンチ衝突による信号が 25nsec 以内の範囲に収まっていなければならない。図 3.10 に、粒子が TGC を通過してから信号を出すまでの時間分布が TGC に対する粒子の入射角度によってどのように変化するかを示す。これは 3GeV の π を用いたビームテストの結果である。

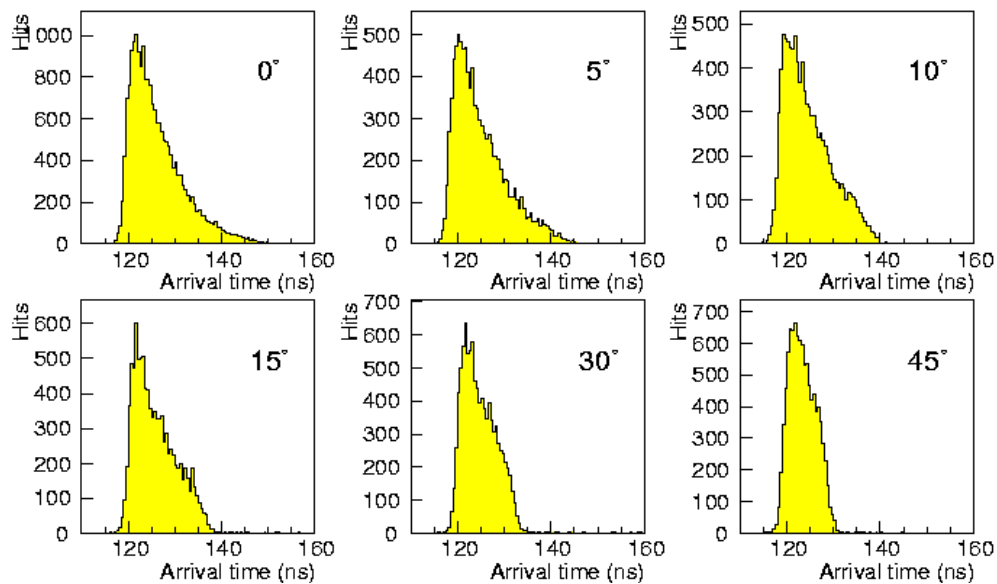


図 3.10: TGC の時間分布

どの角度から粒子が入ってきても 25ns 以内に信号が収まっていることがわかる。[4]

図 3.10 からわかるように、約 115nsec で最も早い信号が到達する。ここから 25nsec の間、つまり 140nsec までに到達した信号が同じバンチとして認識される。入射粒子が 0 度（TGC に垂直に入射）の時、時間分布の値は 25nsec になっているが、入射角度の増加に伴い、ジッターは

減少し 45 度では 15nsec 以下まで小さくなっている。この垂直入射の場合に見られる到達時間分布の遅いテールは、ワイヤ間の中間近傍付近に生じる電場が小さい領域のみを粒子が通過することから生じている。しかし、実際の実験環境下においては TGC への入射角度は 10 度から 45 度であり、その領域における時間分布は 25nsec よりも十分に小さい。

overlap 領域

チェンバー間のデッドチャンネルをなくすため、各単位ごとに R 方向と ϕ 方向に対して overlap 領域が存在する。その領域でのデータの扱いについて簡単に述べる。

- R 方向での取り扱い

ワイヤに関しては、OR をとっている。データはひとつの大きなチェンバーのようにして扱い、単一のトラックが得られるようになっている。ストリップに関しては、ワイヤが単一のトラックを与えているため、ダブルカウントは起きないようにしている。

- ϕ 方向での取り扱い

ワイヤに関しては、OR をとっていない (隣り合ったチェンバーは別のトリガーセクターに属している)。ここではストリップの情報を使ってデータがダブルカウントにならないようにしている。ストリップに関しては、図 3.11 にあるように、チェンバーの端のチャンネルをマスクすることによって、ダブルカウントが起きないようにしている。

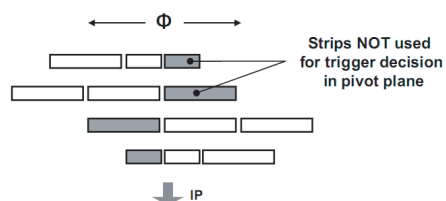


図 3.11: ストリップの overlap 領域でのマスク

ϕ 方向でのストリップの overlap 領域。マスクをすることによって、ダブルカウントを防ぐ。[5]

3.3 TGC システムでのトリガー判定

TGC システムでは、TGC の 2 層構造、3 層構造を利用したコインシデンス処理とミュオン の p_T (横運動量) を用いて、トリガー判定を行う。コインシデンス処理でノイズなどの偶発的なトリガーを抑え、また、 p_T の値によって我々の興味のある物理事象 (新粒子生成事象など) をトリガー判定することができる。

1 回のバンチクロッシングでトリガーセクター (3.1.2 参照) につき、Endcap、Forward 部分でそれぞれ最大 2 つのトリガー情報を発行することが可能である。トリガー情報にはヒットの位置情報 RoI (サブセクター単位)、 p_T を 6 段階で評価した値が含まれる。

トリガー判定の具体的な論理は、第 4 章および第 5 章で TGC システムの読み出し回路と共に詳しく述べる。ここでは、 p_T の決定方法について簡単に述べる。

TGC における p_T (横運動量) の決定方法

トロイド磁場による軌跡の曲りから求まる運動量 p と位置情報つまり運動量方向から横運動量 p_T を決定する図 3.12 に、ミューオンの p_T の求め方を示す。まず、Pivot Doublet(M3) でのミューオンの通過位置とビーム衝突点を結ぶ直線 (Infinite Momentum Line) を考える。この直線は、運動量 p 無限大のミューオンが磁場の影響を全く受けずに直進してきた場合のトラックである。Middle Doublet(M2) 及び Triplet(M1) で、ミューオンが通過した位置と Infinite Momentum Line が通る位置の差を、 R 、 ϕ 方向それぞれに検出することで δR 、 $\delta\phi$ の値を求め、ミューオンの p_T を見積もる。トロイダル磁場が理想的な ϕ 方向成分のみの磁場であれば、 $\delta\phi = 0$ となるが、実際には磁場は一様でなく R 方向にも存在するので、 ϕ 方向の変位 $\delta\phi$ も考えなければならない。

M2 及び M1 上では、それぞれ δR と $\delta\phi$ の上限が設定されており、上限の δR と $\delta\phi$ で形成される領域をウィンドウと呼ぶ。M2 上のものを Low- p_T ウィンドウ、M1 上のものを High- p_T ウィンドウと呼ぶ。M3-M2 間のコインシデンス処理 (Low- p_T コインシデンス) で Low- p_T ウィンドウを通過したものに関して、M3-M1 間でのコインシデンス処理 (High- p_T コインシデンス) を行い High- p_T ウィンドウの通過の有無が決定する。そして、最終的に通過したウィンドウの δR と $\delta\phi$ から p_T を決定する。

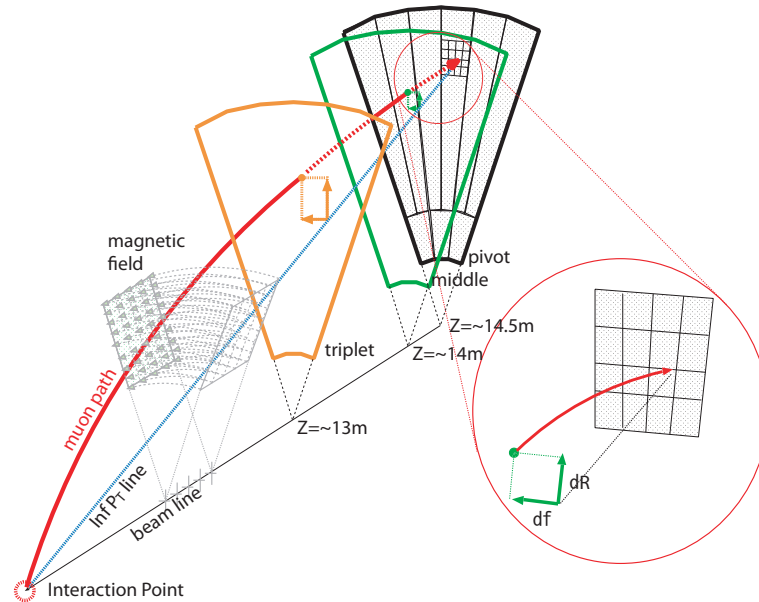


図 3.12: p_T 測定の原理

Pivot Doublet と IP を結ぶ直線からのずれを見る。

第4章 TGC システムの読み出し

ここでは先の章で説明した TGC からのデータを処理する方法について説明する。

まずシステム全体のデータの流れ、及び配置を述べる。次に TGC エレクトロニクスで使われる各モジュールについて説明する。そして最後にこれらのエレクトロニクスをコントロールする、オンラインソフトウェアについて簡単に述べる。

4.1 システム全体

TGC システムの読み出しには、大きく分けて次の 3 つがある。

トリガー系 25nsec 毎に流れるトリガー判定の為の情報

リードアウト系 L1A が来ると読み出される TGC 各層でのミューオンのヒットチャネル情報

コントロール系 TGC エレクトロニクスの各モジュールをコントロールするための情報

TGC エレクトロニクスの全体像を図 4.1 に示す。赤線、青線、緑線はそれぞれトリガー系、リードアウト系、コントロール系を表す。

ビッグウィールでミューオンが検出されると、それらの信号は ASD (Amplifier Shaper Discriminator) で増幅、デジタル化され、PS ボード上にある PP ASIC (Patch Panel ASIC) へと送られる。PP ASIC ではケーブルの Delay などを調整し、そのデータを SLB ASIC (Slave Board ASIC) へと送る。SLB ASIC ではまずトリガー処理がなされ、そのトリガーはワイヤなら HPT (High-Pt Board) ワイヤヘストリップなら HPT ストリップに送られる。トリガーを処理している間、データは SLB ASIC の中のレベル 1 バッファに溜められる。トリガー情報は HPT において R 方向と ϕ 方向についてそれぞれコインシデンスが取られ、SL (Sector Logic) へと送られる。SL で R 方向と ϕ 方向の情報が合わさり、MUCTPI に送られる。そしてそのトリガー情報が L1A となり、TTC から SLB ASIC に送られると、レベル 1 バッファに溜めてあったデータは SLB ASIC 内のデランダムマイザを通じて SSW (Star Switch) へ送られる。SSW ではデータの圧縮などを行い、そのデータが ROD (Readout Driver) を通り ROB へと送られる。そしてこのようなシステムをコントロールするのが HSC (High-pT Star-switch Controller Board) や CCI (Control Configuration Interface Board) といったモジュールである。

次節から 3 種類のシステムについて説明する。

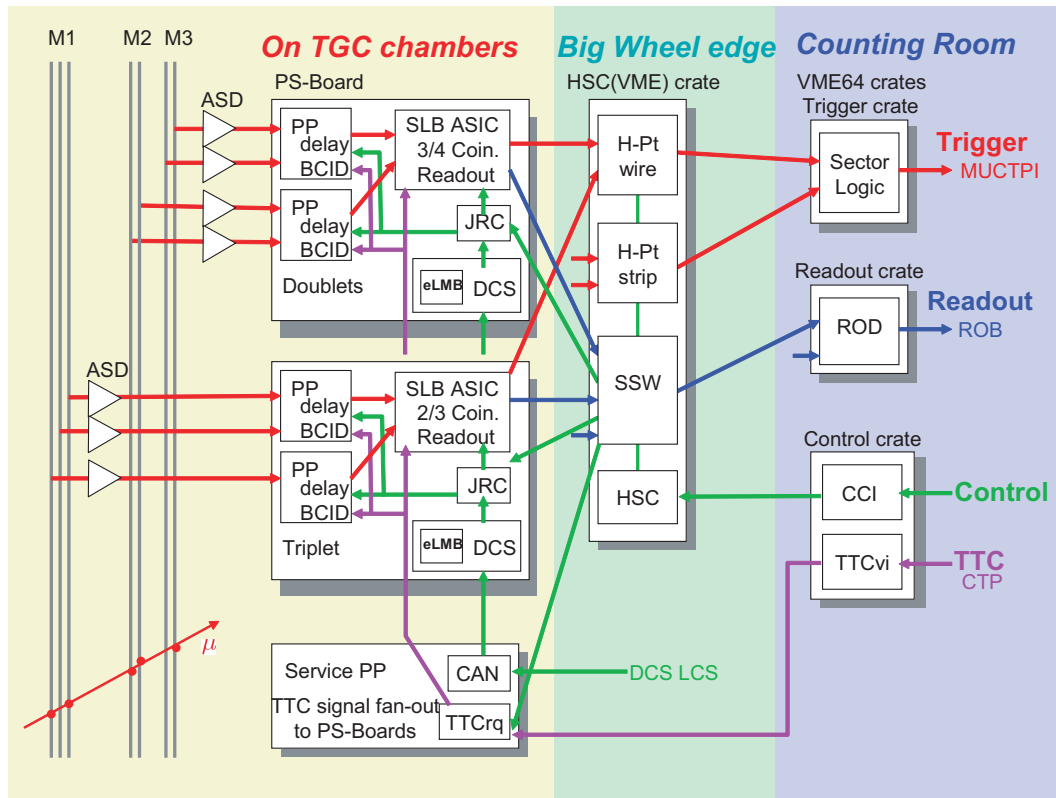


図 4.1: TGC エレクトロニクス システム概要

TGC エレクトロニクスはトリガー系、リードアウト系、コントロール系に分類される。また、その設置場所にはチェンバー上、ビッグウィールの端、カウンティングルームと 3 つの場所に設置される。[9]

4.1.1 トリガー系

トリガー系の流れは、ASD ボード、PP ASIC、SLB ASIC、HPT、SL の順に信号が処理される(図 4.2)。TGC から出力されるアナログ信号は、ASD ボードに送られ、信号の増幅・整形・デジタル化が行われ、LVDS (Low Voltage Differential Signaling) 信号で PP ASIC へと送られる。PP ASIC では、各チャンネルへ粒子が到達するまでの飛行時間である TOF (Time of Flight) やケーブル遅延などから生じるタイミングのずれを調整し、バンチ識別を行う。SLB ASIC では、PP ASIC からの信号を受け取り、4 層からなる pivot, middle Doublet からの信号をもとにコインシデンス処理 (3 out of 4) が行われ、トリガーの判定が行われる。また Triplet からの信号についてもコインシデンス処理 (ワイヤ: 2 out-of 3, ストリップ: 1 out-of 2) が行われる。HPT では、SLB ASIC で測定した Doublet 及び Triplet のコインシデンス処理の結果を基に、 p_T コインシデンス情報が生成される。SL では、それまで独立に扱われていたワイヤとストリップの情報を統合し、コインシデンス処理が行われ、TGC のトリガー系の最終的な情報として p_T が大きな 2 つのトラックをセクター毎に選び出す。SL の結果は、MUCTPI に送られ、RPC の情報と合わせて、ミューオンの最終的なトリガー判定が下される (図 4.3)。

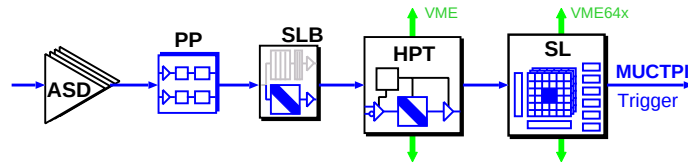


図 4.2: TGC エレクトロニクスのトリガー系

ASD と PS ボードの間は LVDS パラレルケーブルでつながれる。PS ボードから HPT までは CAT6 のケーブルでつながれ、この間は 10m~15m となっている。HPT と SL はオプティカルのケーブルでつながれる。HPT はビッグウィールの端に取り付けられ、SL はカウンティングルームに置かれる。

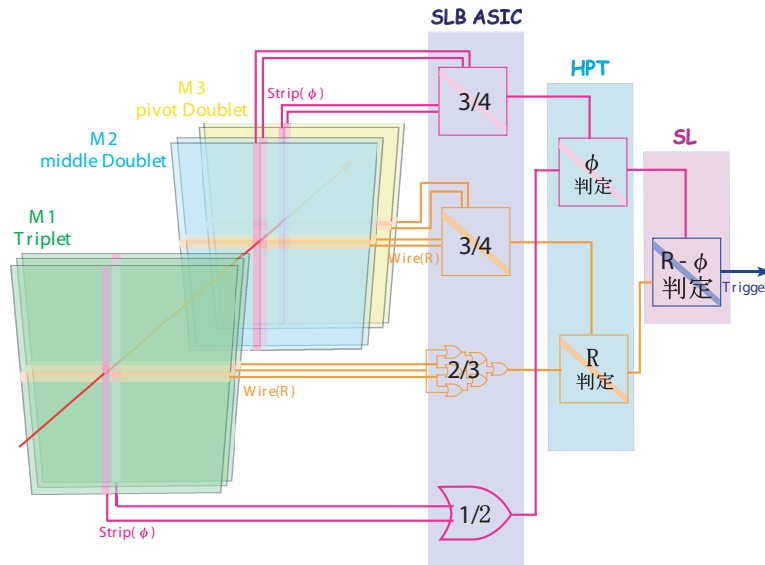


図 4.3: TGC トリガーの判定方法

まず SLB ASIC においてローカルなコインシデンスが取られる。次に HPT において R 方向と ϕ 方向のそれぞれがまとめられ、コインシデンスを取り、SL で R 方向と ϕ 方向を合わせたコインシデンスが取られる。

4.1.2 リードアウト系

リードアウト系の流れを図 4.4 に示す。PP ASIC から送られてきたデータは、SLB ASIC の中にあるレベル 1 バッファに蓄えられ、L1A 信号を受けたデータのみがデランダムマイザを通じて、次段の SSW へと送られる。SSW はマルチプレクサ*として複数の SLB ASIC からのデータを収集し、ゼロサプレスという方法で圧縮を行い、光信号 (G-Link) でエレキハットの ROD まで送る。このとき、トリガー情報 (コインシデンス処理の結果) は PS ボードに搭載された SLB ASIC から同様に SSW に送られ、データと一緒に ROD に送られる。ROD では SSW からの情報を収集し、それらのデータと TTC から送られてくる情報との整合性を確認し、ROB にデータを渡す (図 4.5)。

*ふたつ以上の入力をひとつの信号として出力する機構。

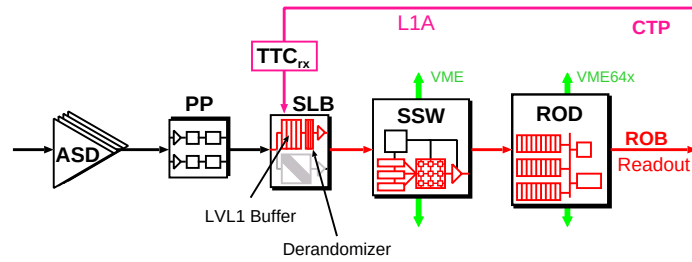


図 4.4: TGC エレクトロニクスのリードアウト系

LVL1 バッファとデランダムマイザの半分を SLB ASIC が受け持ち、SSW が残り半分のデランダムマイザとマルチプレクサを受け持つ構造をしている。これは SSW が複数の SLB ASIC を処理し、ROD ヘデータを送りやすくするためである。

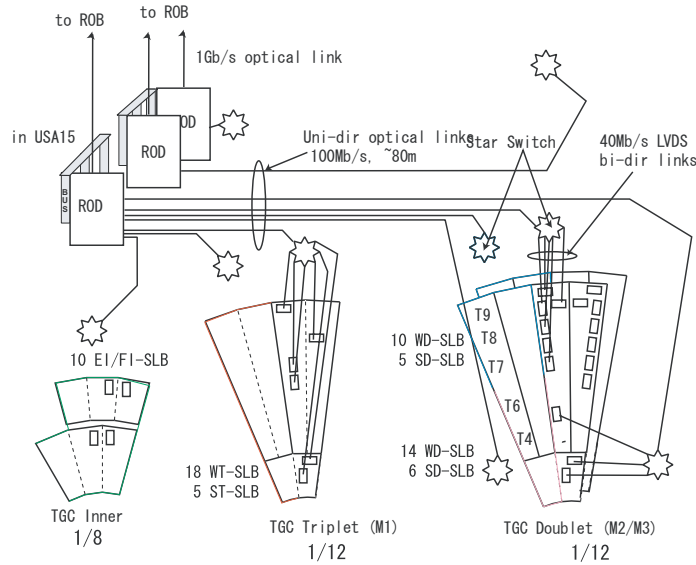


図 4.5: TGC からのリードアウトのスキーム

ASD からのデータは PS ボードで処理され SSW に送られる。SSW では複数の SLB ASIC を処理して、ROD に送る。

4.1.3 コントロール系

コントロール系は、ATLAS 実験では各検出器の制御と監視を統一的な方法で行うために DCS (Detector Control System) が導入されている (図 4.6)。フロントエンドには ADC (Analog-Digital Converter)、DAC (Digital-Analog Converter)、eLMB (embedded Local Monitor Box)などを搭載した DCS カードが PS ボード上に設置される。HPT/SSW が搭載される VME クレート[†] (HSC クレート) は実験室外の CCI から HSC を介してコントロールされ、PS ボード上の PP ASIC/SLB ASIC の設定は SSW から行う。また、TGC エレクトロニクスでは、DCS は温度状態管理や供給電源の監視、さらに SSW から行われる PP ASIC/SLB ASIC の設定も、バック

[†]ここで VME とは、Versa Module Europe の略である。IEEE で規格化された産業用の標準バスで、96 ピン DIN コネクタを実装した 32 ビット・バスで最大通信速度は 50MB/sec であり、高エネルギー物理の分野でも一般的に用いられているものである。

アップのために eLMB から行えるようにしてある。PS ボード上には JTAG [‡]プロトコルの PP ASIC/SLB ASIC への経路選択を行うために JRC (JTAG Routing Controller) が設置される。

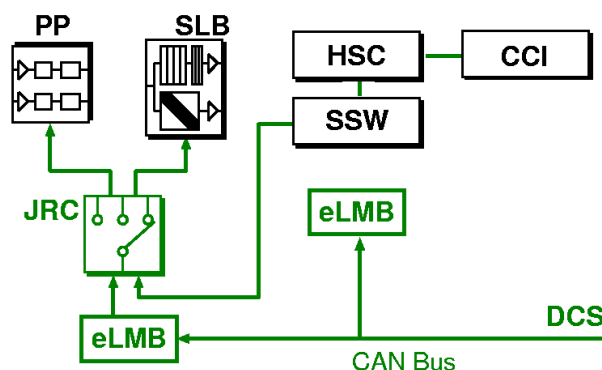


図 4.6: TGC エレクトロニクスのコントロール系

SSW と HPT は PC から CCI、HSC の順でコントロールされる。更に SSW は JRC を通じて PS ボードへの設定を行える。JRC へのアクセスは、バックアップとして eLMB から可能になっている。また、ASD には設定すべき項目がなく、ROD や SL は PC から直接制御される。

4.2 TGC エレクトロニクスの設置

TGC エレクトロニクスは TGC 側面に直付けされている ASD 以外に大きく 3つの場所に分けられて設置される（図 4.1 における、バックグラウンドの色がそれを表している）。チェンバー上に載るものと、ビッグウィールの端に載るもの、そしてカウンティングルームに設置されるモジュールである。

PS Pack はチェンバー上に、図 4.7 の様につけられ、Triplet に関しては（衝突点から見て）前面に、Doublet は、pivot の裏側に設置される。ビッグウィールの外縁には、HSC、HPT、SSW が搭載された、HSC クレートと呼ばれる VME クレートがおかれる。HSC クレートは 1つの 1/12 に 1台設置される。以上の 2つの場所は UX15 と呼ばれる実験ホール内にあるので、ここに設置されるモジュールは強い放射線環境下に置かれる。そのため、使用する IC は放射線耐性がある ASIC や Antifuse FPGA (Field Programmable Gate Array) が用いられる。3つ目の場所は実験ホールから 90 ~ 100m 離れた外にある USA15 にあるカウンティングルームで、ここには VME64x クレートが置かれ、CCI、SL、ROD が搭載される。図 4.8 と図 4.9 に設置位置を示す。

[‡]IC の検査方式の 1つで、チップ内部にプローブテストと同様の挙動を行なう JTAG ボードと呼ばれる端子およびレジスタを構成し、外部からテストコードを入力してそれに対する IC の挙動を調査する方法。また、JTAG に対応した回路と TAP (Test Access Port) と呼ばれる 5本の端子からなるインターフェイスを持たせ、テストデータの入出力や制御に用いることができる。

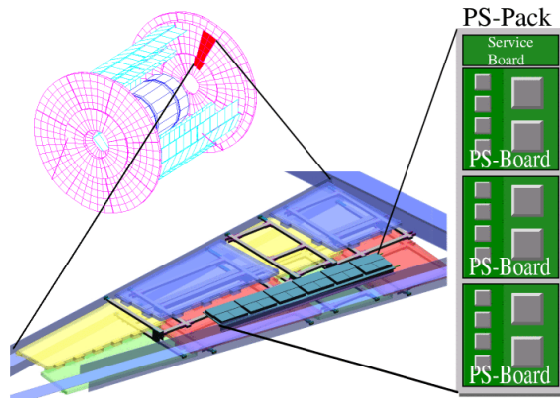


図 4.7: PS-Pack の構成と配置

PS Pack は 1/12 セクターの側面に取り付けられる。[5]

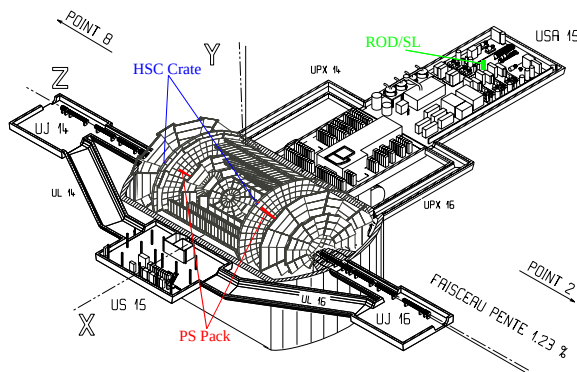


図 4.8: TGC エレクトロニクスの配置

PS Pack はチェンバー上に置かれ、HSC クレートはビッグウィールの端に取り付けられる。そこから離れた USA15 には VME64x クレートがおかれ、CCI や SL、ROD が置かれる。

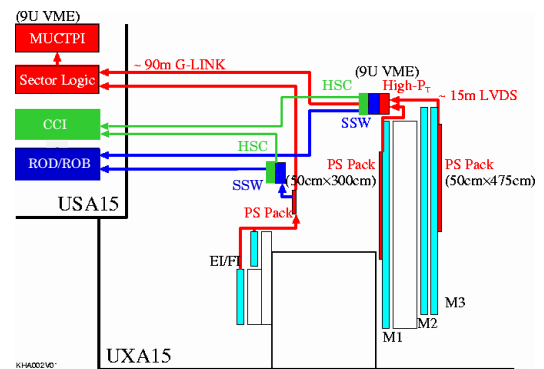


図 4.9: TGC エレクトロニクスの配置 (R-Z 断面)

Triplet 用の PS Pack は IP 側に取り付けられ、Doublet 用の PS Pack は IP の裏側に取り付けられる。

4.3 エレクトロニクスの詳細

4.3.1 ASD Board

ASD ボードは TGC の側面に取り付けられ、4 チャンネル分の処理が出来る ASD ASIC が 4 個搭載され、1 つのボードで 16 チャンネルを処理する。ASD ASIC は、TGC からのアナログ信号を増幅、整形し、ある閾値電圧を越えた信号だけを LVDS レベルの信号で出力する。また、ASD ボード以降のエレクトロニクスの診断やタイミング調整のために、トリガー信号を受けて擬似的な TGC の出力信号（テストパルス）を出力する機能も持っている。ASD ボードは、後述する PP ASIC が設置される PS ボードとツイストケーブルで接続され、動作電源、閾値電圧、テストパルスのためのトリガーは全て PS ボードから供給される。また、ASD ボードには 16 チャンネル目のアナログ信号をモニタできるアナログ出力もついている。図 4.10、図 4.11 に ASD ボードの写真と ASD ASIC のブロック図を載せる。

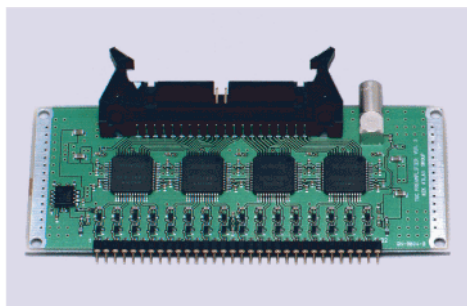


図 4.10: ASD Board

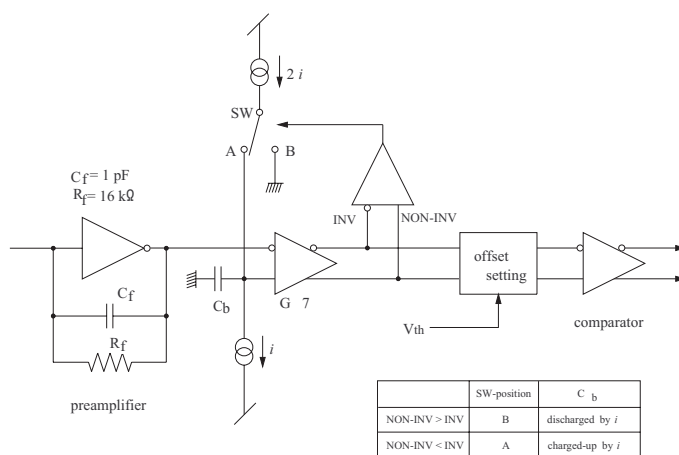


図 4.11: ASD ASIC のブロック図

ASD ボードは信号の増幅やデジタル化などを行う。また、閾値によって信号を選別する様子などが書いてある。[11]

4.3.2 PP ASIC

ASD から送られてくる信号は、TOF やケーブル遅延などで到達時間は必ずしも揃わない。そこで、PP ASIC でタイミング調整とバンチ識別を行う。具体的には、ASD からの LVDS 信号を LVDS レシーバーにより、CMOS レベルの信号に変換する。次に variable delay 回路で、各チャンネルにそれぞれ 0~25ns の範囲で Delay をかけることによりタイミングの調整を行う。この Delay は 25/28ns 単位で調整が可能になっている。タイミング調整された信号は BCID（バンチクロッシング ID）回路に入り、TTC から供給される LHC clock と同期が取られバンチ識別が行われる。最期に TGC の重なった部分のダブルカウントを防ぐため、OR ロジックを通して SLB ASIC に送られる。また PP ASIC は、ASD Board に向けてテストパルスが発生させるためのトリガーを出力するテストパルス回路も搭載している。テストパルスの振幅、タイミングは可変であり、JTAG プロトコルによって制御出来る。PP ASIC は一つで 32 チャンネル信号を処理できる。図 4.12 に PP ASIC のブロック図を示す。

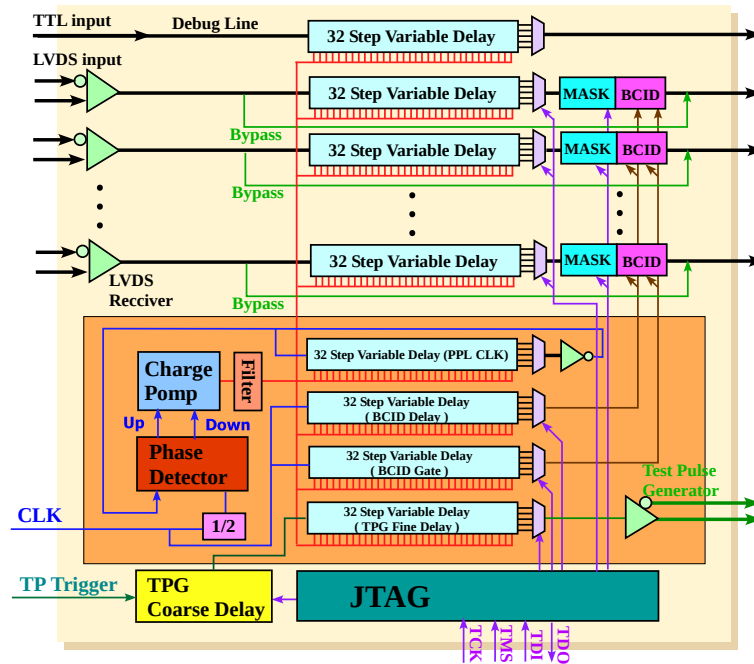


図 4.12: PP ASIC のブロック図

PP ASIC には Delay 調整や、テストパルス回路が搭載されている。1 つの PP ASIC で 32 チャンネル分を処理することができる。[10]

4.3.3 SLB ASIC

SLB ASIC のブロック図を図 4.13 に載せる。SLB ASIC は大きくわけて、トリガー部とリードアウト部からなる。以下、それぞれ分けて説明する。

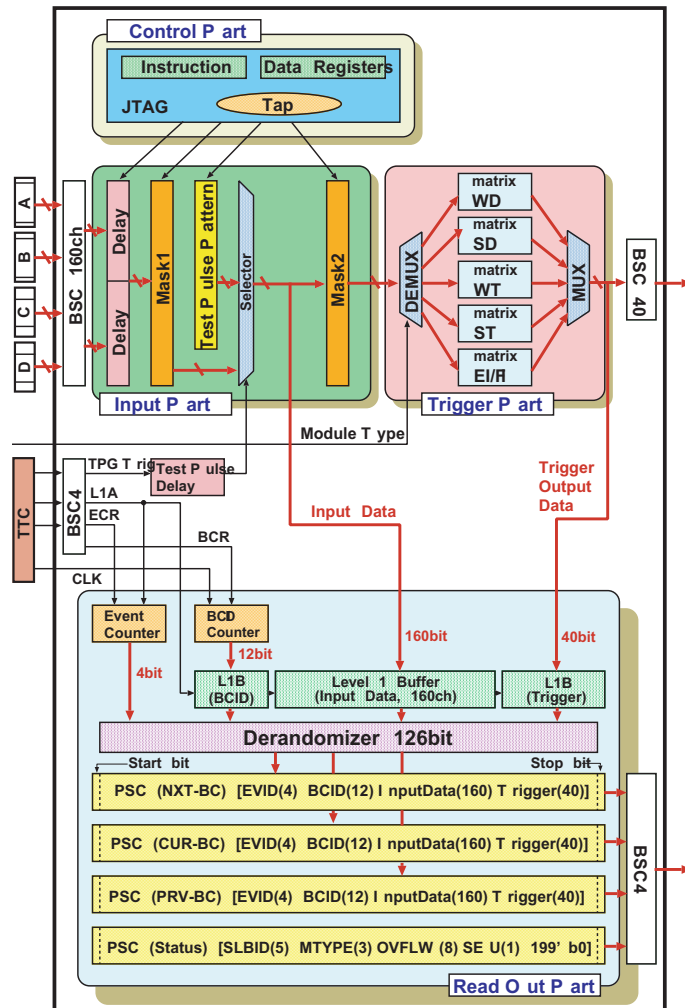


図 4.13: SLB のブロック図

PP からのインプットを受け取り、トリガーに渡す部分とリードアウト（デランダムイザー）に渡す部分に分かれている。

トリガー部

ワイヤカストリップ、Doublet か Triplet などによって 5 種類のコインシデンスマトリックス（ワイヤ Doublet、ストリップ Doublet、ワイヤ Triplet、ストリップ Triplet、EI/FI）を切替えて使用する。コインシデンスウィンドウは、ワイヤが ± 7 、ストリップが ± 3 channel である（図 4.14）。Triplet、Doublet にはそれぞれ、2/3（Strip は 1/2）、3/4 のコインシデンス条件が課される。また、PP ASIC からの信号に 1/2clock 単位でディレイをかける機能や、各チャンネルをマスクする機能、連続したチャンネルにヒットがあった時にその中の一つのチャンネルだけから信号を出力させる機能（デクラスタリング:図 4.15 参照）、さらに SLB 以降のエレクトロニクス の診断やタイミング調整を行うためのテストパルスを出力する機能も持っている。設定は JTAG で行われる。

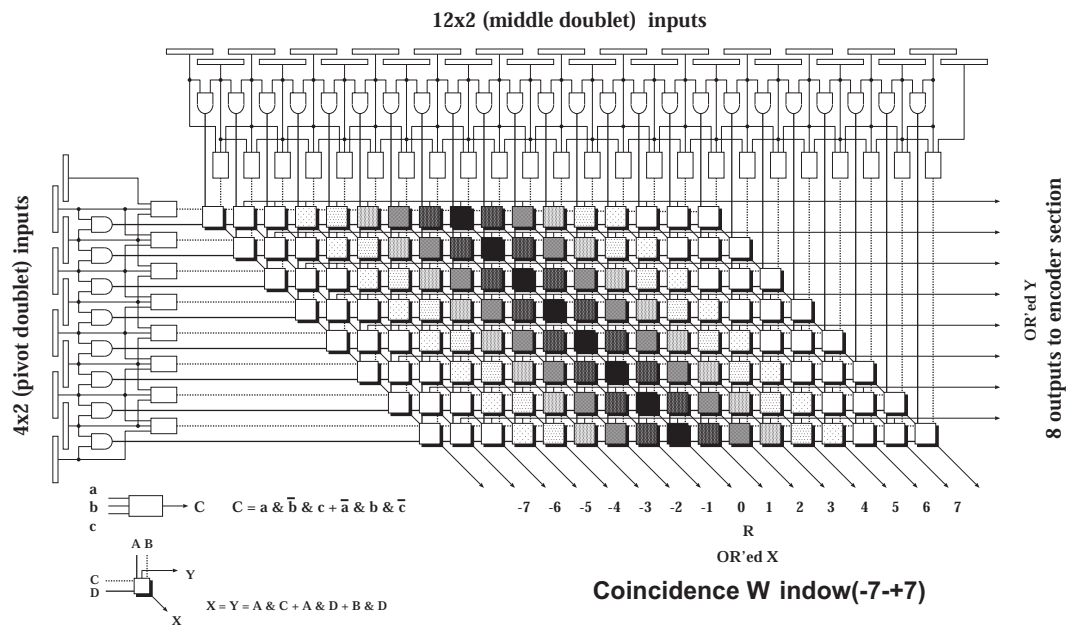


図 4.14: Wire Doublet SLB の場合のコインシデンスマトリックス

ワイヤのコインシデンスウィンドウは ± 7 から構成されている。[5]

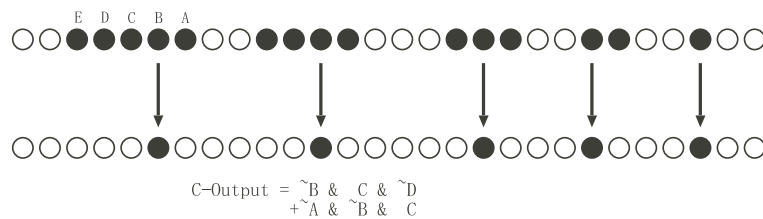


図 4.15: デクラスタリング

多くの連続したヒットがあった場合、その中の 1 つのチャンネルからのみ信号を取り出す。[5]

リードアウト部

リードアウト部は、LVL1 トリガーの判定を受けたデータの読み出しを行う部分である。主に LVL1 バッファとデランダムマイザにより構成される。データは LVL1 バッファと呼ばれる、幅 212bit、深さ 128 段のシフトレジスタに蓄えられる。212bit の内訳は入力データ 160bit、トリガーパートの出力 40bit、バンチ・カウンタ値 12bit となっている。このデータは CTP からの L1A が与えられるまでの時間保持され、L1A が与えられると該当するデータとその前後 1 バンチずつの、計 3 バンチ分のデータにそれぞれ、イベントカウンタの値 (4bit) が付加されデランダムマイザにコピーされる。デランダムマイザにコピーされるとすぐに、3 バンチ分のデータは別々にシリアルに変換し SSW に送られる。

4.3.4 JRC

JRC は 2 系統の入力ポートと 7 系統の出力ポート、それらをコントロールするための 2 系統の JTAG ポートを持つスイッチングルータである。それぞれのラインは、 $\overline{\text{TRST}}$, TCK, TMS, TDI, TDO の 5 つの信号から成る。2 系統の入力ポートは SSW と eLMB からのもので、図 4.16 のように CA_JTAG (または CB_JTAG) が JRC 内のスイッチをコントロールすることで、Q1~Q7 のポートのうち 1 つを選択して DA_JTAG (または DB_JTAG) の信号をそのまま出力する。JRC は、PP/SLB にアクセスするためのインターフェイスであり、PP/SLB の設定は JRC を中継して行われる。7 系統の出力ポートは、4 つが PP ASIC へのもので、3 つが SLB ASIC へのものである。

JRC は Antifuse FPGA を使っている。

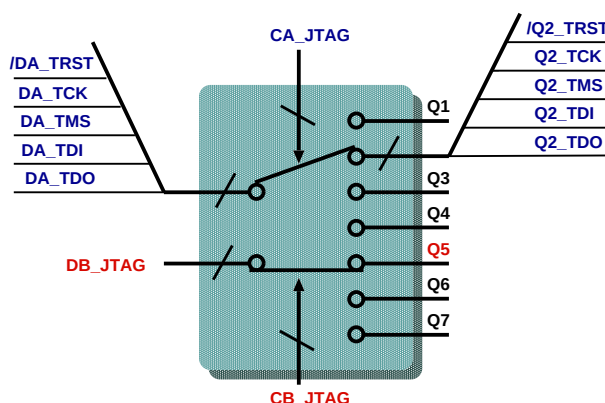


図 4.16: JRC 内部の模式図

2 系統の入力と、7 系統の出力から成り立っている。そのルートを 2 つのコントロールラインから行う。[12]

4.3.5 TGC DCS

TGC DCS ボードは eLMB と呼ばれるサブモジュールを使用し、ADC (Analog-Digital Converter) や DAC (Digital-Analog Converter) が搭載され、センサーからの信号をデジタル化してモニタし、制御用のアナログ信号を作り出せる。具体的には、温度モニタ、エレクトロニクス の電圧・電流モニタ、チェンバー位置モニタ、TGC のアノードに印加する HV (High Voltage) 電源電圧のモニタとコントロール、ASD の閾値電圧の設定などを行う。eLMB は CAN バス[§]を通じてデータの読み書きが行われる。

[§]CAN (Controller Area Network) はマルチマスターのシリアルバスシステムで、アドレスの概念がなく、送信側は識別子を付けてメッセージを配信し、受信側はその識別子を見てメッセージを受信するかを決めるプロトコル。

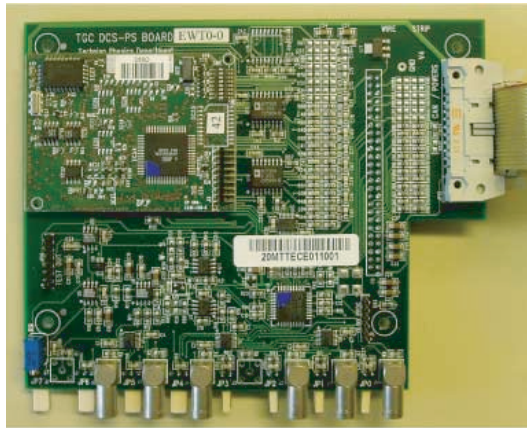


図 4.17: DCS

4.3.6 PS Board

PS ボードには図 4.18 に示すように、PP ASIC、SLB ASIC、JRC、eLMB が搭載される。PS ボードでは、ASD からの LVDS 信号を PP ASIC で受け、TGC の overlap 領域でのダブルカウントを防ぐための OR 論理回路を通して、SLB ASIC へ送られる。SLB ASIC で、トリガー系と読み出し系に分かれ、トリガー用データは HPT へ、読み出し用データは SSW へと、それぞれシリアルライズされて、LVDS 信号で送られる。また、SSW あるいは eLMB から送られてくる PP/SLB を制御するための JTAG 信号は、JRC により PS Board に設置される各 ASIC に分配される。さらに PS Board は、ASD Board に電源電圧と閾値電圧を供給する役割も果たす。PS ボードは後述する SPP (Service Patch Panel) から、TTC (Timing Trigger Control) によって供給される LHC clock や、各種 Reset 信号、テストパルスのためのトリガー信号等の信号を受け取る。図 4.19 に PS ボードの写真を示す。

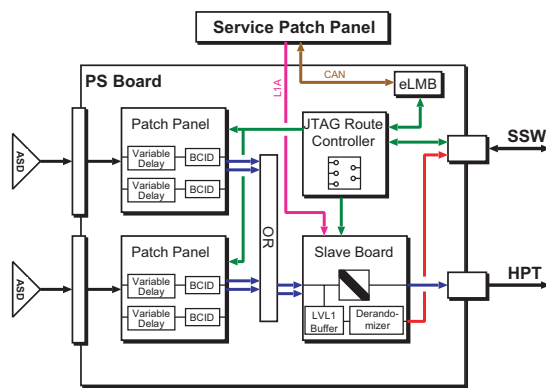


図 4.18: PS Board の構成図



図 4.19: PS Board

PS ボードは PP ASIC や SLB ASIC が搭載されたボードで、1つのボード当たり最大 320 チャンネルの信号を処理することができる。

4.3.7 SPP Board

SPP には TTC の信号を受信する機能を持つ TTCrq が載せられ、TTC から LHC clock、L1A、BCR、ECR、Test Pulse トリガー等の信号を受け取り、それらの信号を 10 又は 17 枚の PS Board に分配する。

SPP には、TTCrq の設定を行うために I²C プロトコルを受信する、CAT6 (カテゴリー 6) ケーブルのポートが搭載されている。また、HPT クレートへ clock とリセットを供給するカテゴリー 5 ケーブルのポートが搭載されている。図 4.20 に SPP の写真を載せる。

4.3.8 PS Pack

PS ボードと SPP は、図 4.21 に示すような PS-Pack にまとめられ、Triplet の前面、及び Doublet の後面に設置される。PS-Pack は 1/12 毎に 2 つ設置され、1 つの SPP と複数の PS ボード (Triplet は 10 枚、Doublet は 17 枚) から構成される。

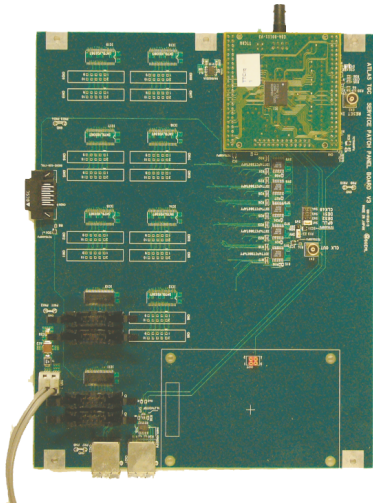


図 4.20: Service Patch Pane

TTC からの信号を受信し、それらの信号を PS ボードへと供給する。



図 4.21: PSpack

基本的に、1 つの PSpack の中に 2 枚の PS ボードが収められる。

4.3.9 HPT

HPT は Doublet と Triplet の情報を用いて HPT コインシデンス情報を生成する。HPT はまず、PS Board から送られてきた LVDS レベルのシリアライズされたデータを、パラレルのデータに変換する。HPT では、SLB ASIC まで独立に処理されてきた Doublet と Triplet のデータを統合して HPT コインシデンス情報を生成する。Triplet は 2 つの Doublet よりも衝突点に近く、しかも Doublet 同士の間隔よりも離れた位置に設置されているため、Triplet を用いることによりトロイダルマグネットによってあまり曲げられることがなかった大きな p_T を持つミューオン信号を選別できる。HPT ではワイヤとストリップは独立に処理が行われ、 $\delta R, \delta \phi$ を出力する。図 4.22 にワイヤ、図 4.23 にストリップのブロック図を載せる。出力データはシリアライズされ、オプティカル信号に変換されて、光ファイバーによって 90 ~ 100m 離れた実験室外のカウンティング・ルーム (USA15) にある SL に送信される。HPT はエンドキャップ領域用のワイ

ヤとストリップ用、フォワード領域用の計3種類作られる。フォワード領域用には3つ、エンドキャップ領域用には4つのHPT ASICが搭載される。図4.24にHPT Boardの写真示す。

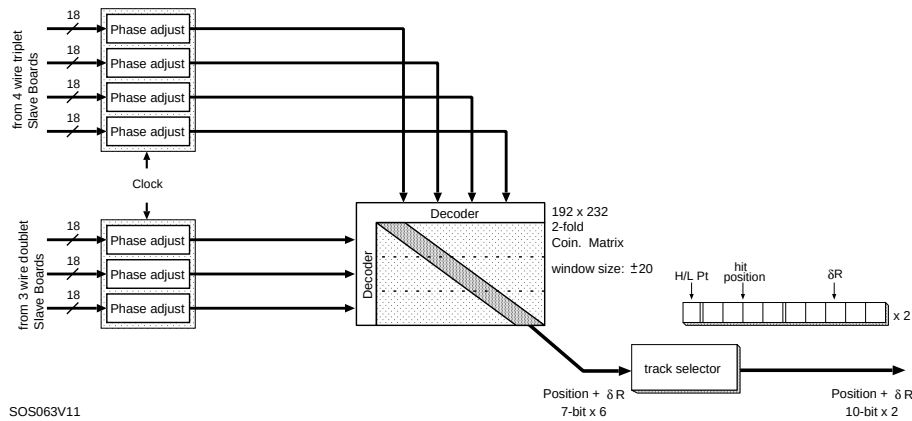


図 4.22: HPT ワイヤ ブロック図

コインシデンスウィンドウは±20 チャンネルの範囲でなされる。

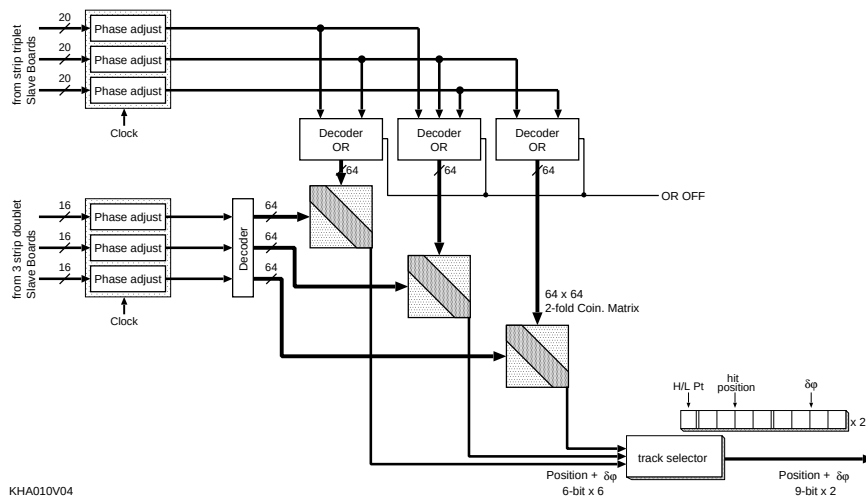


図 4.23: HPT ストリップ ブロック図

コインシデンスウィンドウは±7 チャンネルの範囲でなされる。

4.3.10 SL

SL については以降の章で詳しく説明し、ここでは簡単に述べることにする。

SL (Sector Logic) はTGCエレクトロニクスシステムのトリガーのデータが最終的に集められるモジュールであり、2トリガーセクター分の信号を処理する。SLは主にR-φコインシデンス、プレトラックセクター、ファイナルトラックセクターから構成される。まずSLは、HPTから送られてきたシリアルライズされているオプティカル信号を受け取り、電気信号に変換

した後パラレル変換をする。そして、HPT Board まで独立に処理されていた R 方向（ワイヤ）と ϕ 方向（ストリップ）の HPT 信号から両者のコインシデンス（R- ϕ コインシデンス）を取ることで、ミューオンのトラックを構築する。それらのトラックを、SSC（Sub-Sector Cluster: R 方向に 2 つ、 ϕ 方向に 4 つのサブセクターのあつまり）ごとに 6 段階の p_T の閾値によって分類する。はっきりと決まっている閾値は p_T の 4GeV 以上[¶]ということのみで、その他は探索する物理により実験中に自由に変更出来ることが要求されるので、閾値は書き換え可能な Look-Up Table（LUT）によって実装される。プレトラックセクターは、6 段階の p_T 判定のそれぞれに用意され、 p_T の大きい順に 2 つの選択して、計 12 トラックがファイナルトラックセクターに送られる。ファイナルトラックセクターでは、プレトラックセクターから送られた 1 トリガーセクター分のトラックから p_T の大きいものを 2 つ選択して、6 段階の p_T 判定と位置情報を MUCTPI に送る。このロジックは FPGA に書き込まれる。SL が処理に使用した HPT からのデータと SL での処理の結果は、SL に搭載された SLB から USA15 に設置された SSW に送られる。SL には各セクタに対して一つずつ SLB が搭載され、JRC も搭載される。図 4.25 に SL の写真、図 4.26 にブロック図、図 4.27 に SL での処理の流れを載せる。

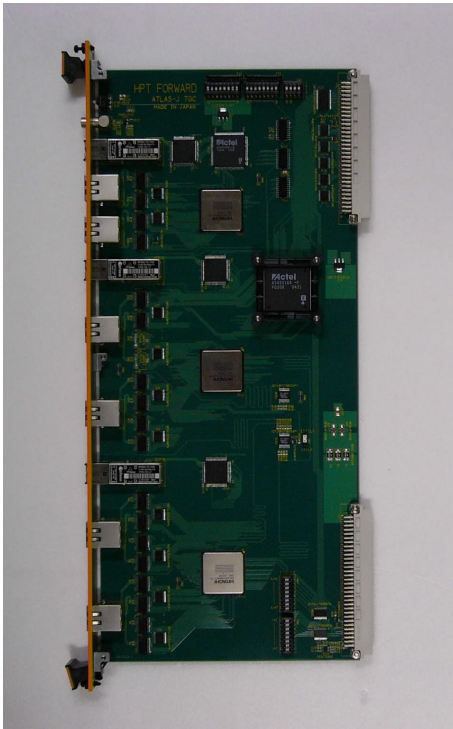


図 4.24: HPT Board

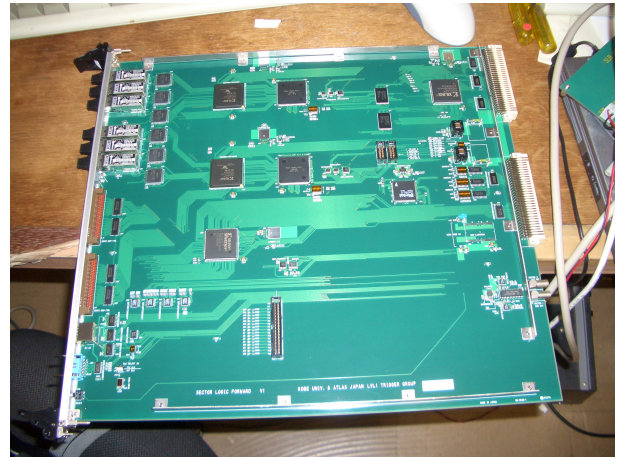


図 4.25: SL

SL にはかなり容量の大きい FPGA が搭載される。それは LUT が非常に大きなマトリックスを持っているからである。

[¶]TGC システムとしては Trigger efficiency が 100 % となる 6GeV 以上が望ましいが、ATLAS の開始時は p_T 4GeV 以上ということが決まっているので、閾値は 4GeV 以上に対応させている。

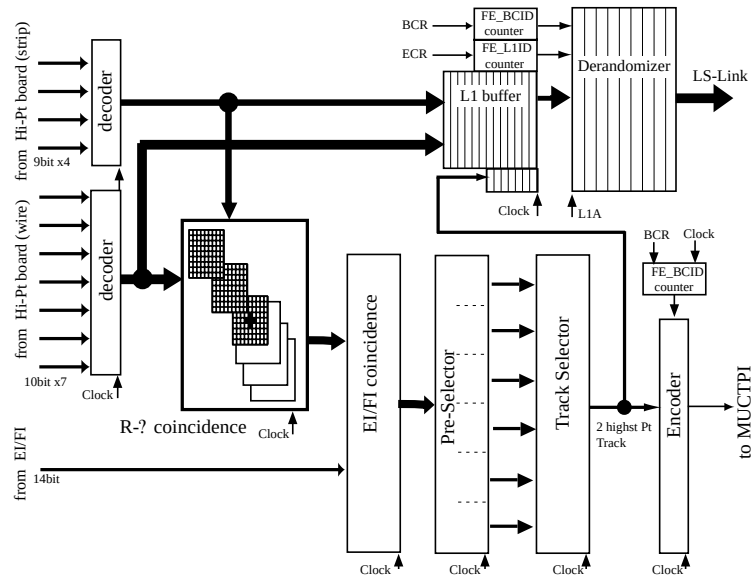


図 4.26: SL ブロック図

SL ではこれまで別々に処理されていた R と ϕ の情報が統合される。そして MUCTPI にトリガー情報が送られる。

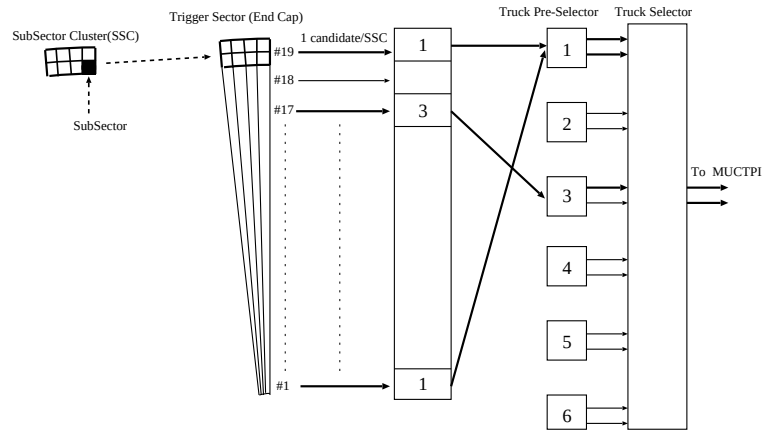


図 4.27: SL での処理の流れ

サブセクター情報から、徐々に大きな領域を見ていき、大きな p_T 情報を持った情報を取り出していく。

4.3.11 SSW

SSW (Star Switch) の主な役割は、SLB のリードアウトから送られてくるデータを圧縮し、ROD にデータを送る前にデータ量を減らして、効率よい読み出しができるようにすることである。具体的なデータ圧縮は、データを cell と呼ばれる 8bit ごとの塊に分け、各 cell にアドレスを付け、値がゼロでない cell だけをアドレスと共に送る。TGC の全チャンネルのうちヒット信号を発生するのはごく一部なので、これによりデータを減らすことが出来る。1つの SSW で最大 23 個の SLB のデータを受ける。SSW はまず、SLB からの LVDS レベルのシリアルライズされたデータを受け取り、それを並列のデータに変換する。そのデータは SSWrx (レシー

バー) に送られ、データの圧縮が行われる。その後データは、SSWtx (トランスミッター) に送られ、フォーマットされる。フォーマットされたデータはシリアルライズされ、オプティカル信号に変換されて 90 ~ 100m はなれた実験室の外にある ROD に送られる。また SSW は、PS Board 上の PP ASIC、SLB ASIC に JTAG プロトコルによってレジスタ設定と、I²C による SPP 上の TTCrx の設定も行う。図 4.28 に SSW の写真を載せる。

4.3.12 ROD

ROD (Read Out Driver) は TGC エレクトロニクスシステムの中でリードアウトのデータが最終的に集まるモジュールである。ROD は複数の SSW からシリアルライズされた圧縮データをオプティカル・ファイバーを通して受け取り、オプティカル信号を電気信号に変換した後パラレル・データに戻し、FIFO メモリーに一時格納する。このデータを、トリガー情報を元に同じイベントごとにまとめ、決められたフォーマットにしたがってヘッダー、トレーラーをつける。まとめられたデータは S-link という、フロントエンドとリードアウトのエレクトロニクスを繋ぐために CERN で開発された光信号のリンクモジュールによって ROB に送信される。イベントの同定やヘッダー、トレーラーをつけるためには TTC からのトリガー情報が必要となるため、ROD には TTCrx が載せられたメザニンボードが搭載され、これにより TTC からの信号を受け取ることができるようになっている。

ROD は 100kHz でこれらの処理ができるように求められているが、ROD はカウンティングルームに置かれるため、まだ最終版の開発が終わっていない。図 4.29 に Test ROD の写真を載せる。

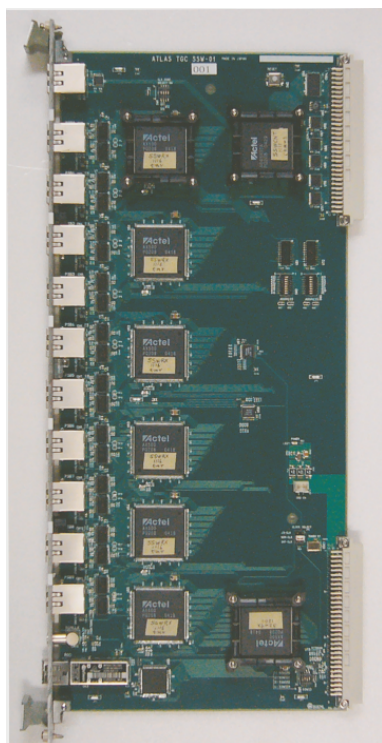


図 4.28: SSW

複数の SLB からのデータを処理する。デランダムイザの一部と、マルチプレクサを搭載する。

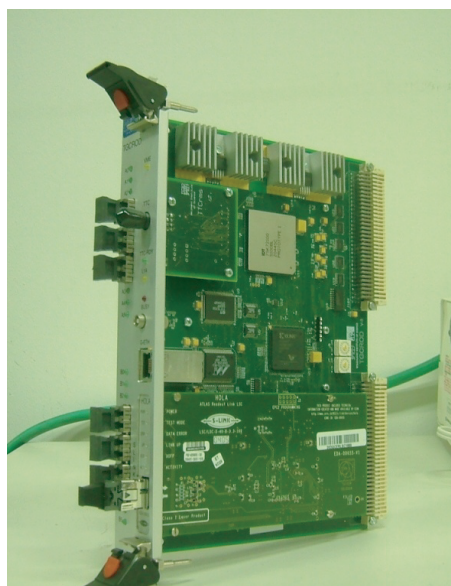


図 4.29: Test ROD

4.3.13 HSC

HSC (High-pT Star-switch Controller Board) は HPT、SSW と同じ VME クレート (HSC クレート) に載せられる、VME マスターモジュールである。後述する CCI とオプティカルケーブルで結ばれ、CCI からの命令を受け取る。命令を受け取ると、命令に対応した処理を行いその後 CCI へ応答を返す。命令は HPT や SSW に対するもので、命令を受け取ると VME バスを支配しスレーブモジュール (HPT、SSW) に対して命令を伝える。また VME バス以外に JTAG バスも使用されている。このため HSC には、CCI との情報のエンコード、デコードのために 2 種類の機能が用意されている。ひとつは PPE (Primary Protocol Encoder) という JTAG 用のもので、リセットや JTAG のコントロールを行う。もう一方は SPE (Secondary Protocol Encoder) という VME 用のもので、VME のコントロールを行う。図 4.30 に HSC の写真を載せる。

4.3.14 CCI

CCI (Control Configuration Interface Board) はローカルホストからの命令を受け取り、命令専用レジスタに格納したあと HSC へと送信する。一方 HSC からの応答は、応答専用レジスタに格納されローカルホストが読み出す。

これら以外にも状態監視用のレジスタや VME 優先割り込み用のレジスタが用意され、これらは VME 経由でアクセスすることが可能である。図 4.31 に CCI の写真を載せる。

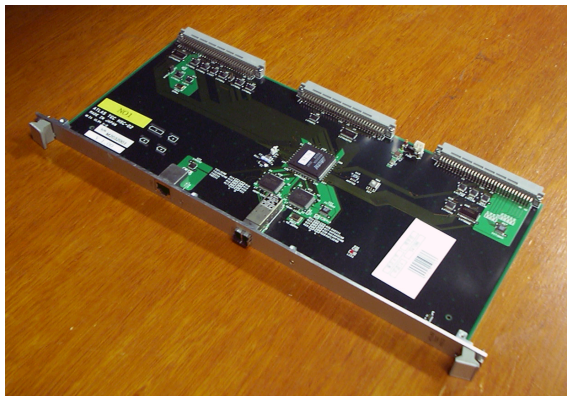


図 4.30: HSC

HSC と CCI はカウンティングルームにある PC からの信号を受け渡しするモジュールである。HSC は CCI からの命令を受け取り、SSW や HPT ボードをコントロールする。

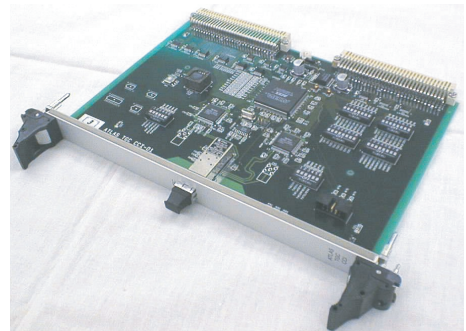


図 4.31: CCI

CCI は PC からの命令を受け取り、HSC へと渡す。

第5章 Sector Logic

現在、SL(Sector Logic) ボードの量産が終了し、検査を経て、ATLAS PIT へのインストールが完了した。SL は FPGA を実装しており設計変更柔軟であり、論理の変更、機能の追加など、開発は現在進行中である。

この章では、SL の基本設計、仕様、オンラインソフトウェアの開発、コミッショニングにおける機能検証について述べる。

5.1 Sector Logic の基本設計

第4章でも述べたとおり、SL は、前後方ミュオントリガーシステム (TGC システム) の最終段に位置し、MUCTPI に最終的なトリガー情報を渡す。TGC システムのトリガー論理のなかでの SL の役割は2つあり、1つは、前段階まで独立に扱われていたストリップとワイヤー (Φ と R) のヒット位置情報のコインシデンス処理を行うと同時に ΔR 、 $\Delta\Phi$ からミュオンの p_T を6段階の値で評価すること ($R-\Phi$ コインシデンス)。そして、もう1つは、コインシデンス処理され p_T が得られた軌跡候補から、より高い p_T をもつ軌跡候補を最大で2つ選ぶこと (トラックセレクション) である。

5.1.1 システムからの制約と設計思想

まず、SL に課せられる制約条件を述べる。

1. LHC の衝突周期である 40.08MHz に同期して、デッドタイムレスで動作をしなければならない。
2. それぞれのバンチで独立して結果を出さなければならない。
3. HPT モジュールからの入力から出力までに許される Latency(遅延) は、最大で 200ns (8 Clock) で、Latency はいつも一定でなければならない。
4. 入射ミュオンの運動量測定で用いられる6段階の閾値は、探索する物理や測定条件により実験中に自由に変更が出来なければならない。
5. HPT モジュールからの入力情報と SL の出力情報は読み出しが出来なければならない。

1,2 の条件から必要とされる最低動作周波数が規定される、処理漏れ無く動作を行う為には最低 40.08MHz の動作周波数が必要とされる。3 の条件は、短時間に処理を終了させる事が要求される LVL1 トリガーシステムの CTP において、各検出器からの信号を統合して各バンチ毎にトリガー信号を生成させる為には、Latency が一定でなければならない。また LVL1 トリガーが出る時間をデータ保持時間である $2.5\mu\text{s}$ 以下にする為に SL は 200ns 以下の Latency にする

必要がある。1～3の条件を充たす為、SLは、論理回路とパイプライン処理を使用し回路を形成する事にした。パイプライン構造は、システムクロックによって動作するフリップフロップ（FF）と、その間に位置する、組み合わせ回路によって構成される。全体をLHCの衝突周期の40.08MHzで動作させる為、各FF間にある組み合わせ回路の遅延時間を25 ns以内にす
る必要がある、各FF間の組み合わせ回路を少なくすれば遅延時間を少なくする事は出来るがLatencyの条件があるため必要以上に増やしてはいけない。また4の条件を充たすには、磁場による軌跡の曲り（ ΔR 、 $\Delta\Phi$ ）から p_T の値を導き出す論理回路設計の柔軟性が求められる。そこで、閾値の変更や、コミッショニング時にイレギュラーな使い方にも出来るだけ対応できるようにこれらの回路をFPGA(Field Programmable Gate Array)やCPLD(Complex Programmable Logic Device)といった、内部回路を変更することが出来るICによって構成することにした。FPGAやCPLDの設計はHDL(ハードウェア記述言語)で行う。

しかし、エンドキャップ領域では、磁場の非均一性やマグネットなどの構造物の影響から、磁場による軌跡の曲りから p_T の値を導き出す際、単純な論理演算・計算式では求める事が出来無い。また、組み合わせ回路で実現した場合、求められる条件によって回路構成が大きく変わってしまいFPGA内部での配線の遅延などで、Latency一定を維持する為の回路設計の最適化が難しくなってしまう。そこで、Look-Up-Table(LUT)を使用した設計を行うことにした。LUTとは入力信号の取りうる全てのパターンについて、予めそれぞれの p_T の値を計算したデータターをメモリーに格納し、入力信号をインデックスとしてメモリの内容を参照する事によって結果を得る方式である。このLUTはメモリーに格納するデータターの値を返すだけなので、反応時間は一定となり、パイプライン構造にも適している。

5の読み出しについては、SLB ASICを用いてPSボードと同様の読み出し回路を構成させることでクリアーさせる事とした。

まとめると、

- パイプライン処理を使用し、Latencyを一定に保つ。
- 論理回路の実装にFPGAやCPLDを採用し、柔軟性を持たせる。
- p_T の評価にLUTを使用する。
- 読み出しにSLB ASICを採用。

となり、この設計思想をもとに開発が行われた。

5.1.2 R- Φ コインシデンス

R- Φ コインシデンスは、HPTボードから入力されるのヒット位置情報R、 Φ (サブセクター単位)の Coincidence 処理とともに、位置情報と一緒に送られてくる ΔR 、 $\Delta\Phi$ からLUTを用いて p_T を6段階で決定する回路である。

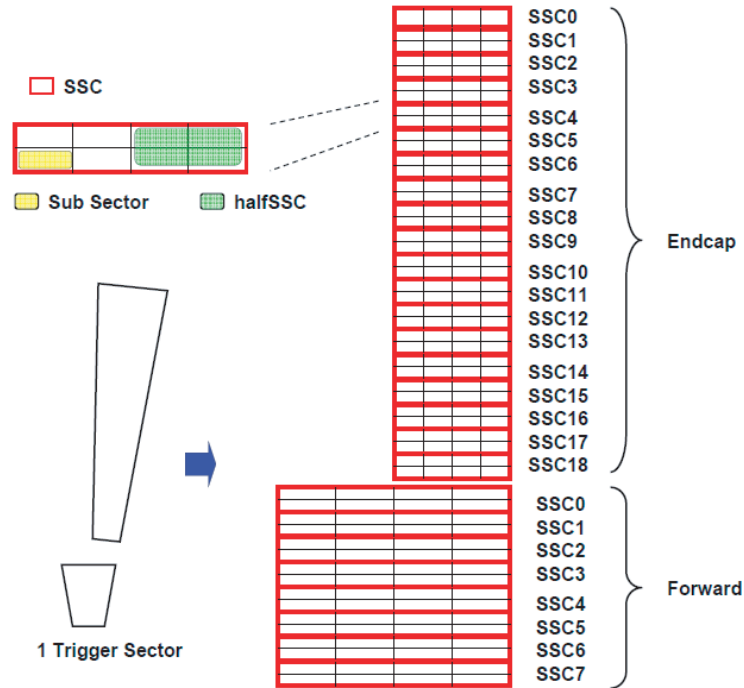


図 5.1: SSC の概念図

SSC(Sub Sector Cluster)

$R-\Phi$ コインシデンス処理をチェンバーごとにサブセクター単位で行おうとすると問題がある、例えばトリガーセクターの Forward 部 (チェンバー 1 枚) のサブセクターの数は 64 個 ($=16(R) \times 4(\Phi)$) あり、下段のトラックセレクション回路は 64 種類の位置情報とそれに付加された p_T の値から軌跡を選別しなければならなくなり、回路が複雑になってしまう。また、チェンバー 5 枚からなる Endcap 部の合計 148 個あるサブセクターはチェンバーごとでサブセクターの個数が異なるため、5つのトラックセレクション回路を設計しなければならなくなる。これらを解消するために SSC(サブセクター クラスター) と halfSSC(ハーフ サブセクター クラスター) という概念を導入する。

SSC は R 方向に 2 サブセクター、 Φ 方向に 4 サブセクターのブロックである。この SSC を Φ 方向に半分にしたものが halfSSC である。図 5.1 に概念図を載せる (Endcap 部の SSC0 は例外的に 4 つのサブセクターから成る) HPT からの入力位置 R, Φ それぞれに隣接するサブセクター 2 つから 1 つのヒット情報に絞られて出力されることから、halfSSC 内には 1 つの軌跡しか存在しない。このことから、LUT での p_T の決定を halfSSC 単位で行うことが効率的だと考えられ、サブセクター単位と比べての処理を 1/4 にすることができる。また、シミュレーションから、SSC において 2 つのヒットがあることは稀であることがわかっているので、下段のトラックセレクションには各 SSC につき 1 つの軌跡候補を送ることにした。(2 つの候補がある場合は、 p_T の大きな方を選ぶ。 p_T が同じ場合は理由なくサブセクターの位置によって選ぶ) このことから、トラックセレクション回路は SSC 単位での位置情報で論理を実装でき、入力数を減らすとともに回路設計を簡略化できる。

TGC 境界

トリガーセクターの Endcap 部の R 方向に 4 つある TGC の境界とサブセクターの境界はどれも一致していない (Φ 方向は、TGC の境界とトリガーセクターの境界が一致している)。したがって、図 5.2 のように TGC の境界を内部にもつ SSC が存在する。図 5.3 に TGC の配置を載せる。

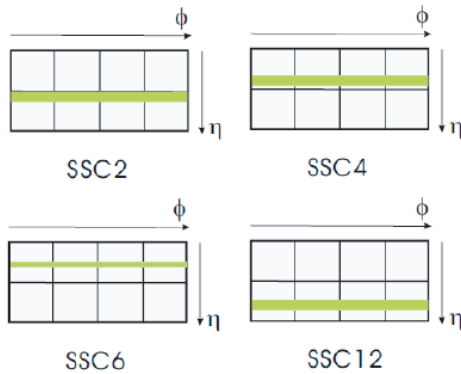


図 5.2: TGC overlap 領域を含む SSC

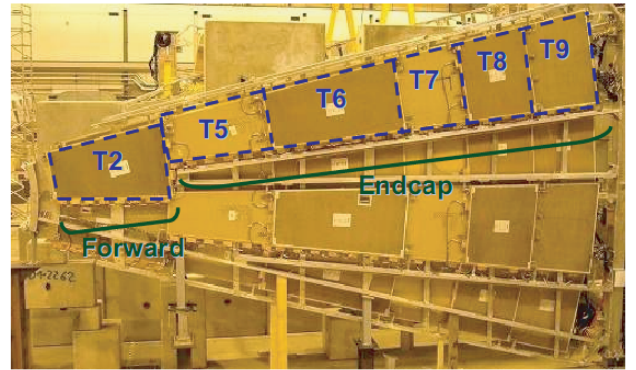


図 5.3: Pivot Doublet(M3) 1/12 セクターの TGC

トリガーセクターは T2、T5、T6、T7、T8、T9 と呼ばれる TGC6 枚からなり、Endcap には 4 つの TGC 境界が存在する。

TGC の境界では、Patch Panel で overlap 部の OR を取ることによってダブルカウントを防止するとともに、全体が 1 つの大きな TGC として扱えるように配線されている。そのため、これより下流の Slave Board, HPT では、これらの領域を特別扱いせずに処理が行われている。したがって、この TGC 境界を内部にもつサブセクターに R 方向のヒットが存在した場合、どちらの TGC 由来のヒットか (あるいは両方か) という事は分からない。

このことは、 $R-\Phi$ コインシデンスを行う時に問題となる。 Φ 方向の信号は TGC ごとに読み出されるため、そのサブセクターを含む SSC には同じ座標に対して Φ 方向の HPT からの入力 が 2 個存在する。そのため、1 つのサブセクターで 2 通りの運動量測定を行い、その結果から 1 つのミューオンの軌跡候補を選ぶ必要がある。また、その SSC において、 R 方向の入力が TGC 境界を含まないサブセクター側にあった時、これらのサブセクターに属さない側の TGC から Φ 方向の入力があったとしても、軌跡候補から外さなければならない。一方、SSC という概念を用いて $R-\Phi$ コインシデンス回路に実装することを考慮すると、このような複雑な処理を行う TGC 境界を含んだ SSC をそのまま設計すると、他の SSC に比べて大きく複雑な回路になり、速度面でボトルネックになってしまい、好ましくない。そのため、何らかの方法でこれらの SSC の持つ複雑さを解消して、TGC 境界を持たない SSC と同等に扱えるようにすることが望まれる。そこで、図 5.4 に示すように SSC をそれぞれの TGC からの Φ 方向の入力ごとに独

立した2つのSSCに分割した。

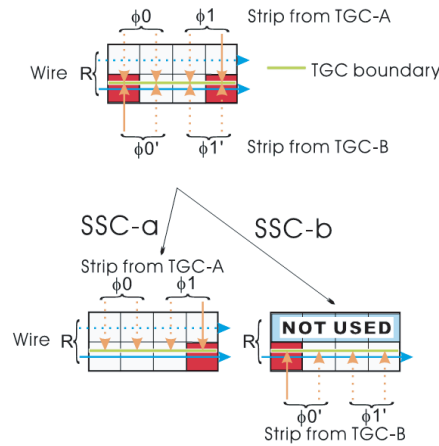


図 5.4: TGC overlap 領域を含む SSC の分割

図 5.4 では、 R 方向の HPT からの入力の下段のサブセクター、TGC-A からの $\Phi 1$ は右端列のサブセクター、TGC-B からの $\Phi 0'$ は左端列のサブセクターに入力されている。図で、赤く示したサブセクターは、これらの入力から考えられるミューオンの軌跡の位置である。これを分割した SSC-a 及び SSC-b では R 方向の入力は共通であるが、 Φ 方向の入力をそれぞれ TGC-A からの Φ 入力を SSC-a、TGC-B からの Φ 入力を SSC-b に振り分けた。SSC-a では、全てのサブセクターから軌跡候補を作る事が出来るのに対し、SSC-b では R 方向の入力が上段のサブセクターだった場合、その位置にストリップは存在しないため、軌跡候補を出力してはならない。従って、SSC-b では、上段のサブセクターを全ての入力パターンに対し軌跡候補を出力しないように設定される。SSC-a と SSC-b とで、2 個出て来た軌跡候補のうち p_T の高いものがトラックセレクション回路に送られる。

5.1.3 トラックセレクション

トラックセレクション回路では、 $R-\Phi$ コインシデンスから入力される軌跡候補から高い p_T の軌跡を 2 つ選び出す回路である。Demultiplex、PreTrackSelector、TrackSelector の回路から構成されている。 $R-\Phi$ コインシデンスから送られてくる各 SSC からの情報は Demultiplex によって p_T の値で分けられ PreTrackSelector に入力される。PreTrackSelector は R の最も大きいもの (η の小さいもの) から優先順位を付けそれぞれ、最大で 2 つの軌跡候補を選び出します。その後、TrackSelector 回路で、PreTrackSelector から送られてくる情報から p_T が高い軌跡候補から 2 つを選び出す。この構成により、SSC 数の多い Endcap 部でもそれぞれの回路で扱う情報量を抑えることが出来る。

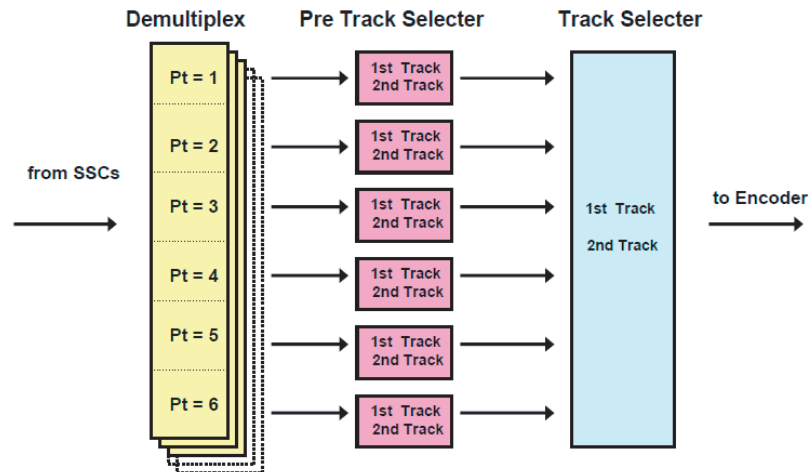


図 5.5: トラックセレクションの全体図

5.2 Sector Logic ボードの仕様

5.2.1 概要

SL ボードは、VME9U のスレーブモジュールで、VMEbus のインタフェース、入出力のインタフェースと CPLD、FPGA、ASIC (Application Specific Integrated Circuit)、PROM(Programmable Read Only Memory) などの IC で構成される。IC 以外の仕様を表 5.1 に載せる。

表 5.1: SL ボード (Endcap・Forward 共通) の仕様

外形寸法	9U VME ボード 2.0(幅) × 36.5(高さ) × 40.0(奥行き) cm
入出力インタフェース	入力 (from HPT) : Glink (LC コネクタ) 入力 (from TTC) : LVTTTL 出力 (to MUCTPI) : LVDS(SCSI VHDCI コネクタ) 出力 : NIM(LEMO) 入力/出力 (from/to SSW) : LVDS(CAT6、RJ45 コネクタ)
VMEbus インタフェース	A32D32 モード

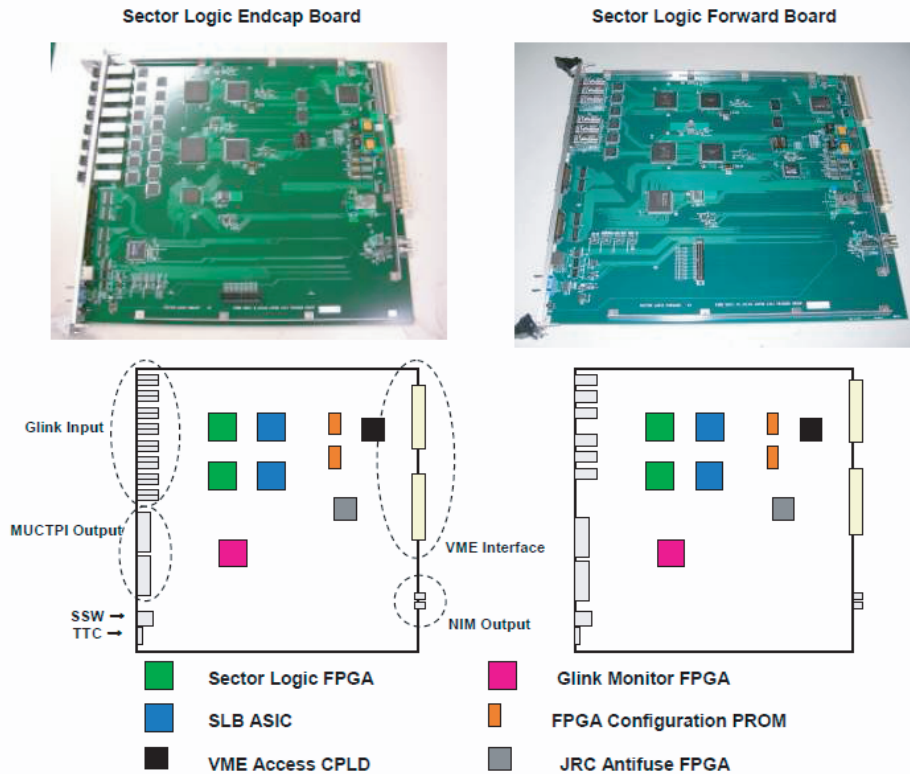


図 5.6: SL ボード

SL ボードには、Endcap ボードと Forward ボードの 2 種類の基板が存在し、それぞれトリガーセクターの Endcap 部分と Forward 部分に対応している。ボード 1 枚あたりトリガーセクター 2 つ分をカバーし、Endcap ボードは 1 枚でビッグウィールの 1/24、Forward ボードは 1 枚でビッグウィールの 1/12 の領域を担当する。TGC システム全体で Endcap ボード 48 枚、Forward ボード 24 枚が必要である。

Endcap ボードと Forward ボードの概念図と写真を図 5.6 に載せる。前方には HPT からの Glink 入力、TTC からの LVTTTL の入力、SSW 入出力 (LVDS)、MUCTPI への LVDS 出力のインタフェースが、後方には NIM 出力が備えられている。また、図にはないが、ボード上には JTAG 通信用のインタフェース (JTAG ピン) があり、外部から各 IC に対して JTAG 通信が可能となっている。図 5.6 のように、2 種類のボードに共通して、以下の主要 IC が搭載される。

- Sector Logic FPGA
Sector Logic FPGA はボードの中心となるトリガー論理を実装する FPGA で、1 個につきトリガーセクター 1 つに対応する。1 枚のボードに 2 個搭載される。
- Glink Monitor FPGA
Glink Monitor FPGA は、HPT からの Glink プロトコル入力の状態を監視する回路を実装する FPGA で、1 枚のボードに 1 個搭載される。

- VME Access CPLD
VME Access CPLD は、VME のマスターモジュールと SL ボードの通信を担い、各 FPGA とのアクセスを可能にする回路が実装される CPLD である。また、この CPLD には JTAG のルーティングを行う回路が実装されており、VME でのアクセスやボード上の JTAG ピンから SLB ASIC、FPGA、PROM との JTAG 通信を可能にしている。
- FPGA configuration PROM
FPGA は揮発性で電源を切ると内部の回路は消えてしまうので、FPGA とペアで搭載した PROM に Sector Logic FPGA と Glink Monitor FPGA の設計データ入れておきを電源投入とともに焼く（コンフィギュレーション）。
- SLB ASIC
PSB に実装された SLB ASIC をそのまま流用し、SL が出力するトリガー情報と HPT からの入力を読み出しを行う。
- JRC Antifuse FPGA
PSB に実装された JRC とまったく同じもので、SSW 経由での SLB ASIC との JTAG 通信のルーティングを行う。

Endcap ボードと Forward ボードの主要な IC に関して表 5.2 と表 5.3 にまとめる。

表 5.2: SL Endcap ボードの主要な IC

用途	IC の種類	使用製品	個数/ボード
Sector Logic	FPGA	XC2V3000-BG728(xilinx)	2
VME Access	CPLD	XC2C256-PQ208(xilinx)	1
FPGA Configuration	PROM	XCF18P(xilinx)	2
読み出し	SLB ASIC	—	2
JTAG ルーティング	Antifuse FPGA	A54SX08A(Actel)	1

表 5.3: SL Forward ボードの主要な IC

用途	IC の種類	使用製品	個数/ボード
Sector Logic	FPGA	XC2V1000-BG575(xilinx)	2
VME Access	CPLD	XC2C256-PQ208(xilinx)	1
FPGA Configuration	PROM	XCF08P(xilinx)	2
読み出し	SLB ASIC	—	2
JTAG ルーティング	Antifuse FPGA	A54SX08A(Actel)	1

Endcap ボードと Forward ボードの仕様の大きな違いは、HPT からの入力である。図 5.7 と表 5.4 に HPT ボードとの関係を載せる。Forward ボードの入力はファイバーにして 1 トリガーセクターあたり 3 本でビット幅にして 50bit、Endcap は 1 トリガーセクターあたりファイバーにして

6本でビット幅にして101bitである(EI/FIからの入力を除く)。Endcapボードの方が入力が多く、LUTの規模も大きくなる。Sector Logic FPGAはLUTで使用するメモリの大きさで使用するFPGAを決めている。表5.2.1にメモリとFPGAの関係を載せる。また、Glink Monitor FPGAは必要なI/Oピンの数などで使用製品を決めている。

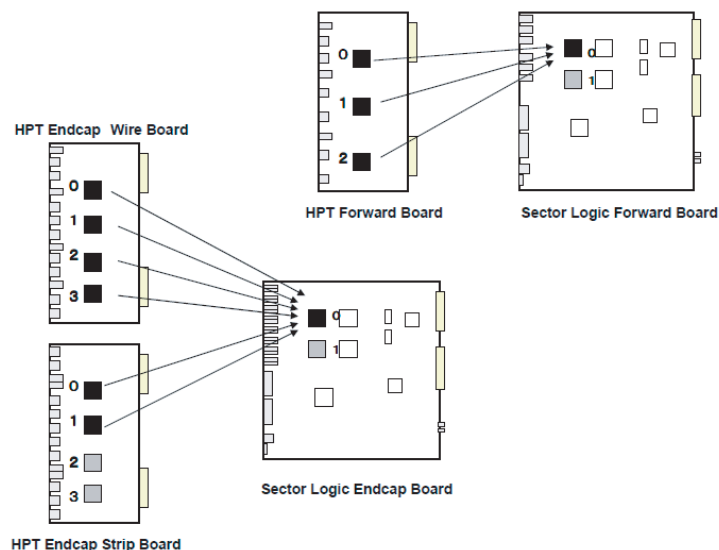


図 5.7: HPT ボードと SL ボードの関係

表 5.4: HPT のチップ別の出力と SL の入力口の対応

Chip and Output-bit-width		Input port [bit assignment]	
HPT Endcap Wire	Chip 0 [7]	SL Endcap	Port 0 [0- 6]
	Chip 1 [20]		Port 0 [7-16]
			Port 1 [0- 9]
	Chip 2 [20]		Port 1 [10-16]
	Chip 3 [20]		Port 2 [0-12]
Port 2 [13-16]			
			Port 3 [0-15]
HPT Endcap Strip	Chip 0 / 2 [18]	SL Endcap	Port 4 [0-16]
	Chip 1 / 3 [16]		Port 5 [0]
			Port 5 [1-16]
HPT Forward	Chip 0 [20]	SL Forward	Port 0 [0- 16]
	Chip 1 [16]		Port 1 [0- 2]
			Port 1 [3-16]
	Chip 2 [14]		Port 2 [0- 1]
		Port 2 [2-15]	

ファイバー 1 本当たり (Input Port 当たり)、17bit 幅もしくは 16bit 幅で通信を行う。

	必要メモリー量 (kb)	使用 FPGA	搭載メモリー量 (kbit)
Forward	576	XC2V1000-BG575	720
Endcap	1656	XC2V3000-BG728	1728

表 5.5: LUT の必要メモリー量と FPGA の搭載メモリー量

その他の機能

ここでは、SL に実装される補助機能について簡単に述べる。

- NIM 出力 (LEMO コネクタ)

Sector Logic FPGA につき NIM 出力を 1 つボード後方に実装している。この NIM 出力は主にトリガー出力に使用する。コミッシュニングなどで TGC システム独立で動作させた場合など、MUCTPI を使用せずデータを取得することができる。

- テストピン出力

ボード上のテストピンから、LVTTL レベルで 16 ビット幅の信号を出力できる。また、それぞれ信号状態が LED が確認でき、デバッグに使用される。

EI/FI

SL Endcap ボードには EI/FI チェンバーから PSB 経由での入力がある。しかし、未だ SL 内でどう扱うかは正確に決まっていない。EI/FI に関しては LUT を用いた p_T の評価は行わない。予定では、トラックセレクションに入力させて、軌跡候補へ優先付けの論理などに使用する。

5.2.2 Sector Logic FPGA 内部設計

FPGA の回路設計は HDL(Hardware Description Language) によって行われている。HDL は C 言語に似た文法によって記述でき、論理回路も言語によって設計できる。記述した文 (コード) から FPGA のベンダーが提供する論理合成ツールを用いて、実際の論理回路へと変換される。Sector Logic FPGA のコードは、いくつかの機能別にモジュール化されており、論理の変更や追加に柔軟である。

ここでは、Sector Logic FPGA に実装される回路の詳細を機能ブロックにわけて説明する。まず、全体のブロック図 5.8 をのせる。大きくわけて、Delay、Decoder、SSC Logic、Pre Track Selector、Track Selector、Encoder の 6 つのブロックにわけられる。

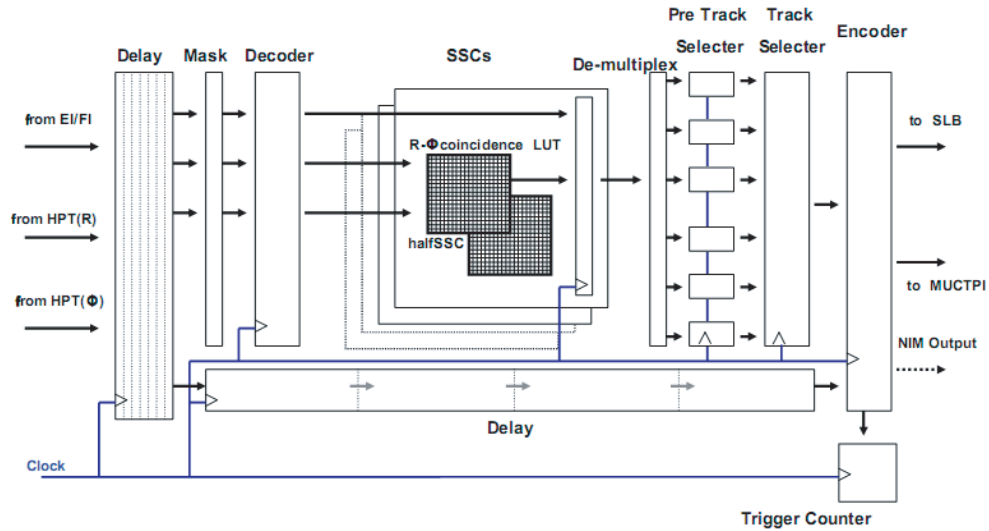


図 5.8: Sector Logic FPGA 内部機能ブロック

Delay

Delay はその名の通り、入力した信号を半 Clock 幅 (12.5ns) 単位で任意の時間、遅らせる回路である。構造としては、FF(FlipFlop) を連続して連結したシフトレジスタになっている。Decoder の前段に位置する Delay ブロックは HPT からの複数のファイバーからの入力を同期させたり、信号をラッチするタイミングをずらすために用いる。Encoder の前段に位置する Delay ブロックは、HPT の入力情報とそれに対応する SL の出力を同期させて SLB ASIC に入力するために用いる。表 5.6 に HPT からの入力信号をまとめる。

表 5.6: HPT からの入力信号

Chip	Candidate	Signal(bit width)				
HPT Endcap Wire		MSB ————— LSB				
Chip0 (7bit)	1st		Pos(1)	H/L(1)	Sign(1)	$\Delta R(4)$
Chip1 - Chip3(20bit)	2nd	HitID(3)	Pos(1)	H/L(1)	Sign(1)	$\Delta R(4)$
	1st	HitID(3)	Pos(1)	H/L(1)	Sign(1)	$\Delta R(4)$
HPT Endcap Strip		MSB ————— LSB				
Chip0 (18bit)	2nd	HitID(3)	Pos(1)	H/L(1)	Sign(1)	$\Delta\Phi(3)$
	1st	HitID(3)	Pos(1)	H/L(1)	Sign(1)	$\Delta\Phi(3)$
Chip1 (16bit)	2nd	HitID(2)	Pos(1)	H/L(1)	Sign(1)	$\Delta\Phi(3)$
	1st	HitID(2)	Pos(1)	H/L(1)	Sign(1)	$\Delta\Phi(3)$
HPT Forward		MSB ————— LSB				
Chip0(Wire) (20bit)	2nd	HitID(3)	Pos(1)	H/L(1)	Sign(1)	$\Delta R(4)$
	1st	HitID(3)	Pos(1)	H/L(1)	Sign(1)	$\Delta R(4)$
Chip1(Wire) (16bit)	2nd	HitID(1)	Pos(1)	H/L(1)	Sign(1)	$\Delta R(4)$
	1st	HitID(1)	Pos(1)	H/L(1)	Sign(1)	$\Delta R(4)$
Chip2(Strip) (14bit)	2nd	HitID(1)	Pos(1)	H/L(1)	Sign(1)	$\Delta\Phi(3)$
	1st	HitID(1)	Pos(1)	H/L(1)	Sign(1)	$\Delta\Phi(3)$

wire 情報での HitID は SSC 単位での位置を表し、Pos の 0/1 で R 方向のサブセクター単位の位置が決まる。0 が R の大きいほうである。Strip 情報での HitID は、チェンバーの右半分か左半分を表し、Pos で更にその半分のどちらかがきまり Φ 方向のサブセクター単位の位置が決まる。(ビッグウィールの構造から、チェンバーの右左の概念は、セクターによって反転する。) 情報 H/L は HPT コインシデンスの通過/非通過を 1(H)/0(L) であらわす。Sign は $\Delta R, \Delta\Phi$ の符号である。Endcap Wire Chip0 を除いた各 Chip はそれぞれ 1st、2nd の 2 つの候補を出力する。上位ビットが 1st である。

Decoder

Delay ブロックから渡される HPT からの入力信号を解釈し、SSC 別に分けて次段の SSC Logic に出力する。また、対応する入力がない SSC へは、ヒットが無いという情報を次段に出力する。図 5.7、図 5.8 に HitID と SSC の対応表を載せる。

表 5.7: Hit ID (wire) と SSC の対応

Chip	Hit ID	SSC
HPT Endcap Wire		Endcap SSC
Chip0	—	0
Chip1	1 - 6	1 - 6
Chip2	1 - 6	7 - 12
Chip3	1 - 6	13 - 18
HPT Forward		Forward SSC
Chip0(Wire)	1 - 6	0 - 5
Chip1(Wire)	1 / 0	6 / 7

HPT Forward Chip 1 の HitID は大きさが逆転し、1 $\rightarrow$ SSC 6、0 $\rightarrow$ SSC 7 となる。

表 5.8: Hit ID (strip) と Pivot Chamber と SSC 対応

Chip	Hit ID	Pivot Chamber	SSC
HPT Endcap Strip			Endcap SSC
Chip0	1 / 2	T9	0 - 2
	3 / 4	T8	2 - 4
	5 / 6	T7	4 - 6
Chip1	1 / 2	T6	6 - 12
	3 / 0	T5	12 - 18
HPT Forward			Forward SSC
Chip2(Strip)	1 / 0	T2	0 - 7

Endcap Strip Chip1 の HitID(2 ビット幅) と Forward Chip2 の HitID(1 ビット幅) での HitID=0 に関しては、それぞれの HitID=4、HitID=2 と解釈する。Endcap の SSC 2、4、6、12 は TGC 境界のある SSC である。Pivot Chamber については図 5.3 を参照。

SSC Logic

SSC Logic は、前述した $R-\Phi$ コインシデンスを行う回路である。SSC Logic には halfSSC Logic というサブモジュールが 2 つある。まず、2 つの halfSSC Logic で halfSSC 別に p_T を求めたあと、どちらかの p_T の高い軌跡を 1 つ選択し出力を行う。2 つの halfSSC で同じ p_T を持つ軌跡がある場合は、 Φ の値によってどちらかを決める。

LUT で使用する FPGA の XC2V シリーズ (Virtex-) のメモリ資源は、18kbit の RAM ブロック単位で構成されており、アドレス、入出力幅が可変である。今回、RAM ブロックを 4kbit(アドレス 12bit 幅) × 入出力 4bit の Single-Port RAM を使用した。

halfSSC Logic に入力されるのは、表 5.6 に示した、 R 、 Φ それぞれの Pos、H/L、Sign と ΔR 、 $\Delta \Phi$ で、合計で 13bit 幅である。入力が 13bit 幅なので、アドレス 12bit 幅の RAM 2 つで構成し、halfSSC の LUT を実現した。RAM の出力する p_T は 1 から 6 なのでビット幅は 3bit であり、残り 1bit は、ミューオンの電荷の符号を表し、現在は ΔR の Sign をそのまま出力するような LUT となっている。

Pre Track Selector

Pre Track Selector は、 R の最も大きいもの (η の小さいもの) から位置的優先順位を付ける回路である。各 SSC からのヒット情報は p_T 別に 6 つ Pre Track Selector に入力される。

Track Selector

Track Selector は、6 つの Pre Track Selector より送られて来るそれぞれ最大 2 つの軌跡候補から (1) 「 p_T が高い」、(2) 「Pre Track Selector がつけた位置的優先順位が高い」、の優先順位で最大 2 つの軌跡を選び出す。

Encoder

Encoder は Delay ブロックから送られて来る HPT モジュールからの入力信号と、Track Selector から送られて来る最大 2 つの軌跡候補のデータを規定の形式に変更し MUCTPI と SLB ASIC 送る回路である。MUCTPI 出力に含まれる BCID(パンチクロッシング ID) を PSB と合わせる仕組みもこのブロックに実装される。また、Glink Monitor から Glink 入力のエラー情報もこのブロックに入力され SLB ASIC に送られる。表 5.9 に MUCTPI への出力フォーマットを載せる。

表 5.9: MUCTPI への出力

		7	6	5	4	3	2	1	0
SL Endcap									
	3	CHRG2	CHRG1	BCID[2]	BCID[1]	BCID[0]	1	1	PT2[2]
Output to	2	PT2[1]	PT2[0]	PT1[2]	PT1[1]	PT1[0]	0	ROI2[7]	ROI2[6]
MUCTPI	1	ROI2[5]	ROI2[4]	ROI2[3]	ROI2[2]	ROI2[1]	ROI2[0]	0	ROI1[7]
(32bit)	0	ROI1[6]	ROI1[5]	ROI1[4]	ROI1[3]	ROI1[2]	ROI1[1]	ROI1[0]	MT2C
SL Forward									
	3	CHRG2	CHRG1	BCID[2]	BCID[1]	BCID[0]	1	1	PT2[2]
Output to	2	PT2[1]	PT2[0]	PT1[2]	PT1[1]	PT1[0]	1	1	1
MUCTPI	1	ROI2[5]	ROI2[4]	ROI2[3]	ROI2[2]	ROI2[1]	ROI2[0]	1	1
(32bit)	0	1	ROI1[5]	ROI1[4]	ROI1[3]	ROI1[2]	ROI1[1]	ROI1[0]	MT2C

MT2C とは More Than 2 Candidate の略で軌跡情報が 3 つ以上のときに High(1) となる。ROI1、ROI2 はそれぞれ 1st、2nd 候補に対する位置情報 ROI である。PT1、PT2 はそれぞれ 1st、2nd 候補に対する 6 段階 (1-6) の p_t である。BCID はグローバルな BCID(パンチクロッシング ID) の下 3 桁である。CHRG1、CHRG2 はそれぞれ 1st、2nd 候補に対するミューオンの電荷の符号であり、現在は HPT からの入力の ΔR の符号 (Sign) をそのまま出力している。

5.2.3 Glink Monitor FPGA 内部設計

Glink Monitor FPGA についても HDL(Hardware Description Language) によって開発が行われている。

Auto Recover

Auto Recover は Glink 受信 IC(デシリアライザー)である HDMP-1034A8(Agilent 社) の RX-Error ピン状態を監視し、エラー状態になっていた場合、クロックの同期周波数の設定ピン (Rx-DIV[1:0]) を一度 40.08MHz の範囲外の設定にし、すぐに 40.08MHz の設定に戻す。通常 200~250 クロック後に復帰するが、復帰しない場合は 500 クロック後に再度 40.08MHz の範囲外に設定し、復帰するまでこれを繰り返し試みる回路である。また、1 回でも同期が外れた場合、その情報を保持しておく事が出来るようになっている。ファイバー 1 本の入力で受信 IC が 1 個必要で、Endcap ボードは 16 個、Forward ボードは 6 個の受信 IC を搭載しており、受信 IC と同じ数の Auto Recover 回路を FPGA 内に実装される。また、Glink Monitor FPGA はボード上の 2 つの Sector Logic FPGA に、エラー情報 1 ビットを出力する。これは、Auto Recover 回路の出力を対応する Sector Logic FPGA に関して OR をとったものである。

5.2.4 VME Access CPLD 内部設計

VME Access CPLD についても HDL(Hardware Description Language) によって開発が行われている。

VME Access

VME Access CPLD は、VMEbus のアドレス線、データ線、データ制御線を制御し、マスターに対して応答し通信を行う回路が実装される。レジスタの読み書きによって、各 FPGA の設定や機能の切り替えが可能となる。また、FPGA のコンフィギュレーション (回路の焼きこみ) も VME アクセスによって行える。内部に VME からの 16MHz の Clock で状態を遷移させる 8 段の State Machine (8 ビットのシフトレジスタ) を設けおり、これで順序処理をおこなっている。よって、一回の VME アクセスに 8 Clock(500ns) を要する。

JTAG Router

VME アクセスもしくはボード上の JTAG ピンからの JTAG 信号を、レジスタの値もしくはボード上のディップスイッチの値によって各 FPGA、PROM、SLB ASIC に対してルーティングを行う。

5.2.5 制御ソフトウェア

SL を VME アクセスによって制御するためのソフトウェアを開発した。基本的となる機能は SL 上の IC 内のレジスタの値を読む、書くの 2 つだけである。この読み書きの動作を順序だてて並べることで、いくつかのツールが作成された SL 制御ソフトウェアのもつ機能を以下に述べる。

- Write
レジスタのアドレスと書き込む値を受け取り、マスターモジュールに伝え、対応するレジスタに書き込みを行う。
- Read
レジスタのアドレスを受け取り、マスターモジュールに伝え、対応するレジスタから値を読み出す。
- FPGA Configuration
コンフィギュレーションファイル (回路の設計データ) を受け取り、指定された SL ボード上の FPGA に対してコンフィギュレーションを行う。ベンダーが提供する仕様に合わせて、上記の Write と Read で VME Access CPLD の FPGA への出力ピンの操作を行う。
- FPGA Erase
Configuration と同様の方法で、指定された FPGA に対してコンフィギュレーションされた回路を消去する機能である。同時に 3 個ある全ての FPGA の消去も可能である。

- PROM to FPGA

PROM に記憶された、FPGA のコンフィギュレーションファイルを FPGA へロードさせる機能である。ベンダーが提供する仕様に合わせて、上記の Write と Read で VME Access CPLD の PROM への出力ピンの操作を行う。同時に 3 個ある全ての FPGA のコンフィギュレーションも可能である。

第6章 オンラインソフトウェア

これまでに説明したハードウェアを制御する、オンラインソフトウェアについて説明する。

6.1 ATLAS オンラインソフトウェア

オンラインソフトウェアによる制御とは、各 State に対する以下のような動作を指す。

- 初期化
各モジュールの設計データ、バッファの初期化
- コンフィグ
各モジュールの動作設定、レジスタ設定値の入力
- ラン
状況のモニタリング、データフロー

これに対し、ATLAS では以下のような要求が与えられる。

- 全検出器の制御タイミングを同時にする
- 各検出器ごとに独立した機構を除いた、設定データベースの共通化

この要求によって、共通のライブラリツール群である ATLAS オンラインソフトウェアパッケージが開発された。このパッケージの枠組みの上に構成された DAQ システムを TDAQ と呼ぶ。TDAQ のコンフィグ・モニタリングを行う GUI の外観を図 6.1 に載せる。

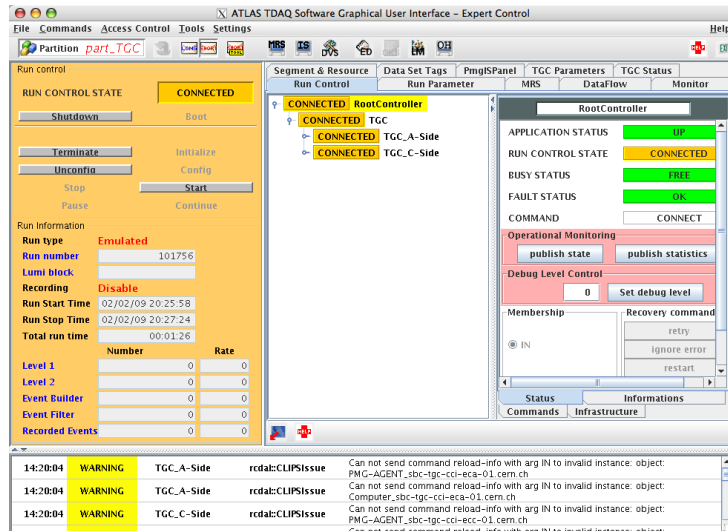


図 6.1: TDAQ GUI

6.1.1 RCD

RCD ソフトウェアはオンラインソフトウェアの枠組みで動作し、ROD クレーンをコントロールするソフトウェアである。また、フロントエンド・エレクトロニクスのコントロールやデータ収集といった動作をコミッショニング、キャリブレーション時には独立したシステムとして、また本実験が始まった時には ATLAS DAQ システムの一部として共通のプログラムを使用できるように構成されている。

RCD ソフトウェアは、いくつかの Segment と呼ばれる部分から成り立ち、それぞれの Segment でモジュール制御などの Class が定義されている。各 Segment にはそれぞれのモジュールのデータベースが存在し、オンラインソフトウェアから呼び出される state ごとに呼び出されるデータベースが決まる。

このシステムは各検出器に固有の部分を最小限にし、できるだけ共通のソフトウェアを使用するという思想からできており、そのシステムの枠組みが RCD ソフトウェアである。

6.1.2 Information Service

このため、TDAQ で扱われる情報をモニタリングするため、Information Service (IS) というシステムが用意された。これは、ATLAS TDAQ 環境の中でアプリケーション同士が情報を共有するためのシステムである。

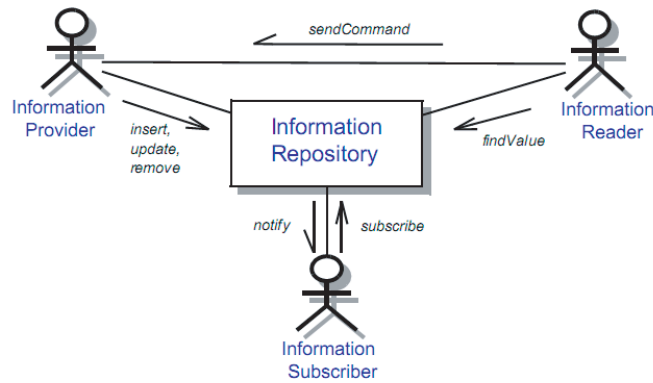


図 6.2: Information Service 概念図

Information Provider は情報を Information Repository 上に Insert、Update、Delete を行う。Information Reader は Information Repository に欲しい情報を要求して受け取る。Information Subscriber は Information Repository 上のある情報が Information Provider によって update などの変更があった場合、通知をうけ情報取得する。

これら情報の授受は、IS 用に用意された Info クラスを継承したクラスのフィールドを用いて行われる。このクラスは現在 C++ と Java のものがそれぞれ用意されており、Repository への Update、Repository からのダウンロードは、どちらの言語からも行うことが可能である。

これを利用し、TDAQ では各検出器のコンフィグレーションの成否を確認している。各検出器に書き込まれたものと読み出されたものの整合性を確認し、全て整合がとれた場合に限り成功とされ次の段階へ移行する。

name	type	module	description
TDC_AH4_E13L_01.version	TCESL_Version	1/2/0/0 10440102.40570	version information of 1
TDC_AH4_E13L_01.rate	TCESL_LLRateLS	1/2/0/0 10440102.40570	trigger rate information
TDC_C08_E13L_01.version	TCESL_Version	1/2/0/0 10440102.40570	version information of 1
TDC_AH4_E13L_01.version	TCESL_Version	1/2/0/0 10440102.40570	version information of 1
TDC_AH4_E13L_01.rate	TCESL_LS	1/2/0/0 10440102.40480	Status information of 1
TDC_C08_E13L_01.rate	TCESL_LS	1/2/0/0 10440102.40480	Status information of 1
TDC_AH4_E13L_01.rate	TCESL_LS	1/2/0/0 10440102.40480	Status information of 1
TDC_AH4_E13L_01.rate	TCESL_LS	1/2/0/0 10440102.40480	Status information of 1
name	type	module	description
0.0 Hz	String	ScalerTotalInput	total input trigger rate
0.0 Hz	String	ScalerTotalOutput	total output trigger rate
40000000.0 Hz	String	Scaler0p01	input trigger rate from opt0 input channel
40000000.0 Hz	String	Scaler0p01	input trigger rate from opt1 input channel
40000000.0 Hz	String	Scaler0p02	input trigger rate from opt2 input channel
40000000.0 Hz	String	Scaler0p03	input trigger rate from opt3 input channel
0.0 Hz	String	Scaler0p04	input trigger rate from opt4 input channel
0.0 Hz	String	Scaler0p05	input trigger rate from opt5 input channel
0.0 Hz	String	Scaler0c00	trigger rate of sub-sector-cluster-0
0.0 Hz	String	Scaler0c01	trigger rate of sub-sector-cluster-1
0.0 Hz	String	Scaler0c02	trigger rate of sub-sector-cluster-2
0.0 Hz	String	Scaler0c03	trigger rate of sub-sector-cluster-3
0.0 Hz	String	Scaler0c04	trigger rate of sub-sector-cluster-4
0.0 Hz	String	Scaler0c05	trigger rate of sub-sector-cluster-5
0.0 Hz	String	Scaler0c06	trigger rate of sub-sector-cluster-6
0.0 Hz	String	Scaler0c07	trigger rate of sub-sector-cluster-7
0.0 Hz	String	Scaler0c08	trigger rate of sub-sector-cluster-8
0.0 Hz	String	Scaler0c09	trigger rate of sub-sector-cluster-9
0.0 Hz	String	Scaler0c10	trigger rate of sub-sector-cluster-10
0.0 Hz	String	Scaler0c11	trigger rate of sub-sector-cluster-11

図 6.3: IS Repository 情報

6.1.3 TGC エレクトロニクスのコントロール

TGC エレクトロニクスはそれぞれの動作が 25ns に同期して動作を行うように設計をされている為、RUN の最中に内部の設定値を動的に変化をさせる事は無理である。その為、RUN 開

始前に全ての設定を行い、RUN 開始後には制御を行わなくても動作するように設計がされている。つまり、TGC エレクトロニクスのコントロールソフトウェアもそれぞれのハードウェアを RUN 開始前に初期設定を行うように設計される必要がある。

また、エレクトロニクスの設定では、設定する順序が重要であり、次のように決められている。

1. TTC を初期化する。
2. 各モジュールのリセットをしてレジスタを初期化する。
3. CCI→SSW→PS ボードの順に設定をする。これは、CCI-HSC の先に SSW があり、SSW の先に PS ボードがあるという構造のためである。Sector Logic の設定をする。
4. TTC の設定をする。
5. ROD の FIFO のクリア。これはコンフィギュアの最中に出てしまった SSW からのデータを消すためである。

図 6.4 は TGC エレクトロニクスのコントロールパスを示している。エレクトロニクスはクロックや ECR 等の TTC 信号による早いコントロール（赤線）と、JTAG、VME アクセスによるレジスタの設定の遅いコントロール（緑線）の二系統から成る。これら二系統の信号を SBC（Single Board Computer）からの VME アクセスによって制御する。

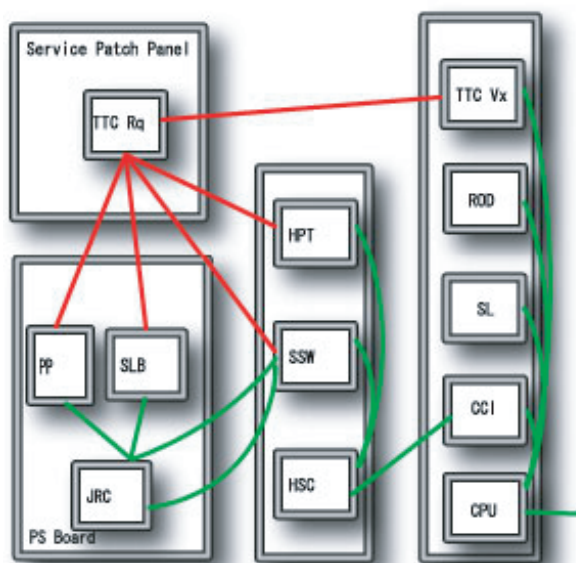


図 6.4: Controll Line

SBC からの TGC エレクトロニクスのコントロール。SBC→CCI→HSC→SSW→JRC といった流れでコントロールが行われる。

構成

この RCD の枠組みを使用して、TGC では TGCRCDFEConfiguration、TGCRCDFEModules、TGCMModules という 3つのパッケージを独自に開発を行っている。これらの RCD との関係は、

図 6.5 にある。

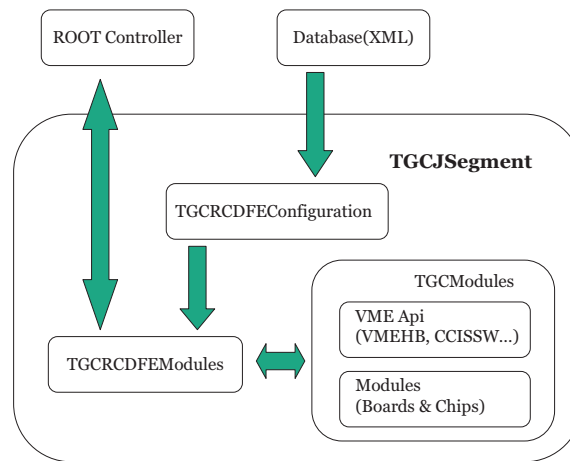


図 6.5: TGCJSegment

- TGCRCDFEConfiguration

Local Controller process に呼び出される関数のライブラリ。xml で記述されたデータベースから受け取った情報を適切な形式に整えた後、RCD process (TGCRCDFEModules) に渡す。

- TGCRCDFEModules

RCD process からここに記述されている各 state の動作が呼び出される。各 state での動作の内容、順序がここに記述されている。必要なデータベースにある情報を受け取り、TGCModules 中の関数に渡して動作する。動作の内容は、TGCRCDFEModules クラスが持つ各モジュールへのアクセスである。またデータベースからの情報を IS (Information Service) サーバへ送る。

- TGCModules

module 毎に Read, Write の動作が記述されている。種類の違う module でも同じ IC (Chip) を使用している場合があり、それらのメンテナンス性を高める為、大きく分けて以下の、3 種類の Class によって作成されている。

- Module

UniversalPS モジュールや SSW モジュール等、実際のモジュールに当たる部分、搭載されている Chip とボード上からの Chip のアドレス、モジュールへのアクセス API を保持している。

- Chip

各 Module に搭載されている Chip が記述されている。Read や Write の関数は、ここに記述されている。

- アクセス API

実際の Module の置かれている位置により VME アクセスの方法が異なるが表 6.1 のようにそれぞれの API が定義されており、各 Chip はそれらに縛られることなく記述

する事が出来る。

表 6.1: モジュールへのアクセス

Access	動作	module
vmehb	VME でアクセスする	ROD,SL,TTC
ccihsc	CCI 経由で VME アクセスする	HPT,SSW
ccissw	CCI 経由の SSW から JTAG でアクセスする	PS ボード

6.2 Sector Logic オンラインソフトウェア

上記の ATLAS オンラインソフトウェアパッケージに則って、Sector Logic のオンラインソフトウェア開発を行った。このソフトウェアは、コンフィグとモニタリングのふたつに分類される。

6.2.1 Sector Logic コンフィグ

コンフィグでは、まず設計データを Sector LogicFPGA 及び GlinkMonitorFPGA に転送する。この設計データに LUT は含まれているため、設計データは目的とする物理に合わせて、ランのたびに設定し直される。FPGA 一枚辺りのデータ量は 1.3MByte 程度である。次に、各レジスタに設定値を書き込む。これは 1 枚辺り 200Word 程度である。

最後に、このレジスタへ書き込んだ値が反映されているかどうか、FPGA から値を読み出して、値の一致を確認する。この際に、一致の確認、及び確認結果を表示する GUI が作成された。外観を図 6.6 に載せる。

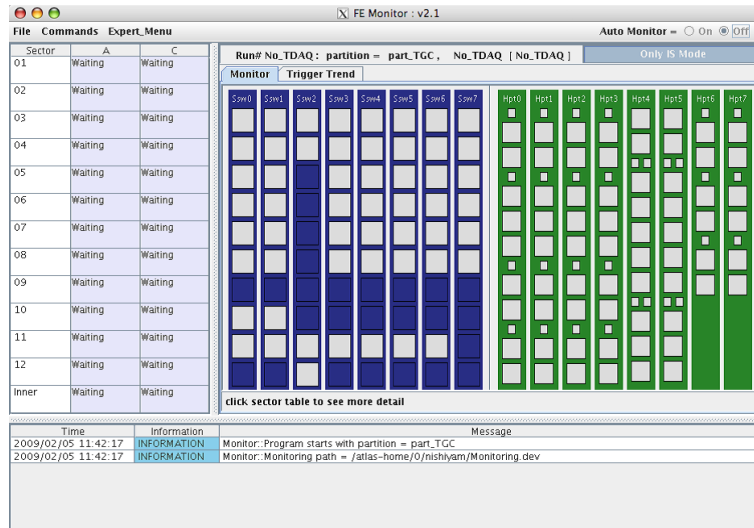


図 6.6: Front End Monitor

6.2.2 Sector Logic モニタリング

Sector Logic は 3 段階トリガーの流れの一部であり、データフローの細かい情報が必要となる。このために、主に二つの事柄について情報の取得を行った。

- トリガーレート

Sector Logic FPGA で、10 秒間のトリガー回数をカウントしているレジスタから情報を読み出す。レジスタから読み出した情報を以下に記す。

- HPT からのインプットトリガー数
- MuCTPI へのアウトプットトリガー数
- Sector Logic の G-Link において、個々の口に入ったトリガー数
- SSC ごとのトリガー数

- G-Link State

GlinkMonitor FPGA で、HPT からのシグナルの状態を口ごとに監視しているレジスタから読み出す。読み出された値から、セットアップ中/正常/エラー状況の判別が可能である。

この情報を通知するソフトウェアを、IS パッケージの元に作成した。

Information Provider は VME からの読み出し情報を、FPGA ごとに 1 つのクラスにまとめ、Information Repository へ 10 秒ごとにアップロードを行う。

Information Reader は Information Repository から情報を 10 秒ごとにダウンロードし、整形した上で GUI に表示する。

VME から情報を読み出す際に速度が必要であるため、Information Provider は C++ は開発した。また、GUI による表示が必要な IS Reader は、GUI 用ライブラリの充実している Java により作成した。

作成した GUI の外観を図 6.7 に載せる。GUI 上では以下の項目が確認できる。

- アウトプットトリガーレートグラフ
各トリガーセクターごとのトリガーレートのログが表示される。各点は 10 秒、5 分、1 時間の平均値がプロットされる。
- G-Link State
リンクの状況 (セットアップ中/正常/エラー) 及び、その Segment が使用中/未使用の判別を行い表示される。
- トリガーレート
全セクターのトータルレート、各トリガーセクターのインプット・アウトプットレート、1 Phi ごとのインプット・アウトプットレート及びそれらの平均・分散、G-Link 受け口ごとのインプットレートが表示される。ランに未使用の Segment がある場合、その Segment のレートは無視してレートの足し合わせが行われる。

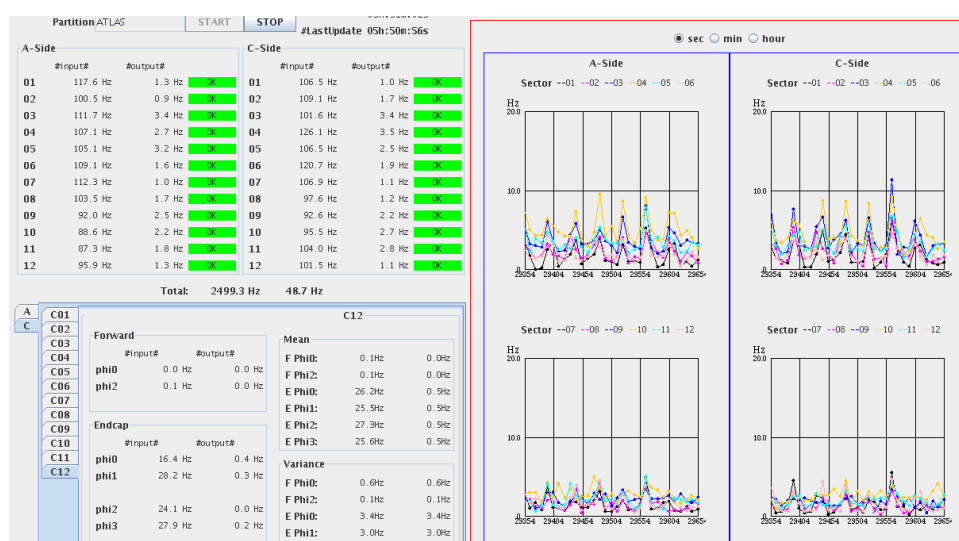


図 6.7: Sector Logic Monitor

6.3 シングルビームコミッショニングにおけるソフトウェアの動作検証

2008 年 9 月、LHC は陽子ビームの入射テストを行った。本来 LHC は双方向からビームを回し衝突させるが、このときは片方向づつビームを入射し、それを Collimator に衝突させて行われた。この衝突により発生したハドロンシャワーを捕らえることにより、ATLAS 検出器を統合運転し、コミッショニング (性能評価) が行われた。ビームの入射周期は 40 秒である。ATLAS 検出器のトリガーには BPTX*が用いられた。他の検出器が発行したトリガーは、CTP で使用されなかった。TGC システムもトリガーラインは稼動していたが、CTP で止められていた。

BPTX、Collimator の配置を図 6.8 に、TGC で初めてビームの入射が確認された際のイベント

*Beam Pickups によるトリガー。ATLAS の上流 175m に配置され、ビームが通過するとパルス電流を発生させる。

ディスプレイを図 6.9 に載せる。

このようなコンディションで、TGC システムの動作検証を行った。

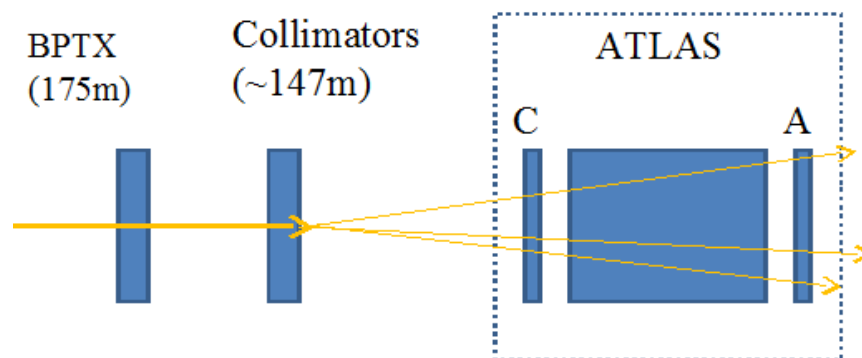


図 6.8: BPTX、Collimator 配置図

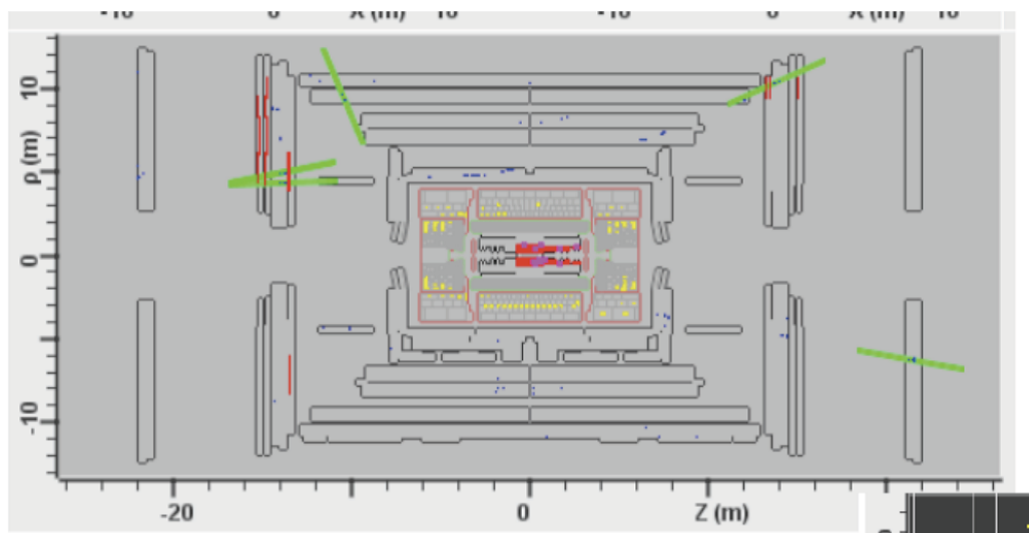


図 6.9: TGC First Trigger

6.3.1 TGC Hit Profile

TGC のチャンネルごとのヒット回数をヒストグラムにしたものを図 6.10 に載せる。

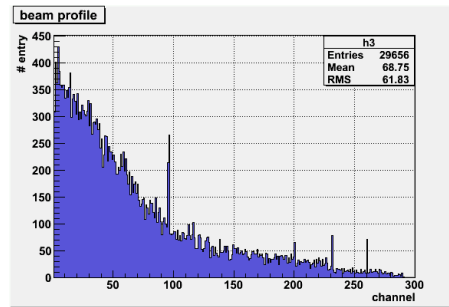


図 6.10: TGC Hit Profile

これにより、TGC はチャンネルの欠けなく動作していたことが分かる。また、チャンネル情報は小さい方が内側、大きい方が外側を示すが、外側の方がヒット回数が少ないことから、TGC 中心から放射状に広がるハドロンシャワーを取得できたと考えられる。

6.3.2 モニタリング動作

Sector Logic のアウトプットレートと CTP にインプットされた TGC トリガーレートのグラフをそれぞれ図 6.11 と図 6.12 に載せる。

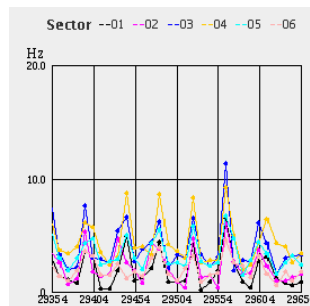


図 6.11: Sector Logic Output

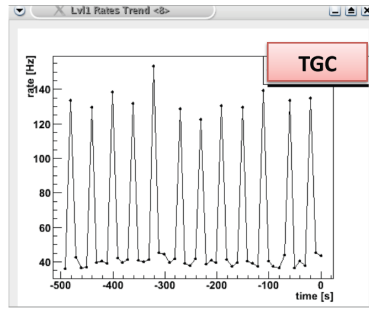


図 6.12: CTP インプットトリガー

どちらも 40 秒ごとにピークを持っており、ビームの入射周期に一致している。これにより、TGC システムはビームの入射を正しくトリガーし、Sector Logic モニターは正しくそのトリガー情報を検知していることが分かった。

6.3.3 レートエラーの確認

CTP に異常に高いレート of ミューオントリガーが検知されるエラーが発生することがあった。ミューオントリガーを出す TGC と RPC を CTP はまとめてモニタリングしており、どちらからの情報であるかの確認はされない。このとき、SectorLogic モニターにより、TGC のエラーではないことが確認された。

このエラーについては、RPC の一部がリンクエラーを起こしたことが原因で発生したことが後にわかった。

第7章 まとめ

今回、Sector Logic のオンラインソフトの開発を経て、コミッショニングで SL を実際に ATLAS 検出器の一部として動作させるに至った。

オンラインソフトの開発については、SL の制御、モニタリングツールに関するソフトウェアを作成し、コミッショニングランで動作させることに成功した。

これからの課題として、まず、オンラインで得られた情報をログに残し、それを容易に表示するツールの開発があげられる。現在ログの閲覧はオフラインでの ROD データを用いているが、これとオンラインデータの食い違いを確認することができるので有益である。また、この SL モニタリングツールを TGC 全体をモニタリングするツールと統合し、更に TDAQ と同期を取る必要がある。

前後方ミューオントリガーシステムのなかで SL が期待される性能を実現し、ATLAS 実験での新しい物理の発見に貢献できることを願っている。

References

- [1] CERN Document Server <http://cdsweb.cern.ch/>
- [2] M.Spira, *Higgs Production and Decay at Future Machines*, CERN -TH/97-323, hep-ex/9711394 1997.
- [3] ATLAS DETECTOR AND PHYSICS PERFORMANCE Technical Design Report, CERN/LHCC/99-14, 1999.
- [4] ATLAS Muon Spectrometer Technical Design Report, CERN/LHCC/97-22, 1999.
- [5] ATLAS Level1 Trigger Technical Report, ATLAS TDR 12, 1999.
- [6] ATLAS High-Level Trigger, Data Acquisition and Controls, ATLAS Technical Design Report-016, 2003.
- [7] ATLAS Thin Gap Chamber Design page. <http://atlas-proj-tgc.web.cern.ch/atlas-proj-tgc/>
- [8] G.Charpak, *Filet à Particules*, Découverte, 1972.
- [9] H. Nomoto *et al.* Installation and Test of the ATLAS Muon Endcap Trigger Chamber Electronics, 2006.
- [10] Amplifier-Shaper-Discriminator ICs and ASD Board, ATLAS Internal Note MUON_NO.1, 1999.
- [11] O Sasaki. Patch-Panel ASIC, 2004.
- [12] T.Takemoto. JRC Data Sheet, ATLAS TGC Electronics Group, 2002.
- [13] ATLAS Install Scehdule ver. 8.1, 2006.
- [14] The Institute of Electrical and Electronics Engineers, Inc. Draft Standard for a Common Mezzanine Card Family : CMC, 2001.
- [15] Particle Data Group. in the 2006 Review of Particle Physics
- [16] Daniel Lellouch. *et al.* ATLAS/TGC Master Database 31 August 2004
- [17] *ATLAS Technical Proposal* CERN/LHCC/94-43, December 1994
- [18] *ATLAS Detector and Physics Performance Technical Design Report Volume 1,2* CERN/LHCC/99-14,15, May 1999
- [19] 緒方岳. 神戸大学修士学位論文「ATLAS 前後方ミューオントリガーシステム Sector Logic の開発」2006 年 2 月

- [20] 野本裕史. 東京大学修士学位論文「ATLAS 前後方ミューオントリガーシステム読み出し系の開発」2005 年 1 月
- [21] 片岡洋介. 東京大学修士学位論文「ATLAS 実験ミューオントリガーシステムのビームテスト及びシミュレーションによる総合評価」2004 年 1 月
- [22] 溝内健太郎. 京都大学修士学位論文「ALIAS 前後方ミューオントリガーシステム用エレクトロニクス読み出し系の開発」2002 年 2 月
- [23] 門坂拓哉. 神戸大学修士学位論文「ATLAS 前後方ミューオントリガーシステム Sector Logic 及びオンラインソフトウェアの開発」2008 年 2 月
- [24] 丹羽正. 神戸大学修士学位論文「ATLAS 前後方ミューオントリガーシステムコミッショニングにおける SectorLogic による宇宙線トリガーの研究」

謝辞

本研究を行なう機会と適切な指導を頂いた指導教官の藏重久弥准教授^aに心より感謝致します。

本研究において、懇切丁寧な御指導と多くの助言を頂きました佐々木修氏^b、池野正弘氏^bに深く感謝致します。

また様々な御指摘と助言を頂いた川越 清以^a、山崎 祐司^a、松下崇氏^a、石川 明正氏^a、越智敦彦氏^a、坂本宏氏^c、川本辰男氏^c、石野雅也氏^c、織田勸氏^c、戸本誠氏^f、杉本拓也氏^f、福永力氏^d、田中秀治氏^b、菅谷頼仁氏^e、他 ATLAS 日本グループの方々に深く感謝致します。

TGC エレクトロニクスグループで共に研究に励んだ門坂拓哉氏、丹羽正氏、早川俊氏^a、西山知徳氏^a、奥村恭幸氏^f、高橋悠太氏^f、長谷川慧^f、野本裕史氏^c、久保田隆至氏^c、平山翔氏^c、金賀史彦氏^c、結束晃平氏^c、鈴木友氏^bに深く感謝致します。また研究生生活を通じて惜しみない協力を頂いた大町千尋氏^a、喜家村裕宣氏^a、岡田勝吾氏^a、新保直樹氏^aに感謝致します。上記の方々の協力で、充実した研究生生活を送ることができました。心より感謝致します。

所属:

神戸大学 自然科学研究科 (理学研究科)^a

高エネルギー加速器研究機構 (KEK)^b

東京大学素粒子物理国際研究センター (ICEPP)^c

東京都立大学 理学研究科^d

大阪大学 理学部^e

名古屋大学 理学研究科^f