

ATLAS レベル1 ミューオン トリガー プロセッサの アップグレードに向けた研究

神戸大学大学院理学研究科 博士課程前期過程
物理学専攻 粒子物理学研究室
107s109s 小西 拓也

平成 24 年 3 月 5 日

概要

2008年にCERN(欧州原子核研究機構)はLHC(Large hadron Collider)加速器を完成させ、陽子同士を周回させて衝突させることに成功した。2008年のヘリウム漏れの事故があったものの、2009年の11月から再稼動して以来、2011年12月にはHiggs粒子の兆候を発表するまでに至った。ATLAS検出器はLHCでの衝突イベントで発生した様々な粒子を検出することを目的として設置された検出器で、これまでに大量のデータを貯めることに成功している。LHC加速器では陽子同士を重心系エネルギーで14TeVものエネルギーで40MHzもの高頻度な衝突を起こすようにデザインされているので、ATLASには「高頻度のイベントを高速かつ正確に処理できるシステム」と「大量のバックグラウンドに対する対放射線耐性」が要求される。この、イベントを高速かつ正確に処理できるシステムには、大量の情報の中から必要な情報を選びだすための次の3段階のトリガー設けられている。ハードウェアで処理を行うLevel1トリガー、ソフトウェアで処理を行うLevel2トリガー、Event Filterの3つである。我々が主にかかわっているのはATLAS検出器を構成する検出器の1つであるTGC(Thin Gap Chamber)ミュオンスペクトロメータのLevel1トリガーである。このトリガーシステムは順調に稼動しており、ATLASでの物理に貢献している。

現在、デザインルミノシティを最終的に $5 \times 10^{-34} \text{cm}^{-2} \text{s}^{-1}$ にするLHCアップグレードが計画されている。しかし、現在使われているSW(Small Wheel)と呼ばれている部分では、アップグレード後のヒットレートで粒子の検出効率を十分に保つことができない。それゆえ、SWをNSW(New Small Wheel)に交換することが考えられている。しかし、現在のTGCミュオンスペクトロメータのLevel1トリガーはNSWに対応していないので、NSWを考慮に入れた新しいTGCエレクトロニクストリガーシステムにアップグレードする必要がある。私はTGCエレクトロニクストリガーシステムのうち、SL(Sector Logic)と呼ばれるエレクトロニクスを改良して、BW(Big Wheel)と呼ばれる部分からの情報とNSWからの情報を統合して処理することができるNSL(New Sector Logic)の研究開発を行った。このNSLはNSWとBWのRoI(Region of Interest)を比較してコインシデンスを取ることで、fake信号を落とす役割を担っている。また、NSLはデータをバッファし、要求が来たらそれを送信する役割も担っている。私は研究でコインシデンス処理を実現するためのロジックを開発し、さらにはロジックが搭載されたFPGA(Field-Programmable Gate Array)を用いた動作検証を試してみた。本論分ではこれらの役割を実現するロジックについて解説し、バッファの役割を実現するために用いたDDR3やRocketIO(Xilinx社製の高速シリアル通信用トランシーバ)を用いたデータの扱いの妥当性や検証結果について述べてゆく。

目次

第 1 章	序文	1
第 2 章	ATLAS 実験	3
2.1	LHC	3
2.2	ATLAS 実験の目的	5
2.2.1	Higgs 探索	5
2.2.2	SUSY 探索	8
2.3	2011 年までの結果	8
第 3 章	ATLAS 検出器	11
3.1	ATLAS 検出器の概要	11
3.1.1	ATLAS 検出器の座標系	11
3.1.2	ATLAS 検出器への要求	12
3.2	ATLAS 検出器を構成する検出器	12
3.2.1	内部飛跡検出器	12
3.2.2	カロリメーター	13
3.2.3	ミュオンスペクトロメーター	14
3.2.4	マグネット	16
3.3	ATLAS 実験でのトリガー & DAQ システム	17
3.3.1	LVL1(Level1) トリガー	17
3.3.2	LVL2(Level2) トリガー	19
3.3.3	EF(Event Filter)	20
第 4 章	現行の TGC ミューオントリガーシステム	21
4.1	TGC(Thin Gap Chamber) の構造と動作原理	21
4.1.1	TGC の動作原理	21
4.1.2	TGC チェンバー	22
4.1.3	TGC の配置	23
4.2	TGC における p_T 測定の原理	26
4.3	TGC エレクトロニクス	27
4.3.1	システム全体の流れ	27
4.3.2	TGC エレクトロニクスの配置	31
4.3.3	TGC エレクトロニクスの詳細	31
第 5 章	アップグレード計画	40
5.1	LHC アップグレード	40
5.1.1	LHC アップグレードの概要	40
5.1.2	ルミノシティ増強のための加速器アップグレード	40

5.2	LHC アップグレードへによる ATLAS への影響	42
第 6 章	NSW	43
6.1	small tubes MDT + trackingTGC チャンバー	43
6.1.1	small tube MDT	44
6.1.2	sTGC	44
6.2	small tubes MDT + new trigger RPC チャンバー	46
第 7 章	fake 信号	47
7.1	fake トリガーによる影響	47
7.2	fake 信号の原因	47
7.2.1	2 次生成粒子による fake 信号	48
7.2.2	ビームパイプがシールドされていないところから由来する粒子による fake 信号	49
7.3	fake トリガーへの対策とその効果	50
7.3.1	phase0 アップグレードによって期待される効果	50
7.3.2	phase1 アップグレードによって期待される効果	52
第 8 章	NSL のロジック	57
8.1	新しい LVL1Endcap ミューオントリガーのデータ	57
8.1.1	NSL に要求される機能	58
8.1.2	RoI matching	59
8.1.3	p_T -sort	60
8.2	NSL が考慮すべき範囲	60
8.3	NSL の設計	61
8.3.1	NSW のパラメータの仮定	61
8.3.2	設計した NSL のロジック	62
8.3.3	NSL のトリガー系ロジック	64
8.3.4	NSL のリードアウト系ロジック	66
8.4	NSL ロジックの実装	66
第 9 章	まとめ	68

第1章 序文

Higgs 粒子は標準模型でその存在が予言されている、素粒子の質量起源であると考えられている重要な粒子であるが、未だその存在が確認されていない。

その Higgs 粒子の発見を目指し、CERN(欧州原子核研究機構)では陽子を重心系エネルギーで 14TeV で衝突できるようにデザインされた LHC(Large hadron Collider) 加速器を建設して実験を行っている。LHC は 2008 年のヘリウム漏れの事故があったものの、2009 年の 11 月から再稼動して以来、順調に稼動しており、2011 年では重心系エネルギーで 7TeV、ルミノシティ $3.7 \times 10^{33} \text{cm}^{-2} \text{s}^{-1}$ での運転と、積分ルミノシティ 5fb^{-1} を達成した。そして、2011 年 12 月には Higgs 粒子の兆候を発表するまでに至った。

本論文の中心である ATLAS 実験で用いられる ATLAS 検出器は、LHC での衝突イベントで発生した様々な粒子を検出することを目的として設置された汎用大型検出器であり、これまでに大量のデータを貯めることに成功している。LHC 加速器では陽子同士を 40.8MHz もの高頻度な衝突を起こすようにデザインされているので、ATLAS には「高頻度のイベントを高速かつ正確に処理できるシステム」と「大量のバックグラウンドに対する対放射線耐性」が要求される。このイベントを高速かつ正確に処理できるシステムには、大量の情報の中から必要な情報を選びだすための次の 3 段階のトリガーシステム設けられている。ハードウェアで処理を行う Level1 トリガー、ソフトウェアで処理を行う Level2 トリガー、Event Filter の 3 つである。これらのトリガーシステムは順調に稼動しており、ATLAS での物理解析に貢献している。

LHC ではより早く TeV スケールの物理反応データの統計量を溜めるべく、ルミノシティをあげるアップグレードが計画されている。アップグレードでは 2020 年ごろに、現在のデザインルミノシティである $1 \times 10^{34} \text{cm}^{-2} \text{s}^{-1}$ から $5 \times 10^{34} \text{cm}^{-2} \text{s}^{-1}$ まで引き上げられる予定である。

このアップグレードに対応するために ATLAS 検出器もアップグレードが計画されている。この ATLAS のアップグレードは phase0, phase1, phase2 アップグレードと段階を経て行われる予定である。

このアップグレードには、私が所属して研究を行っている ATLAS 日本グループが担当している、ATLAS 検出器を構成する検出器の 1 つである TGC(Thin Gap Chamber) ミューオンスペクトロメーターの Level1 トリガーのアップグレードも含まれている。

Level1 ミューオントリガーの phase0 アップグレードでは ATLAS 検出器付近のシールドを強化することや、トロイダル磁場あたりのビームパイプをステンレスからアルミニウムに替えること、fake トリガーに対応するために現在トリガーに使われていない SW(Small Wheel) をトリガーに組み込むことが計画されている。

また、Level1 ミューオントリガーの phase1 アップグレードでは、SW に設置されている検出器が LHC アップグレード後のヒットレートで粒子の検出効率を十分に保つことができなくなることから SW を NSW(New Small Wheel) に交換することが計画されており、phase2 アップグレードではトリガーのレイテンシを長くすることでトリガーの選択アルゴリズムを強化することが考えられている。

ここで、phase1 アップグレードでは NSW が導入されることから、TGC トリガーシステムもアップグレードする必要があり、新しいエレクトロニクスを開発する必要がある。

このNSW 導入による TGC トリガーシステムのアップグレードうち、私は SL(Sector Logic) と呼ばれるエレクトロニクスを改良して、BW(Big Wheel) と呼ばれる部分からの情報と NSW から情報を統合して処理することができる NSL(New Sector Logic) の研究開発を行った。この NSL は NSW と BW の RoI(Region of Interest) を比較してコインシデンスを取ることで、fake 信号を落とす役割とデータをバッファし、要求が来たらそれを送信する役割を担っている。このコインシデンス処理を実現するためのロジックを開発し、それらのロジックが搭載された FPGA(Field-Programmable Gate Array) を用いた動作検証を試してみた。

本論分は

第 2 章では LHC と ATLAS 実験について

第 3 章では ATLAS 検出器について

第 4 章では現行の TGC エレクトロニクスシステムについて

第 5 章では LHC、ATLAS のアップグレードについて

第 6 章では ATLAS のアップグレードで導入される NSW について

第 7 章では問題となっている fake 信号について

第 8 章では SL を改良した NSL について

第 9 章では全体のまとめについて

述べていく。

第2章 ATLAS 実験

この章では ATLAS 実験を行っている LHC 加速器、そこで目指されている物理について述べてゆく。

2.1 LHC

LHC(Large Hadron Collider) はスイスとフランスの国境地帯にある CERN(Conseil Européen pour la Recherche Nucléaire:欧州原子核研究機構) の実験施設の一部で、地下 100m に 2 カ国に跨って設置されている大型陽子陽子衝突加速器である。LHC は全長 27km のリング型の加速器で陽子同士を重心系エネルギーで 14TeV(14 兆電子ボルト) で衝突するようにデザインされている。これは 2012 年現在、大きさ、重心系エネルギー共に世界最大である。陽子シンクロトロンでは電子に比べてシンクロトロン放射による粒子の運動エネルギーのロスが小さいため 14TeV という高エネルギーでの運動を可能にしている。LHC 加速器と実験室の配置図を図 2.1 に示し、主要なデザインパラメーターを表 2.1 で示す。

LHC は 2008 年に完成し、9 月 10 日に最初にビーム周回に成功したものの、同年 9 月 19 日にヘリウム漏れの事故により稼働停止を余儀なくされた。その後 2009 年 11 月に修理を完了し、現在(2012 年 1 月 23 日)に至るまで正常に運転を行い、これまでの積分ルミノシティの蓄積の様子は図 2.1 で表されるように順調に行われており、2011 年の運転では $5.2fb^{-1}$ に相当する 7TeV の陽子衝突データを貯めることに成功した。

LHC には 4 つ衝突点があり、その各々に大型粒子検出器が置かれていて、4 種類の異なる実験が行われている。それぞれの配置が図 2.1 に示されている。これから、その 4 つの実験について述べてゆく。

- ATLAS(A Toroidal LHC Apparatus)

Higgs 粒子や超対称性粒子 (SUSY) など発見を目的とした汎用検出器でバランスよくフォトン、レプトン、jet などの Hit 情報やエネルギーを測り、高速で処理する能力を持っている。次の章で詳しい説明を行う。

38ヶ国、174 の大学・研究機関の約 3000 人が参加している。

主リング周長	26.66km	ルミノシティ	$10^{34}cm^{-2}s^{-1}$
入射エネルギー	450GeV	ビームエネルギー	14.0TeV
衝突頻度	40.08MHz	バンチ間隔	24.95nsec
バンチあたりの陽子数	10^{11} 個	バンチの長さ	75mm
ビームあたりのバンチ数	2835 個	ルミノシティ寿命	10 時間
衝突点のビーム半径	$16.7 \mu m$	衝突角度	$200 \mu rad$

表 2.1: LHC のデザインパラメーター

ルミノシティ	$3.7 \times 10^{33} \text{cm}^2 \text{s}^{-1}$	ビームエネルギー	7.0TeV
ビーム当たりのバンチ数	1380 個	バンチ間隔	50.0nsec
衝突点のビーム半径	$23 \mu\text{m}$	バンチあたりの陽子数	1.4×10^{11} 個
衝突頻度		20.04MHz	
1バンチ衝突あたりの平均陽子陽子衝突数		12 個	

表 2.2: 現在の LHC のパラメーター

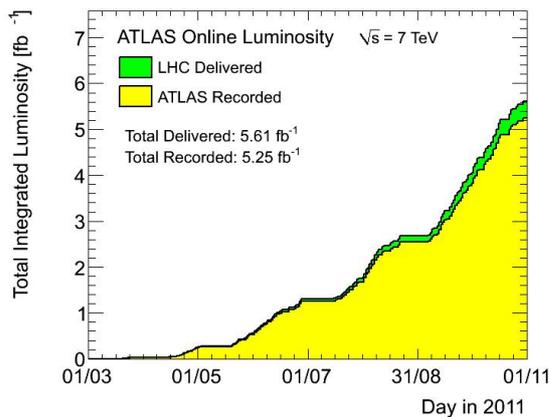


図 2.1: LHC 加速器積分ルミノシティ [1]

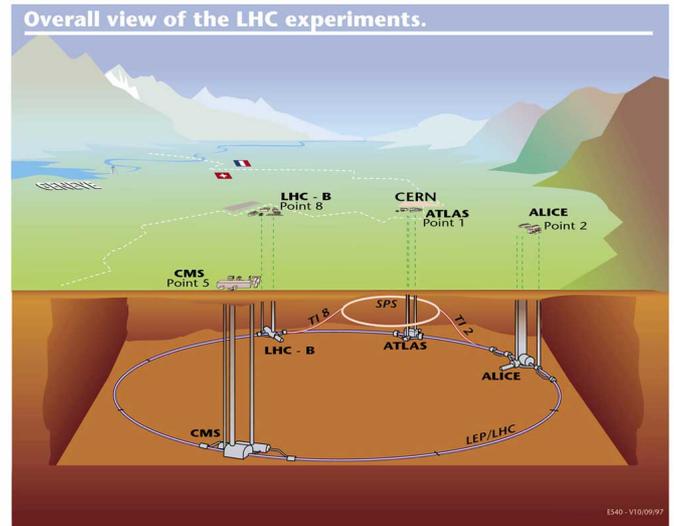


図 2.2: LHC 加速器 [2]

- CMS(Compact muon Solenoid) 図 2.3

ATLAS 実験と同じく Higgs 粒子の発見を目指している。CMS 検出器は ATLAS 検出器よりもコンパクトで、より高いソレノイド磁場を持つ。PbWO₄ 電磁カロリメーターをソレノイド・コイル内部に持ち、 γ 線のエネルギー測定に重点を置いている。

40ヶ国、172の大学・研究機関の約3000人が参加している。

- LHC-b (Large Hadron Collider beauty) 図 2.4

b クォークを用いた CP 対称性の破れを観測することにより標準模型を越える物理の探索を目的としている。

4ヶ国、54の大学研・究機関の約760人が参加している。

- ALICE(A Large Ion Collider Experiment) 図 2.5

重イオン同士の衝突で宇宙初期のグルーオンとハドロンが入り混じった状態を再現して、クォーク・グルーオン・プラズマの生成を証明し、この新しい物質状態の性質を研究することを目指している。

30ヶ国、80の大学・研究機関の約1000人が参加している。

LHC 加速器はアップグレードが計画されており、それに伴い ATLAS 検出器もアップグレードが計画されている。これについては5章で説明する。

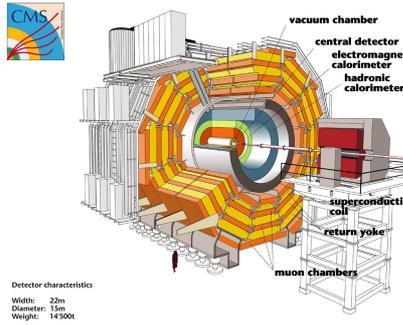


図 2.3: CMS 検出器 [2]



図 2.4: ALICE 検出器 [2]

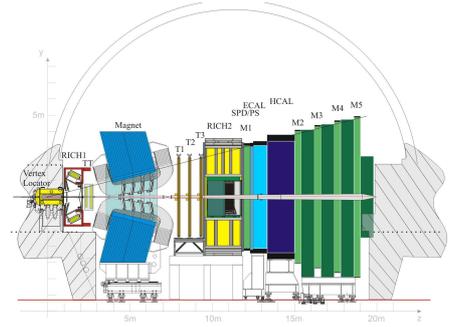


図 2.5: LHC-b 検出器 [2]

2.2 ATLAS 実験の目的

ATLAS 実験の主な目的は次の二つである。

- 標準模型におけるヒッグス粒子の発見
- 超対称性粒子の発見

この節ではこの 2 つについて簡単に説明する。

2.2.1 Higgs 探索

Higgs 粒子は標準模型で存在が予言された粒子の中でも未だ発見されていない最後の粒子である。自発的に大域的な対称性を破っている系はスピン 0 の質量を持たない粒子”南部 Goldstone ボゾン”を持つことが知られている。しかし、ゲージ変換の不変性から要請される局所的な対称性の破れから Higgs 実スカラー場と 3 つのベクトル場が得られ、その結果として南部 Goldstone ボゾン場はゲージ場に吸収されて質量を持つスピン 1 の粒子として現れる。この Higgs スカラー場にあたる粒子が Higgs 粒子で、ベクトル場に対応するものが W^\pm, Z 粒子である。Higgs 粒子の質量は過去の実験 (LEP 等) よりその質量は 114GeV 以上とされてる。

ATLAS 実験では $114\text{GeV} \sim 1\text{TeV}$ での探査が可能な様に設計されている。

2.2.1.1 Higgs 粒子の生成

Higgs 粒子はトップクォークや W^\pm, Z 粒子などの質量の大きい粒子と結合しやすいため LHC では主に以下の 4 つの生成過程が考えられる。それぞれのファインマンダイアグラムを図 2.6 で、生成断面積を図 2.7 で示す。

- $gg \rightarrow H$ (gluon fusion) (a)
トップクォーク、ボトムクォークのループを介して Higgs 粒子を生成する。生成断面積が最も大きい Higgs 粒子の崩壊から出てくる粒子以外は大きな横運動量を持たないのでバックグラウンドとの選別が難しい。
- $qq \rightarrow qq H$ (vector boson fusion) (b)
forward に大きな横運動量を持つクォークジェット 2 本が放出される特徴があるので選別は比較的行きやすい。生成断面積も比較的大きい。

- $g\bar{g} \rightarrow t\bar{t} H$ (top associate production) (c)
対生成されたトップクォークから Higgs 粒子が生成される。断面積は小さいが特徴のあるトップクォークを終状態に含んでいるのでイベント選別を行いやすい。
- $q\bar{q} \rightarrow W/Z H$ (W/Z associate fusion) (d)
クォークペアの対消滅によって生成されたゲージボゾンから Higgs 粒子が生成される。終状態にゲージボゾンを観測される特徴がある。

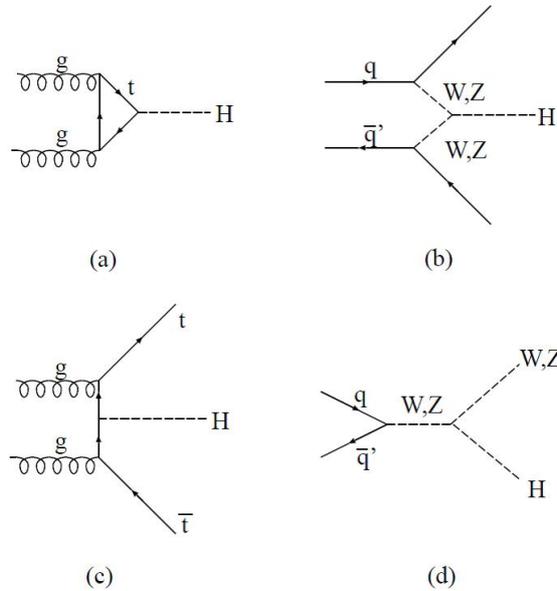


図 2.6: Higgs 粒子の生成ファインマンダイアグラム

(a)gluon fusion,(b)vector boson fusion,(c)top associate production, (d)W/Z production[3]

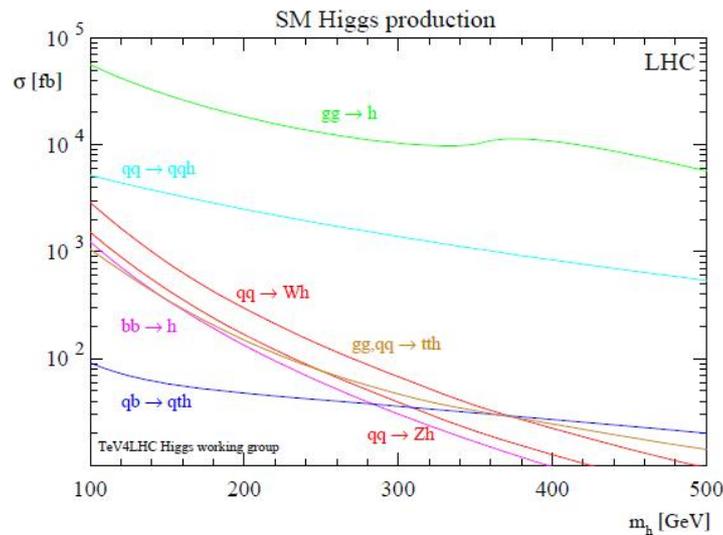


図 2.7: Higgs 粒子の生成断面積 [4]

2.2.1.2 Higgs 粒子の崩壊過程

次に Higgs 粒子の崩壊について説明する。ATLAS 実験では Higgs 粒子が崩壊した粒子を観測することによって Higgs 粒子を発見するので Higgs の崩壊に関する物理は非常に重要な要素である。Higgs 粒子の崩壊分岐比は図 2.8 から分かるとおり、崩壊から放出される粒子は Higgs 粒子の質量に依存する。以下に各領域で特徴的な崩壊過程を簡単に説明する。

- $H \rightarrow \gamma\gamma$ ($m_H < 150\text{GeV}$)
 低い領域では $b\bar{b}, c\bar{c}$ が多く出るが、バックグラウンドとの判別が難しい。そこで分岐比は小さいが狭い質量ピークの見えるエネルギーを測定しやすいフォトンへの崩壊が重要になってくる。このフォトン質量 0 なので Higgs 粒子からトップクォークやボトムクォーク $W^\pm Z$ のループを介して生成される。
- $H \rightarrow \tau\tau$ ($m_H < 150\text{GeV}$)
 フォトン・チャンネルよりも分岐比が大きく発見に有効であるとされている。vector boson fusion の過程を使うことでバックグラウンドと区別することが可能となり、Higgs 粒子が軽い場合の発見に有効であるとされている。 τ の崩壊は ν が含まれるので消失横運動量 E_T^{miss} の精密な測定が大切になる。
- $H \rightarrow WW^* \rightarrow l\nu l$ ($150\text{GeV} < m_H < 180\text{GeV}$)
 この崩壊モードでは横方向質量分布を 2 つのレプトン横運動量と ν による消失横運動量 E_T^{miss} から求めることが出来る。そのおかげで、多くのバックグラウンドがあるにもかかわらずヒッグスの質量を求めることが出来る。
- $H \rightarrow ZZ^* \rightarrow lll$ ($120\text{GeV} < m_H < 180\text{GeV}$)
 終状態は 4 つのレプトンだけなのできれいなピークを得ることが出来る。 $H \rightarrow WW^* \rightarrow l\nu l$ より分岐比は小さい。ひとつのレプトン対のエネルギーが m_Z という条件を付けることができるため判別しやすい。 Z^* はエネルギー E 、運動量 p 、質量 m の間の関係 $E = p^2 + m^2$ を満たさない仮想粒子であるので不変質量に制限は無い。
- $H \rightarrow ZZ \rightarrow lll$ ($180\text{GeV} < m_H < 800\text{GeV}$)
 このモードは Higgs 探索の最も基本的なモードであり、gold-plated channel とよばれている。バックグラウンドの除去がやすく、きれいなピークを持つことが出来る。
- $H \rightarrow ZZ \rightarrow l\nu\nu$ ($400\text{GeV} < m_H$)
 この崩壊モードでは終状態 ν が含まれるので消失横運動量 E_T^{miss} の測定が重要である。 $\nu\nu$ のエネルギーを再構成することは出来ないので、この崩壊モードで崩壊する Higgs 粒子の生成方法を vector boson fusion に限定するなどの条件が必要。
- $H \rightarrow W^+W^- \rightarrow l\nu jj, H \rightarrow ZZ \rightarrow lljj$ ($600\text{GeV} < m_H$)
 これらのモードの分岐比は $M_H < 600\text{GeV}$ で $H \rightarrow ZZ^* \rightarrow lll$ と比べると $H \rightarrow W^+W^- \rightarrow l\nu jj$ で約 150 倍、 $H \rightarrow ZZ \rightarrow lljj$ では約 20 倍となる。この崩壊モードで崩壊する Higgs 粒子の生成方法を vector boson fusion に限定して考える。2 つのジェットが特徴的でこれらを指標にすることでバックグラウンドを除去する。

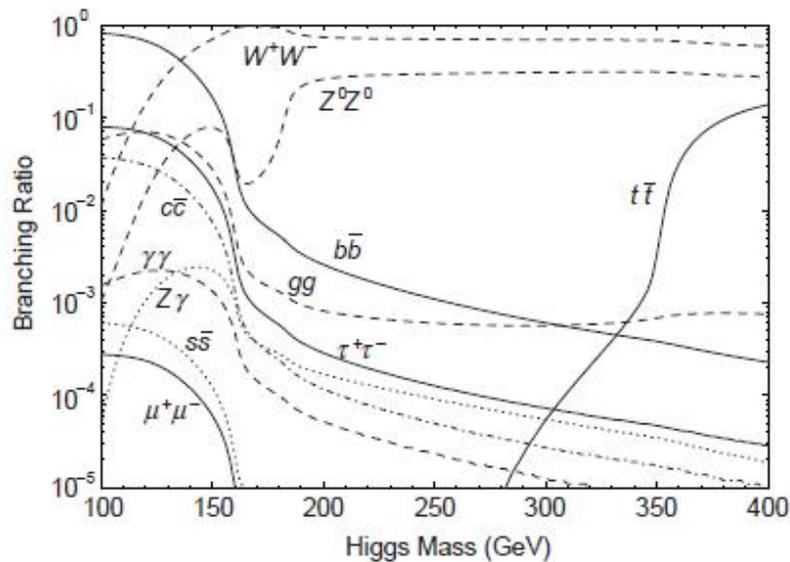


図 2.8: Higgs 粒子の崩壊分岐比 [5]

2.2.2 SUSY 探索

超対称性 (SUSY-SUperSYmmetry) とはボゾンとフェルミオンを交換する対称性のことである。標準模型を越える理論の代表として 1970 年代から長い間研究されてきた。これに基づく超対照性理論では、通常の粒子とスピンの $1/2$ 異なるがそれ以外の性質は全く同じであるスーパーパートナーと呼ばれる超対称性粒子の存在が予言されている。これを導入することにより fine-tuning 問題を解決することが出来る。ここで、超対称性が正しいならば超対照性粒子は標準模型の粒子と同じ質量を持つ。しかし、これまでスーパーパートナーを観測したという事実は無い。この事実の説明は超対称性が別の世界 (hidden sector) で破れており、その結果としてスーパーパートナーが $100\text{GeV} \sim \text{数 TeV}$ 程の重さを獲得する理論が有力である。もしこの理論が正しければ LHC では強い相互作用をするクォークのスーパーパートナーであるスクォーク (\tilde{q}) や、グルーオンのスーパーパートナーであるグリーノ (\tilde{g}) の対が大量に生成されるはずである。これらの粒子は超対称性粒子の中でも最も軽いとされるニュートラリーノ ($\tilde{\chi}_1^0$) にジェットやレプトンを出しながら崩壊するとされる。ここでニュートラリーノは直接検出に掛からないので消失横運動量 E_T^{miss} を測定することで間接的に発見することが出来ると期待されている。

2.3 2011年までの結果

2009 年度の再開以降順調にデータを蓄積することができ、2011 年 12 月に、これまでに検出された Higgs 粒子の崩壊と見られるイベントをまとめたものが発表された。表 2.3 に ATLAS で発見された Higgs 粒子崩壊イベントの候補を各チャンネルごとにまとめたもの示す。

崩壊チャンネル	予想される m_H の幅 (GeV)	各チャンネルの 積分ルミノシティ (fb^{-1})	カット後のイベント数
$H \rightarrow \gamma\gamma$	110-150	4.9	~ 70
$H \rightarrow \tau\tau$	110-150	1.1	~ 10
$H \rightarrow WW^* \rightarrow l\nu l\nu$	110-300	2.1	$\sim 20(130GeV)$
$H \rightarrow ZZ^* \rightarrow llll$	110-600	4.8	$\sim 2.5(130GeV)$
$H \rightarrow ZZ \rightarrow ll\nu\nu$	200-600	2.1	$\sim 20(400GeV)$
$H \rightarrow ZZ \rightarrow lljj$	200-600	2.1	$2 - 20(400GeV)$
$H \rightarrow W^+W^- \rightarrow l\nu jj$	240-600	1.1	$\sim 45(400GeV)$

表 2.3: ATLAS で発見された各チャンネルごとの Higgs 粒子崩壊イベントの候補 [6]

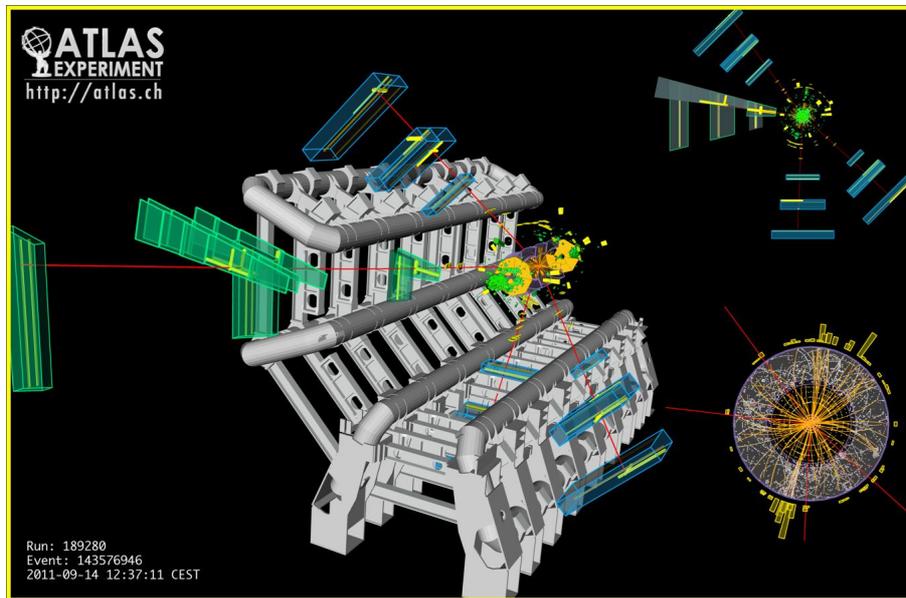


図 2.9: $ZZ \rightarrow \mu\mu\mu\mu$ [1]

例として $ZZ \rightarrow \mu\mu\mu\mu$ 事象を図 2.9 に示す。

そして、2011 年 12 月には ATLAS 実験と CMS 実験を併せた結果が CERN より発表された。その結果によると、以前に行われた実験の結果と併せて

$$114.4GeV < m_H < 129GeV, \quad 480GeV < m_H$$

以外での領域が Higgs 粒子の質量候補として棄却されることになった。図 2.10 にこれまでに棄却された領域を示す。

しかしながら、未だ Higgs 粒子の存在は統計的に有意なレベルで発見されたと結論付けることは出来なかった。2012 年には十分な統計が貯まることから低い領域での Higgs の有無が結論付けられると期待されている。

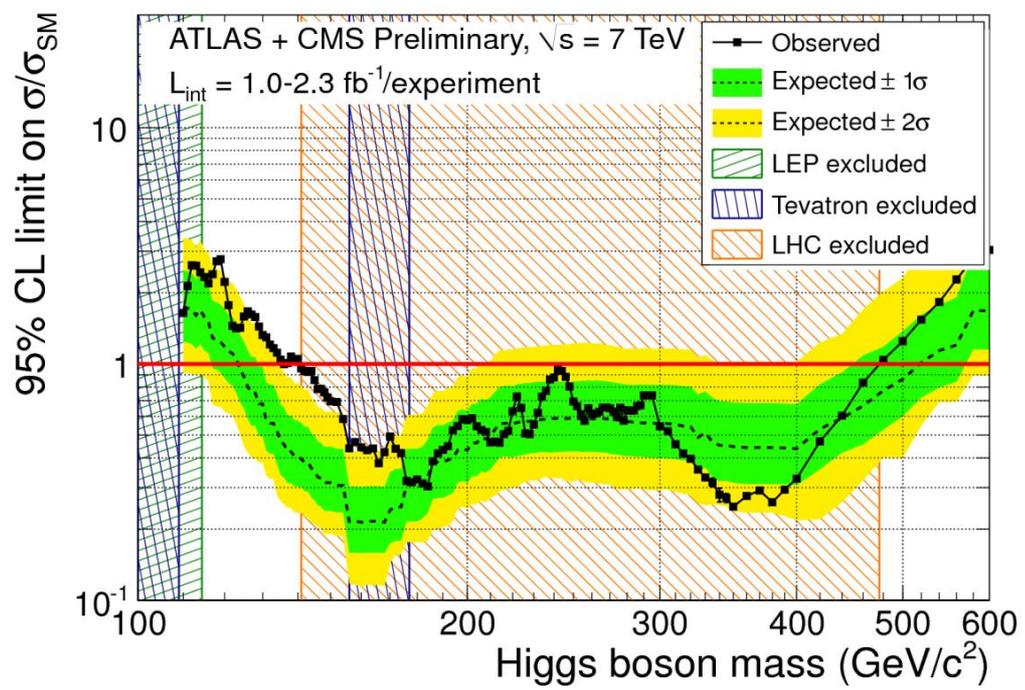


図 2.10: 以前に行われた実験の結果と併せた棄却された領域 [7]

第3章 ATLAS 検出器

この章では ATLAS 検出器の検出器や DAQ システムについて説明してゆく。

3.1 ATLAS 検出器の概要

ATLAS 検出器は直径 22m、全長 44m、総重量 7000t の汎用検出器である。図 3.1 で ATLAS 検出器の全体図を示す。内側から内部飛跡検出器、カロリメーター、ミュオン検出器が、そして検出器の間に超伝導磁石 (ソレノイド磁石、トロイダル磁石) が設置されている。LHC の高いルミノシティにおいても、光子、電子、ミュオン、ジェット、 E_T^{miss} などの信号を見つけ出し高速かつ正確に処理する必要がある。まず、ATLAS 検出器の座標系について説明し、次に ATLAS 検出器に対する要求をそれらを用いて述べる。

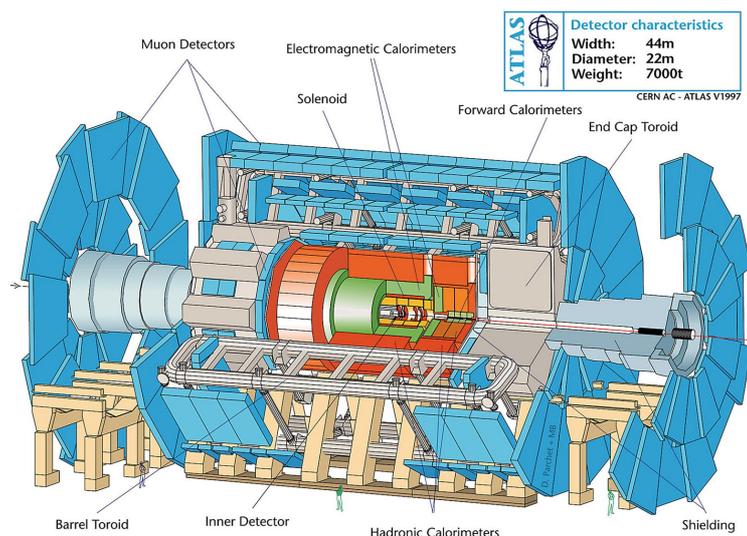


図 3.1: ATLAS 検出器 [2]

3.1.1 ATLAS 検出器の座標系

ATLAS の座標系は陽子のビーム軸を z 座標軸とし、 z 軸に垂直な水平方向を x 、鉛直方向を y 、動径 $R = \sqrt{x^2 + y^2}$ 、 x - y 面での方位角 ϕ 、 z 軸からの天頂角 θ 、偽ラピディティ (pseudorapidity) $\eta = -\ln(\tan \theta/2)$ とする。座標系を図 3.2 で表す。

ATLAS 検出器では、 $|\eta| < 1$ の円筒の筒に相当する領域をバレル、 $1 < |\eta|$ の円筒の円に相当する領域をエンドキャップと呼ぶ。その中でも $1 < |\eta| < 1.9$ の領域を Endcap と呼び、 $1.9 < |\eta|$ の領域を Forward と分けて呼ぶ。

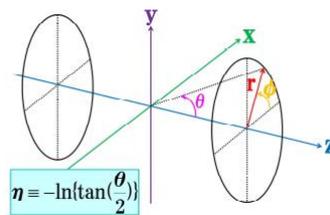


図 3.2: ATLAS 検出器の座標系 η が大きくなるほど z 軸に近づく

3.1.2 ATLAS 検出器への要求

ATLAS 検出器での Higgs 粒子探索は第 2 章で述べたように消失横運動量 E_T^{miss} の測定が重要である。そのためには広範囲な範囲での粒子のエネルギーの測定が欠かせない。また、稀現象を効率よく蓄積するために高いルミノシティの実現が必要で、高ルミノシティ下でのデータ収集には高速な情報処理能力が要求される。以下に ATLAS 検出器に対する要求を記す。

- 広範囲の立体角をカバーし、可能な限り検出器の η 、 ϕ ギャップが無いこと
- 内部飛跡検出器による荷電粒子の運動量測定と Vertex の精密測定
- 電磁カロリメーターにとる電子とフォトンのエネルギーと位置の高精度測定
- ハドロンカロリメーターによるジェットと消失横運動量 E_T^{MISS} の高精度測定
- ミューオン・スペクトロメーターによる高精度のミューオンの運動量測定
- 高頻度のイベントを高速かつ正確に処理できる DAQ システム
- 陽子衝突による大量のバックグラウンド放射線に対する対放射線耐性

3.2 ATLAS 検出器を構成する検出器

ATLAS 検出器は上記の要求を満たすために様々な検出器とマグネットから構成される。検出器は大きく分けて内部飛跡検出器とカロリメーター、ミューオンスペクトロメーターからなる。この説では各検出器とマグネットについて説明する。

3.2.1 内部飛跡検出器

内部飛跡検出器はビームの衝突点に最も近い場所に設置され、2T の磁場を作るソレノイドの磁場中に設置される。衝突によって生成された荷電粒子の飛跡の検出によって、用いた横運動量 P_T の測定、粒子の衝突点や崩壊点の再構成を行う。図 3.3 に内部飛跡検出器の構造を示す。内部飛跡検出器は内側から順番にピクセル検出器 (Pixel)、シリコントラッカー (Semi-Conductor Tracker:SCT)、遷移輻射トラッカー (Transition Radiation Tracker:TRT) の 3 つから構成される。

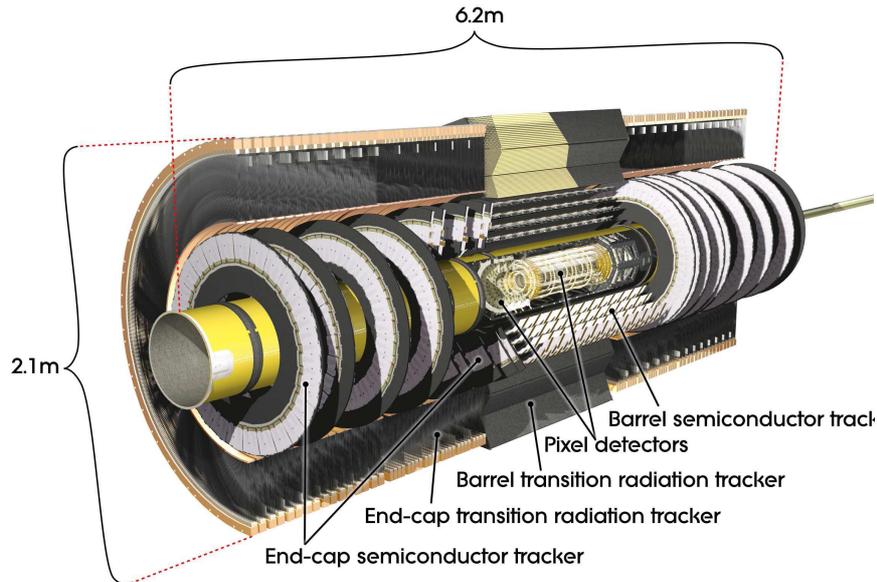


図 3.3: 内部飛跡検出器 [8]

- ピクセル検出器 (Pixel)
最内層にある 1 ピクセルが $50\mu\text{m} \times 300\mu\text{m}$ の半導体検出器で $R - \phi$ 方向で $10\mu\text{m}$ 、 z 方向で $115\mu\text{m}$ の高い分解能を持ち、衝突点の測定に使用される。
- シリコントラッカー (Semi-Conductor Tracker:SCT)
シリコンマイクロストリップと呼ばれる細長い有感領域を平行に並べた半導体検出器で、ピクセル検出器の外に設置されている。基盤の両面に設置した 2 層の検出器を互いに 40mrad 傾けることで 2 次元の位置検出を可能にしており、位置分解能は $R - \phi$ 方向で $17\mu\text{m}$ 、 z 方向で $580\mu\text{m}$ である。
- 遷移輻射トラッカー (Transition Radiation Tracker:TRT)
SCT の外の領域の荷電粒子の飛跡検出と電子の同定に用いられている。TRT はストローチューブの集合体であり、各チューブは直径 4mm 、長さは 37cm と 144cm の筒の中に $31\mu\text{m}$ の金メッキタングステンワイヤーが張られた構造となっている。筒中のガスには $Xe70\%$ 、 $CO_227\%$ 、 $O_23\%$ の混合ガスがほぼ大気圧 (ゲージ圧 $5 \sim 10\text{mbar}$) で使用されている。位置分解能は $130\mu\text{m}$ である。

3.2.2 カロリメーター

内部飛跡検出器の外側に配置されており、ハドロンジェットや電子 γ のエネルギーや角度の測定を行う。電磁カロリメーターとハドロンカロリメーターがあり、それぞれエンドキャップ部分とバレル部分がある。カロリメーターは図 3.4 で示されるような構造となっている。

- 電磁カロリメーター [8]
電子や γ の同定やエネルギーの精密測定を行う。鉛の吸収体と液体アルゴンがアコーディオン状になった構造をしており、バレルでは ($|\eta| < 1.52$)、エンドキャップでは $1.5 < |\eta| < 3.2$ の領域をカバーしている。

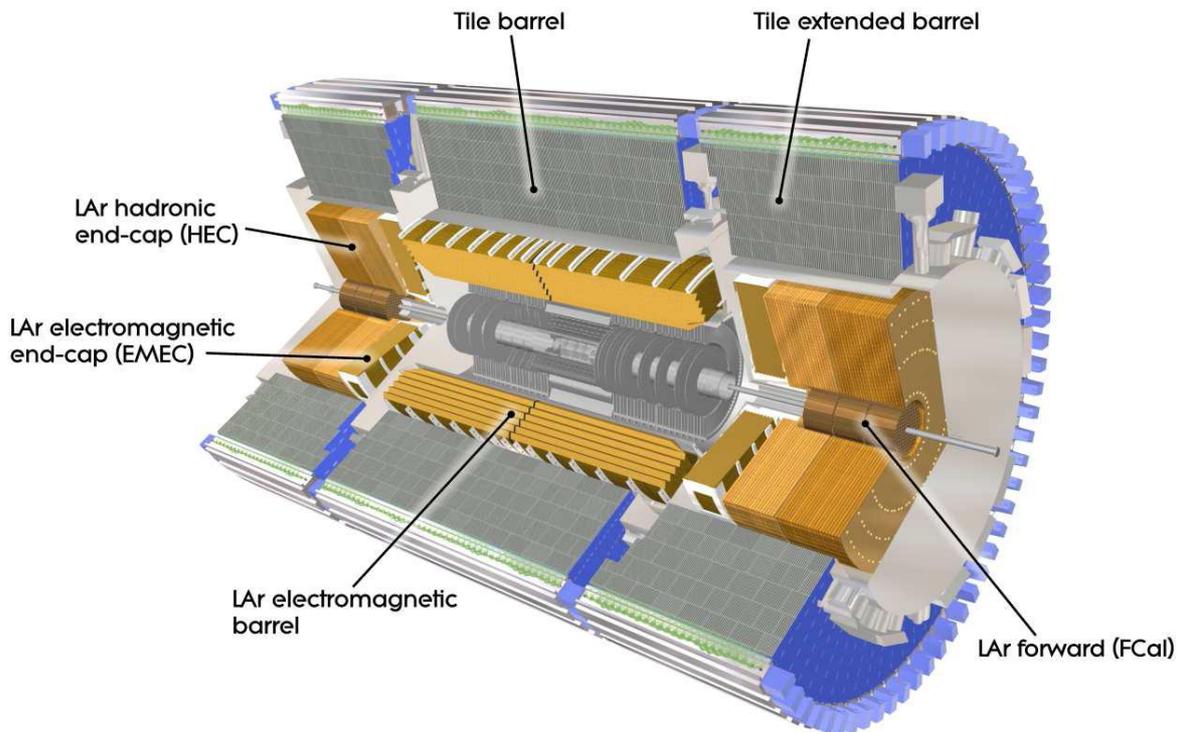


図 3.4: カロリメーター [8]

- ハドロンカロリメーター

電磁カロリメーターと合わせて、ジェットの同定や、ジェットのエネルギーの測定を行う。バレル部分は鉄の吸収体とタイル状のシンチレーターで、エンドキャップ部分で銅の吸収体と液体アルゴンで構成されている。さらにフォワードの放射線強度の高い部分は銅とタンゲステンの吸収体と液体アルゴンから構成される。バレルでは ($|\eta| < 1.0$)、エンドキャップでは $< 1.5|\eta| < 4.9$ の領域をカバーしている。

3.2.3 ミューオンスペクトロメーター

終状態に荷電レプトンを含む物理現象は、測定器で捉えやすい。その中でもミューオンは寿命が長く、透過力があることからカロリメーターの外側まで到達する粒子の殆どはミューオンである。その為、粒子識別が容易であり、バックグラウンドも少なく測定がしやすい。ATLAS 検出器の一番外に配置されている。ミューオンスペクトロメーターは軌跡精密測定用の MDT(Monitored Drift Tube)、CSC(Cathode Strip Chamber)、トリガー用の RPC(Resistive Plate Chamber)、TGC(Thin Gap Chamber) の 4 つの検出器と超伝導磁石(トロイダル磁石)からなる。ミューオンスペクトロメーターは図 3.5 に示されるような配置になっている。また、図 3.6 でミューオンスペクトロメーターの z - y 平面の断面図を示す。以下に各検出器の簡単な説明を記す。

- MDT(Monitored Drift Tube)

MDT は 3 気圧の $Ar97\%Co_23\%$ ガスの中に封入された直径 30mm のカソードチューブに $50\mu m$ のアノードワイヤーがチューブの軸方向に張られた構造をしている。アノード、カソード間に電圧をかけてやることで荷電粒子のよって電離された電子がガス分子にぶつかり電子

を誘起することで電子雪崩が起きる。この現象をガス増幅と呼ぶ。この電子雪崩のパルスの発生時刻は荷電粒子の飛跡とアノードワイヤーからの最短距離によるので、信号の時間測定とパルス高の測定を行い、ドリフト時間を正確に求めることで、荷電粒子の位置を測定できる。

このチューブ1つの平均分解能は $\sim 80\mu m$ である。パレル部分とエンドキャップ部分の両方に使われており、それぞれにMDTが重なったチャンバー層が複数枚重なったものが配置されている。

- CSC(Casthode Strip Chamber)

CSCは平行陰極で挟まれたガスギャップに、陽極ワイヤーを張った構造をしており、それが4層に重なった構造になっている。ワイヤーと垂直にはしる陰極ストリップに誘起される電荷を測ることで、荷電粒子の位置を測定する。位置分解能は $60\mu m$ で、放射線の多い高ラピディティ領域 $2.0 < |\eta| < 2.7$ になっている

- RPC(Resistive Plate Chamber)

高抵抗ベークライトの平行電極間に2mmのガスギャップに9kVの高電圧を印加する構造となっている。ガスには $C_2H_2F_4$ 94.7%, $iso - C_4H_{10}$ 5%, SF_6 0.3%のガスが用いられている。このガスギャップを荷電粒子が通過すると、ガス増幅が起き、電子雪崩をベークライト板の反対側に張られたピックアップ・ストリップで検出することで位置を測定する。パレル部分において $R - Z$ 方向と $R - \phi$ 方向位置を測定する。

- TGC(Thin Gap Thamber)

エンドキャップ部分で $R - \phi$ 方向と $R - Z$ 方向の位置を測定し、トリガー判定を行う。詳細は次章で述べる。

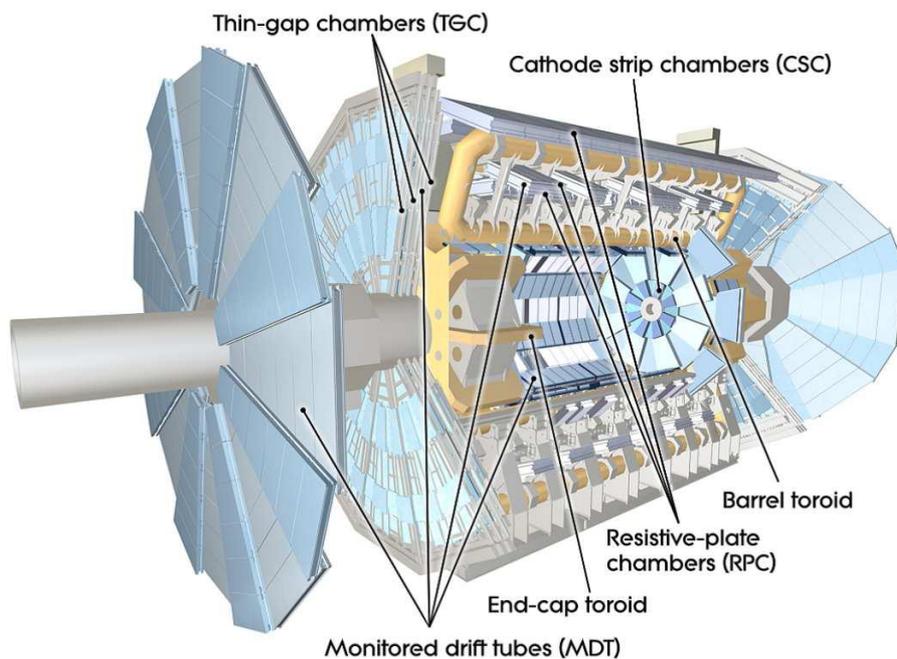


図 3.5: ミューオンスペクトロメーター [8]

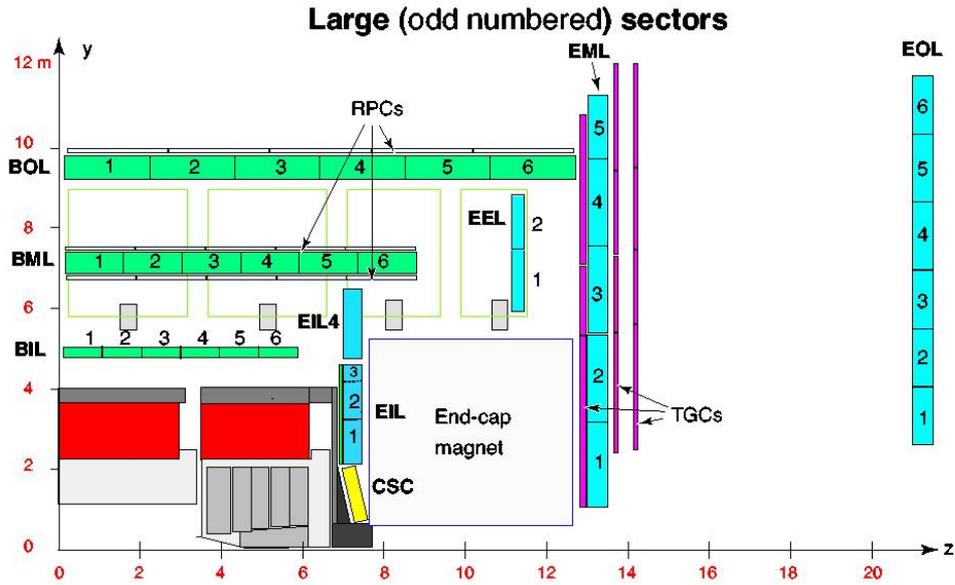


図 3.6: ミューオンスペクトロメーター R-Z 平面断面図 [8]

3.2.4 マグネット

中央のソレノイド磁石、バレル部、エンドキャップ部それぞれのトロイダル磁石からなり、いずれも超伝導磁石である。図 3.7 にマグネットの構造を示す。バレル部分とエンドキャップ部分で 8 つのコイルがビーム軸に対して 8 回対称となるように配置されている。

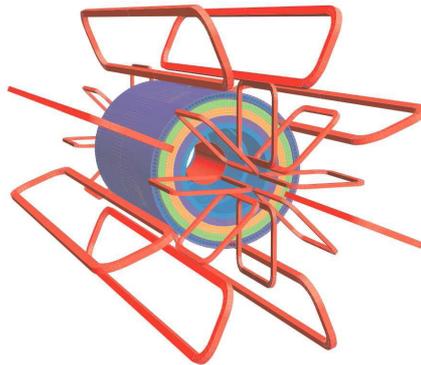


図 3.7: マグネット [8]

積分磁場強度はバレル部で $2 \sim 6 Tm$ 、エンドキャップ部分で $4 \sim 8 Tm$ である。図 3.8 にトロイダル磁場の η と磁場積分強度の関係を、図 3.9 に X-Y 平面のトロイダル磁場の強度 ($Z=0$) を示す。

トロイダル磁場は ϕ 方向だが、バレル部分とエンドキャップ部分の間の領域においては磁場の不均一性は避けられず、 R 方向成分も存在する。

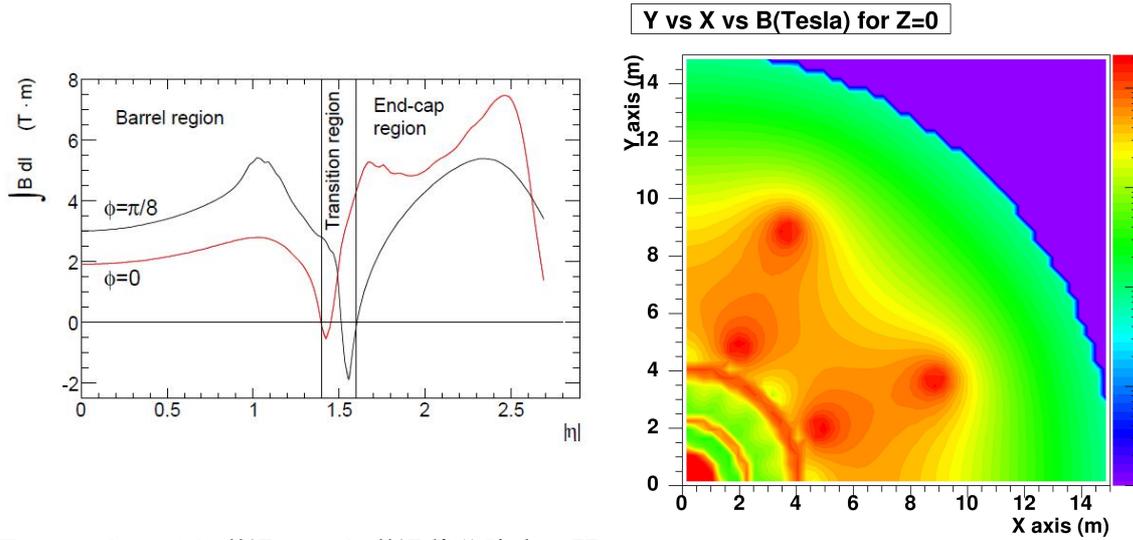


図 3.8: トロイド磁場の η と磁場積分強度の関係 [9]

図 3.9: X-Y 平面のトロイド磁場の強度 ($Z=0$) [9]

3.3 ATLAS 実験でのトリガー & DAQ システム

LHC のデザインでは 40.04MHz でビーム衝突が起こり、1 回のバンチ交差あたり平均 24 個の陽子陽子衝突が起こり、イベントレートは 1GHz にもなる。1 イベントを記録するために必要なデータ量は約 1.5MByte であるので、記憶装置、計算機資源の制限から実験中の全てのデータを記憶できない。それゆえ重要なイベントのみ記憶することがトリガー & DAQ システムに要求される。それに対応するために ATLAS 実験では Level1(LVL1)、Level2(LVL2)、Event Filter(EF) と呼ばれる 3 段階のトリガーを設けて重要なイベントを選別することでイベントレートを落としている。これらによりトリガーレートは始めの 1GHz から LVL1 では 75kHz、LVL2 では 3.5kHz、EF では 200Hz まで落とされる。図 3.10 にトリガー & DAQ システムの概要を示す。以降 LVL1、LVL2、EF について簡単に解説する。

3.3.1 LVL1(Level1) トリガー

LVL1 トリガーは 40.08MHz のバンチ衝突から発生する 1GHz のイベントレートを 75kHz に落とすために設けられているトリガーで、カロリメーター、トリガー用ミュオン検出器 (TGC, RPC) の情報を用いてトリガー判定を行っている。図 3.11 に LVL1 トリガーの仕組みを示す。LVL1 トリガーはカロリメーター、バレル及びエンドキャップミュオン検出器、CTP(Central Trigger Processor) から構成されている。カロリメータからは精度を落とした $e, \gamma, E_T^{miss}, \tau, \text{Jet}$ のエネルギーなどの情報が、ミュオン検出器からは設定した p_T 以上の値を持ったミュオンの情報が CTP に送らる。粒子の衝突からトリガーを判定して、フロントエンドのエレクトロニクスへトリガーを送るまでの処理時間 (レイテンシ) は $2.5\mu\text{s}$ と決められているため、情報量が多く処理に時間のかかる内部飛跡検出器からの情報は利用できない。CTP ではカロリメータとミュオン検出器の情報を統合して最終的なトリガーの判定を行わる。トリガー判定の結果 (Level1 Accept(L1A) 信号) は TTC(Timing Trigger and Control distribution) システムによって各検出器に送られる。各検出器からの情報は LVL1 バッファと呼ばれるパイプラインメモリに保持される。LVL1 バッファは L1A 信号が出されるまでの $2.5\mu\text{s}$ の間、 25nsec 毎に送られてくる信号を全て保持するた

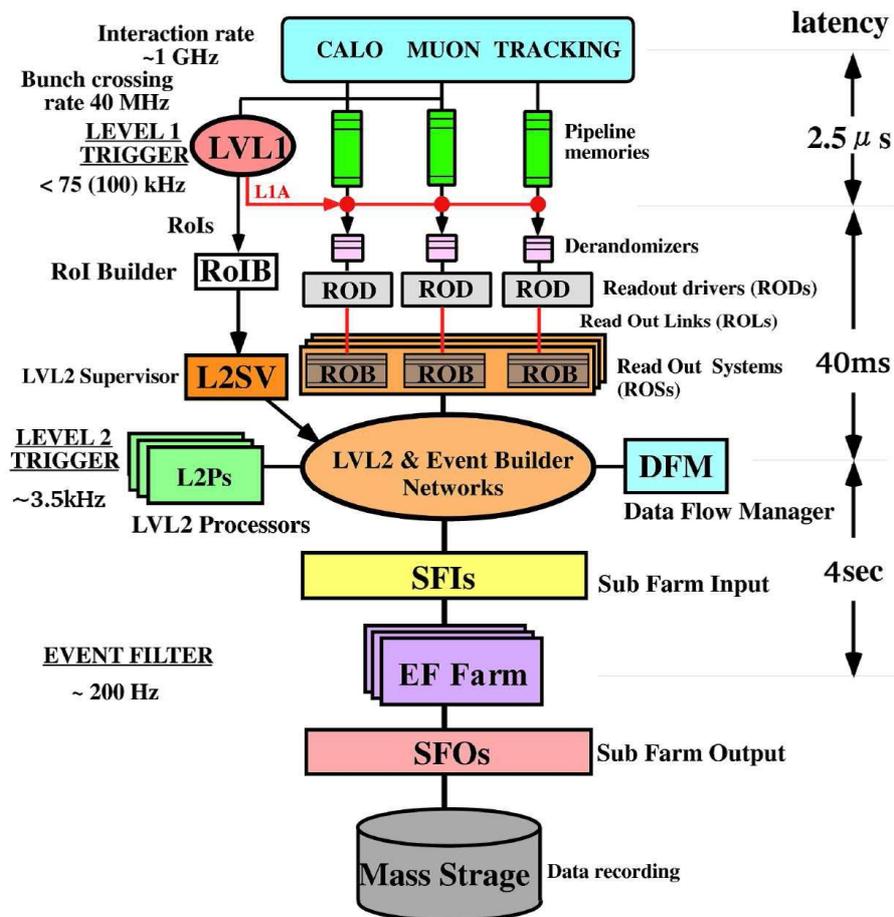


図 3.10: トリガー & DAQ システム [10]

めに、最低 100 イベント分を保持できるよう設計されている。L1A 信号が発行されたイベントは LVL1 バッファからデランダムマイザ (derandomizer) に送られる。デランダムマイザは不規則にやってくるデータを ROD (Read Out Driver) に読み出されるまで保持する。そして、データはどのバンチ衝突のデータか、どの L1A 信号で読み出されたデータなのかがわかるように、バンチクロッシング ID (BCID)、LVL1ID (L1ID) が付加され、圧縮されて ROD に送られる。ROD で各検出器毎にまとめられたデータは S-Link と呼ばれる規格の ROL (Read Out Link) を通して ROB (Read Out Buffer) へと送られる。ROB を複数持つ 1 つのシステムを ROS (Read Out System) と呼ぶ。以下に CTP、MUCTPI について簡単に説明する。

- CTP (Central Trigger Processor) カロリメーターとミュオン検出器の情報を統合して最終的な LVL1 トリガーの判定を行う。
- MUCTPI (Muon CTP Interface) MUCTPI は TGC と RPC のバレル部及び両端のエンドキャップ部からのミュオンの情報を取りまとめて、CTP に情報を渡す。

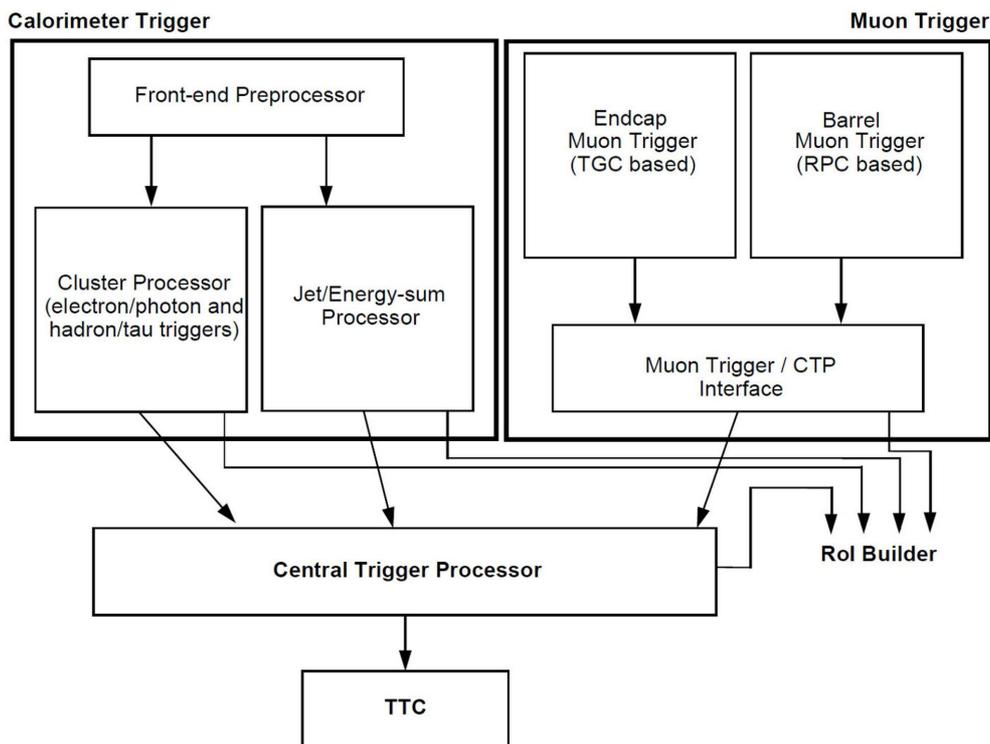


図 3.11: Level1 トリガー処理の流れ [11]

3.3.2 LVL2(Level2) トリガー

LVL2 トリガーはイベントレートを 75kHz から 3.5kHz に落とすトリガーで、カロリメーター、ミュオンスペクトロメーター、内部飛跡検出器からの高精度の位置・エネルギー情報を用いてトリガー判定が行われる。LVL1 から与えられる RoI (Reason of Interest 次章を参照) データを利用して注目する検出器領域を絞り込み、その領域のみの情報を用いてトリガー判定が行われる。こうすることで少ない情報量で効率よくトリガーすることで精度のよい選別が可能となる。複数の LVL1 情報が RoIB (RoI Builder) に渡され、そこで最終的な LVL1 トリガーに使用された RoI が決定される。RoI はほかの LVL1 情報と共に L2SV (LVL2 Super Visor) に渡される。L2SV は受け取った受け取った RoI と LVL1 の情報から LVL2 判定を行うために、負荷分散アルゴリズムに従い、いくつかの L2P (LVL2 Processor) をそのイベントのトリガーの判定に割り当てる。割り当てられた L2P は LVL2 ネットワークを介して必要なイベント情報を ROS から受け取り、LVL2 判定を行う。その結果 LVL2Accept 信号は L2SV に戻され Data Flow Manager (DFM) に渡される。L2P には最大で 500 台の PC で平行に LVL2 トリガー判定の処理を行って、LVL2 では 3.5kHz でトリガーを出す。

1 イベントにかかる処理時間は 40msec 以下とされている。LVL2Accept 信号が DFM に送られると DFM は負荷分散アルゴリズムに従ってデータを受け取る SFI (Sub Farm Input buffer) SFI はイベントビルダーネットワークを介して ROS からデータを受け取り、フォーマットに従ってイベント構築を行う。構築されたイベントは EF に送られるため SFI のバッファに保持される。

3.3.3 EF(Event Filter)

EF はイベントレートを 3.5kHz から 200Hz まで落とすトリガーで、全検出器の完全な情報を用いてトリガー判定が行われる。LVL2 トリガーで選別された事象に対しては、全ての検出器からのヒット情報が衝突バンチごとにまとめられる。EF では、この全検出器の情報を使用して全領域に対して解析を行い、最終的なトリガー判定を行う。

EF は全体で 1600 台程度の PC で構成される大規模なプロセッサ・ファームであり、幾つかの独立した EFsub farm から構成されている。EFsub farm はスイッチング・ネットワークを介して 1 つまたは複数の SFI に繋がっている。EF Sub farm では EFD(EF Data flow control program) というプログラムが走っており、SFI から完全なイベントデータを受け取り、トリガー判定を行う。EFD は、あるイベントのトリガー判定が終わると、SFI から次のイベントデータを取得して処理を続ける。EF 全体としてのトリガーレートは 200Hz であるが、各 EF sub farm で並列に処理が行われるため、1 イベントにかかる処理時間は 4 秒以下とされている。

EF Accept 信号が出ると、EFD はトリガー判定のために生成された情報に、全検出器の情報を付加して SFO(Sub Farm Output buffer) へとデータを送る、そして送られてきた情報は SFO から Disk に記録される。1 イベントで発生するデータ量は 1.5MByte 程度と見積もられており、最終的に 300MByte/s のデータが記録されてゆく。

第4章 現行のTGCミュオントリガーシステム

TGCはミュオントリガーシステムの中でもエンドキャップに飛来してきたミュオンをトリガーするのに使われている荷電粒子検出器である。TGCの役割は大きく分けて、LVL1ミュオントリガーシステムとしてトリガー判定のための情報を得ることと、MDTが測定できない ϕ 方向の情報を得ることの2つである。この章では私が開発している新しいロジックに含まれる、現行のTGCミュオントリガーシステムについて解説する。はじめにTGCの構造と動作原理や配置、次にTGCを用いた横運動量の測定原理、最後にTGCエレクトロニクスについて説明する。

4.1 TGC(Thin Gap Chamber)の構造と動作原理

TGCはミュオンスペクトロメータを構成する検出器の一部で、エンドキャップのトリガー用の検出器として用いられており、 $1.0 < |\eta| < 2.7$ の領域をカバーする。TGCはエンドキャップを円盤状にカバーするために、台形になっている。また、様々な大きさのものがあり、大きさは配置場所によって異なるが $1 \sim 2m$ で各々 $T1 \sim T11$ と呼ばれる。図4.1でTGCの配置と構造を示す。TGCのアノードには直径 $50\mu m$ の金メッキタングステンワイヤが用いられており、カソードには、ワイヤに近い表面抵抗が約 $1M\Omega/$ のカーボン面と、ワイヤに直交して並べてある1面を32分割した扇形の銅のストリップに挟まれたガラス・エポキシ板が用いられている。アノードのタングステンワイヤは円周方向に、カソードの銅ストリップは動径方向に巡らされており、それによってワイヤでR方向、ストリップで ϕ 方向の2次元での位置読み出しが可能になっている。ワイヤは6～20本(幅にして $10.8 \sim 36mm$)をまとめて1チャンネルとして読み出す。ストリップは1チャンパーに32本あり、それぞれが1チャンネルとして読み出される。

図4.2にTGCの断面図で示されているとおり、ワイヤとカソード間の距離は $1.4mm$ とワイヤ間の幅 $1.8mm$ よりも狭くなっている。ワイヤの間隔が狭いのは電子のドリフト時間を短くし、LHCの $25nsec$ という速いバンチ交差間隔に対応できるようにするためである。ワイヤとストリップの間隔が狭いのは陽イオンのドリフト距離を短くし、粒子が高レートで入射してきても検出効率を落とさないようにするためである。図4.3でTGCの平面図を、図4.4でTGCのワイヤサポートを示す。ワイヤサポートの部分は粒子を検出できない、不感領域となるが、ワイヤが弛みやTGCの歪みを防ぎ、ガスの流路を形成する働きをするので必要不可欠である。

TGCのガスは $CO_2/n-pentane(55/45)$ であり、紫外線を吸収し放電を起こしにくくするクエンチ効果という特性を持つ。このクエンチ効果は、紫外線による2次電子生成を抑制することで放電を防ぎ、放電によるワイヤ、カーボン面への損傷を抑えたりするのに役立っている。

4.1.1 TGCの動作原理

TGCのガス中を荷電粒子が通ると、荷電粒子の電離効果によってガスの成分が電子と陽イオンに分離される。ここで出てきた電子を1次電子と呼ぶ。ここで、アノードとカソード間に電位差をかけてやることで、アノードであるワイヤには電子が、カソードであるカーボン面には陽イオンが引き寄せられる。アノード付近では電場が大きいので1次電子が加速されることで、次の電

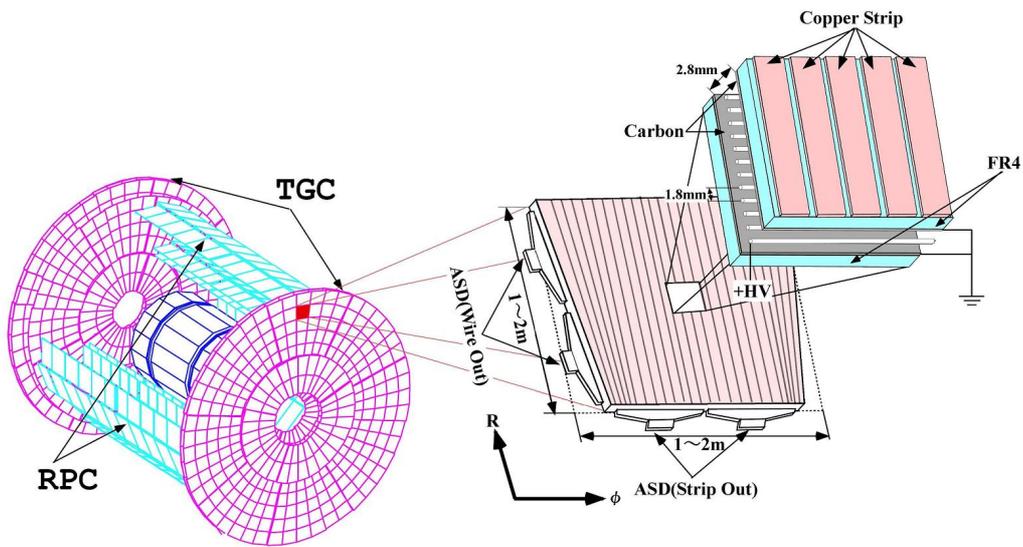


図 4.1: TGC の配置と構造 [12]

ガスギャップ	$2.8 \pm 0.1mm$
ワイヤ間の幅	$1.8 \pm 0.05mm$
ワイヤの直径	$50\mu m$
ワイヤ・カソード間の距離	$1.4mm$
アノード電圧	$2900 \pm 100V$
カソードの電気抵抗	$1M\Omega$

表 4.1: TGC のパラメータ

離効果をもたらし、次々と電離を引き起こして電子雪崩を引き起こす。ワイヤ近傍では電子雪崩によって生成された陽イオンはカソード方向に移動していき、カソード面では陽イオンが引き寄せられる。それによってカーボン面の裏側のストリップに電荷を誘起することでストリップ側の信号を得ることが出来る。

表 4.1 に TGC のパラメータをまとめた。

4.1.2 TGC チェンバー

TGC のチェンバーは図 4.5 で示されるように、ガスギャップ層が 3 層のトリプレットチェンバー (triplet) と 2 層のダブルットチェンバー (doublet) がある。TGC の信号読み出しは、triplet では 3 層のワイヤ面と 2 層のストリップ面から、doublet では 2 層のワイヤ面と 2 層のストリップ面から行われる。多層にすることにより、各層のコインシデンスを取ることでバックグラウンドによる fake 信号を除去できる。また、ワイヤサポートによる不感領域を減らすことも出来る。ここで、トリプレットチェンバーとダブルットチェンバーのワイヤチャンネルは、それぞれ $1/2$ 、 $1/3$ ずつずらして配置されている。これにより不感領域を減らすことができ、実効的な位置分解能を 2 倍、3 倍にすることが出来る。

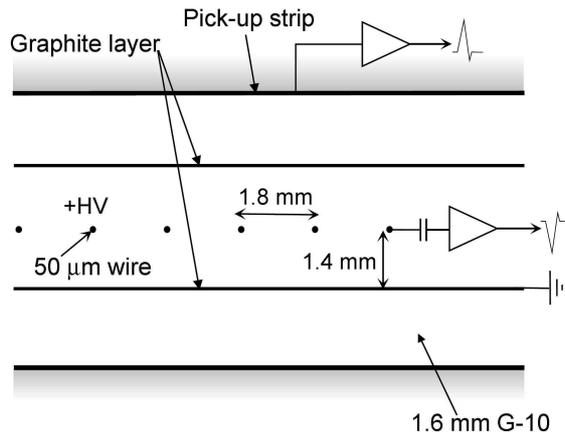


図 4.2: TGC の断面図 [8]

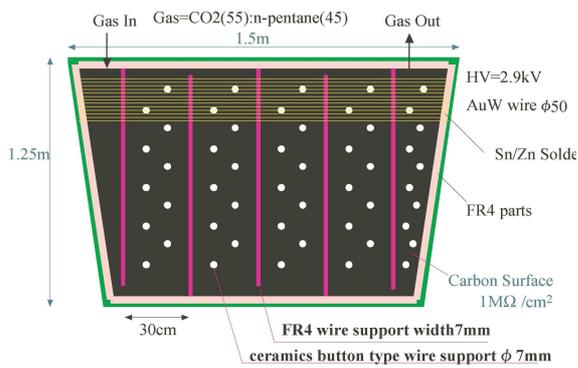


図 4.3: TGC の平面図 [13]

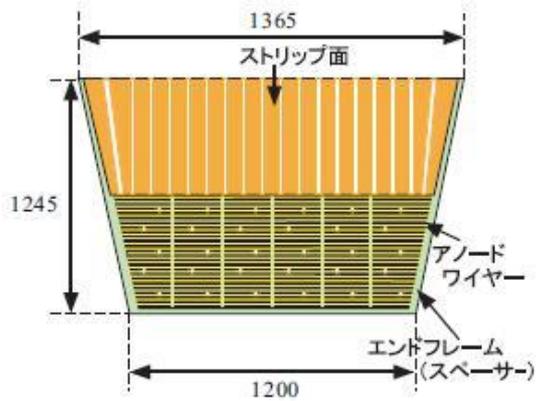


図 4.4: TGC のワイヤサポート [12]

4.1.3 TGC の配置

図 4.6 に TGC の配置を示す。内側の EI(Endcap Inner)、FI(Foward Inner)、外側の M1、M2(middle)、M3(pivot) の 5 つから成り立つ。それぞれ円盤形に配置されており、内側の円を SW(Small Wheel)、外側の円を BW(Big Wheel) と呼ぶ。M1 には triplet、それ以外は doublet が用いられている。この M1、M2、M3 の TGC 層は TGC の層で考えると 7 層であり、内側から T1、T2、T3(M1)、D4、D5(M2)、D6、D7(M3) と呼ばれている。トリガーにはこの 7 層が用いられており EI、FI は現在のトリガーに用いられていない。

図 4.7 に M3(pivot)TGC の配置と区分を示し、以下に BW の区分について解説する。

- セクター
円を ϕ に $1/12$ したもの。
- トリガーセクター
セクターの Endcap 部分を ϕ 方向に $1/4$ 、Forward を ϕ 方向に $1/2$ したもの。1 つの SL(Sector Logic:TGC エレクトロニクスの一部、詳細は後述) が処理する範囲である。

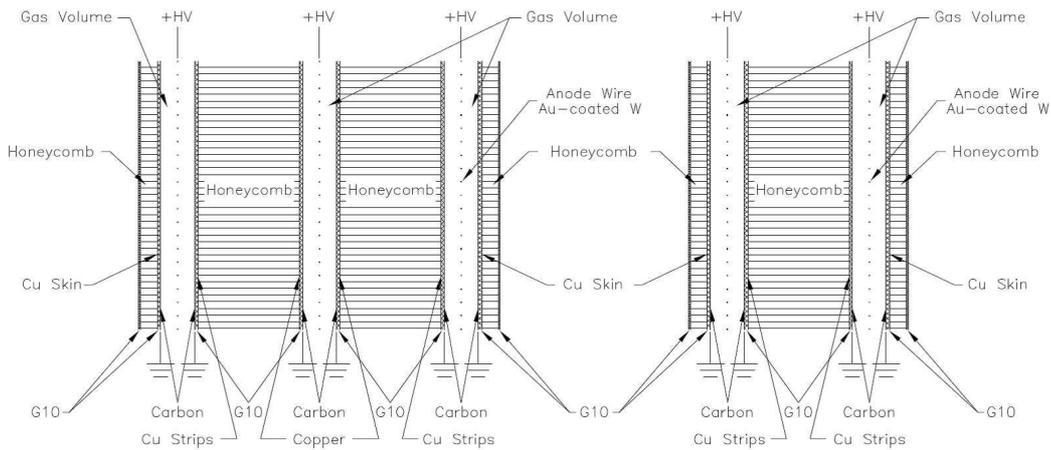


図 4.5: TGC の triplet(左)、doublet(右) [8]

- サブセクター
トリガーセクターを Endcap 部で η 方向に $1/37$ 、 ϕ 方向に $1/4$ 、Forward 部分で η 方向に $1/16$ 、 ϕ 方向に $1/4$ したものをサブセクターと呼ぶ。サブセクターは pivot で 8wire グループと 8strip に対応している。
- RoI(Reason of Interest)
サブセクターと同じ領域を指す。
- octant
円を $1/8$ したもの。Endcap で 6 つ、Forward で 3 つのトリガーセクターに相当する。図 4.8 に octant を示す。
- モジュール
octant のトリガーセクター 1 つをモジュールともいう。octant ごとにモジュール番号がつけられている。図 4.8 の octant に書いてある数字がモジュール番号である。

また、図 4.9 に Inner station の配置を示す。

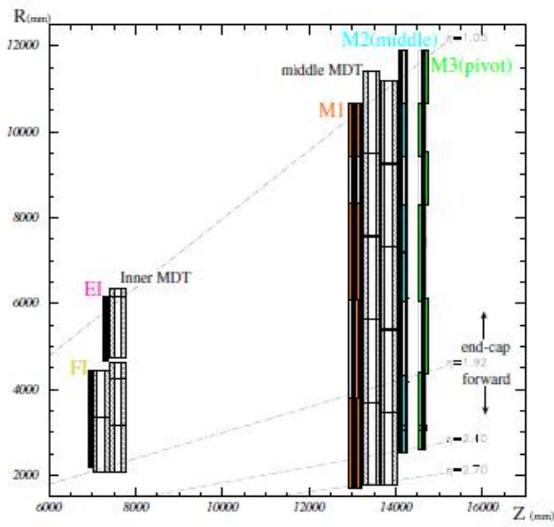


図 4.6: R-Z 平面での TGC レイアウト [12]

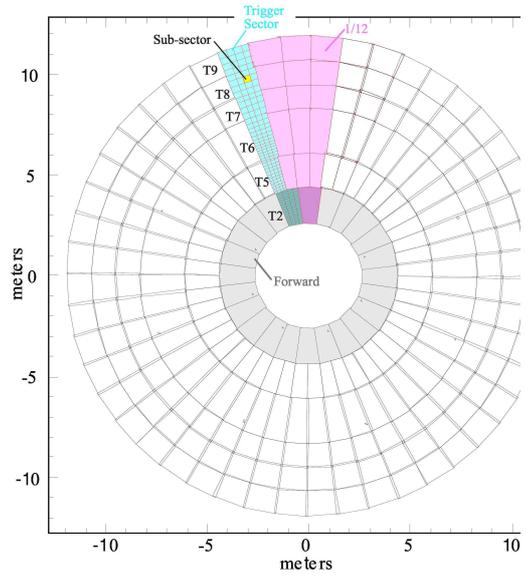


図 4.7: M3(pivot) での TGC 配置と区分 [13]

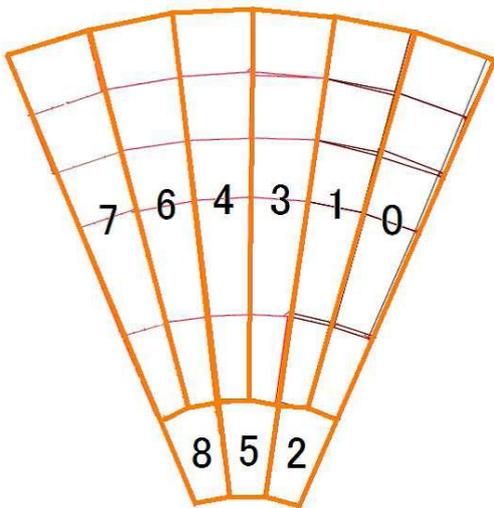


図 4.8: octan とモジュール番号 [14]

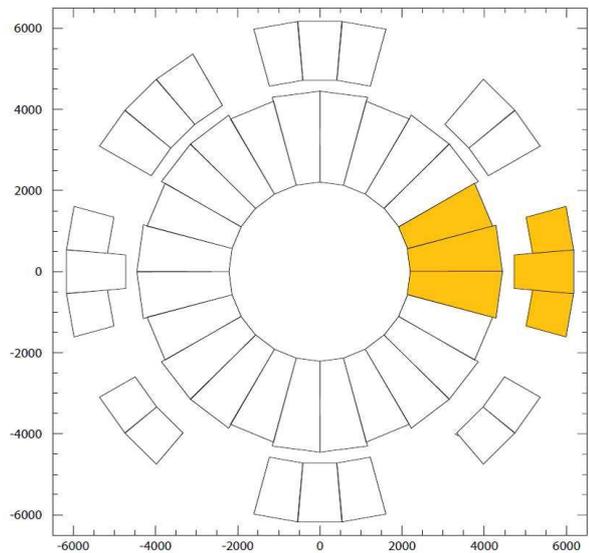


図 4.9: Inner station のレイアウト [13]

4.2 TGC における p_T 測定の原理

ミュオンは磁場中を通ると、その運動量の大きさによって飛跡の曲率が変化することを利用して、その横運動量を測る。図 4.10 に横運動量測定原理の様子を示す。まず、pivot でのミュオンの通過位置とビーム衝突点を結ぶ直線 (Infinite Momentum Line) を考える。この直線は運動量が無限大のときのミュオンの飛跡である。そして、doublet、および triplet で Infinite Momentum Line との交点と、実際に検出された位置との R, ϕ 方向の差 ($\Delta R, \Delta\phi$) を検出する。ここで、トロイダル磁石が理想的な ϕ 方向のみの磁場であれば、 $\Delta\phi = 0$ となるはずだが、実際には一様でなく、R 方向への磁場も存在するので、 $\Delta\phi$ も測定しなければならない。TGC トリガーシステムでは triplet, doublet の $\Delta R, \Delta\phi$ を用いて横運動量を求める。

TGC のトリガー判定方法を図 4.11 に示す。TGC トリガーシステムには $Low-p_T$ と $High-p_T$ の 2 種類のコインシデンスを用いる。 $Low-p_T$ 判定は pivot と middle の 2 つの doublet を用いて行われる。 $Low-p_T$ 判定は、求められる範囲内にワイヤ面 4 層のうち 3 層のヒットコインシデンス (3 out of 4) と、ストリップ面 4 層のうち 3 層のヒットコインシデンスが取れることが要求される。 $High-p_T$ 判定は $Low-p_T$ 判定で使われた情報と triplet の情報を用いて行われる。 $High-p_T$ 判定は $Low-p_T$ 判定の条件に加えて、求める範囲内で、triplet のワイヤ面 3 層のうち 2 層以上 (2 out of 3)、ストリップ面 2 層のうち 1 層 (1 out of 2) でヒットがあることを要求する。 $High-p_T$ 判定されたものに関しては SL (sector Logic) に情報が送られ、最終的な $R-\phi$ 判定が行われる。このようにして、コインシデンスを取る事によりバックグラウンドによる偶発的なトリガーを抑える工夫がされている。

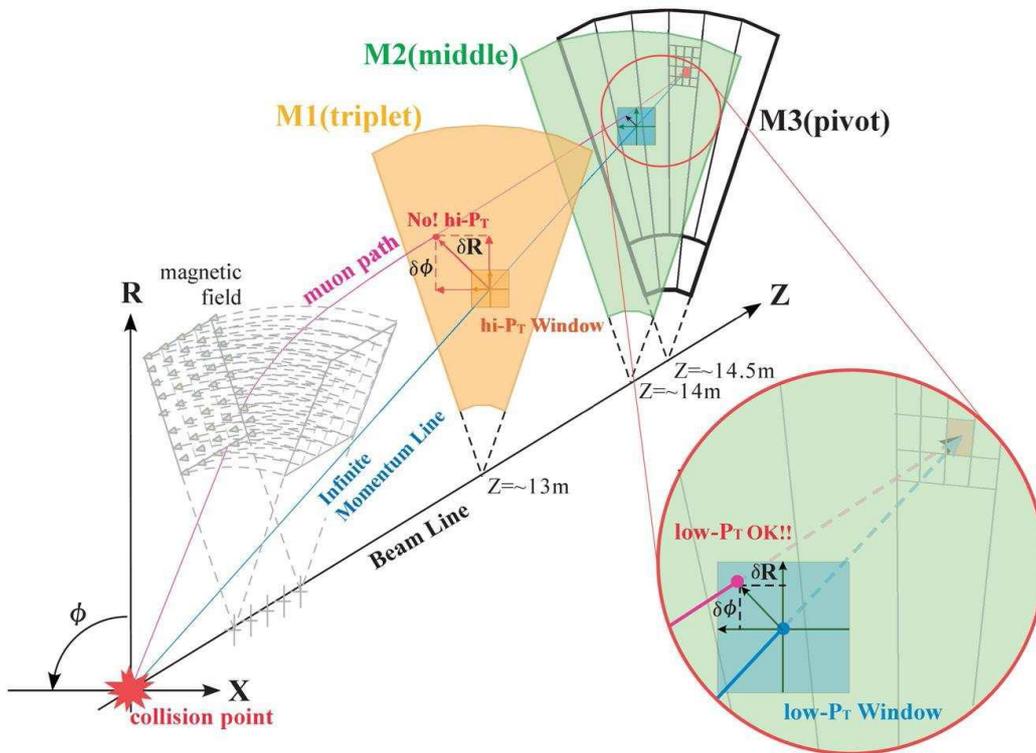


図 4.10: TGC での横運動量測定原理 [12]

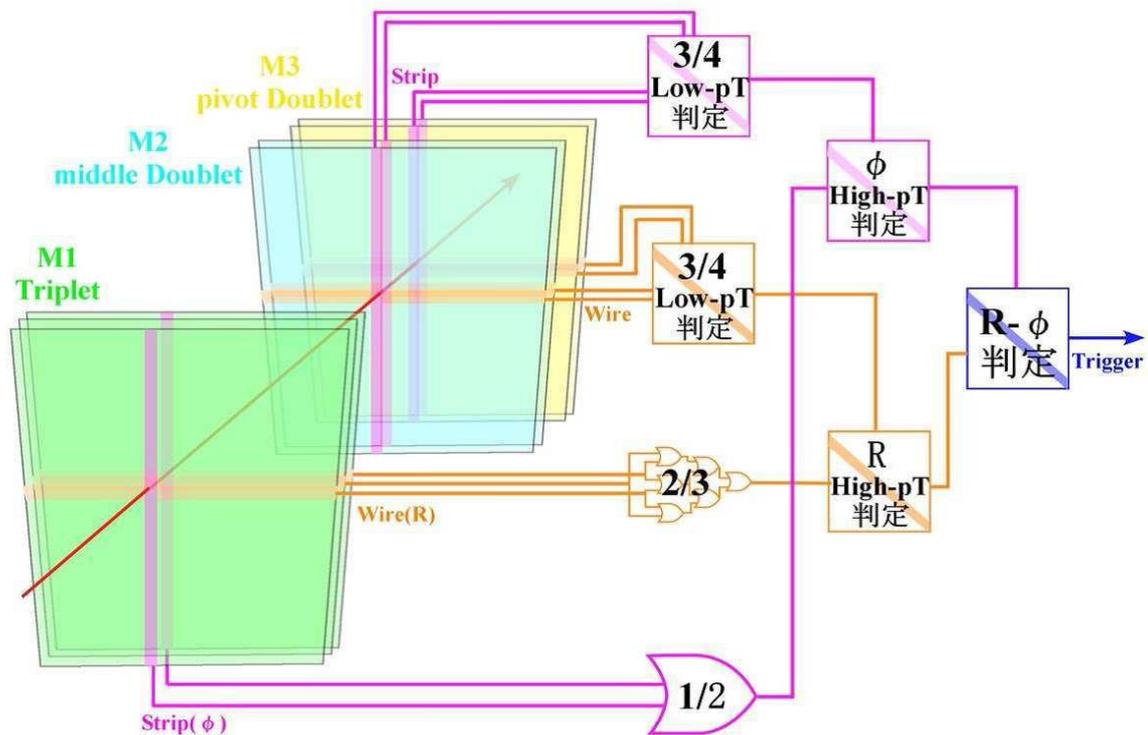


図 4.11: TGC トリガーの判定方法 [12]

4.3 TGC エレクトロニクス

この節では TGC エレクトロニクスについて説明する。システム全体のデータの流れ、エレクトロニクスの配置、TGC エレクトロニクスで使われるモジュールの順で説明する。

4.3.1 システム全体の流れ

図 4.12 に TGC エレクトロニクスの全体図を示す。

TGC でのデータの流れは役割によって以下の 3 つに分けられる。

- トリガー系
LVL1 トリガー判定のためのデータを渡す流れ。図 4.12 に赤線で示されている。
- リードアウト系
L1A が発行に対応してデータを渡す流れ。図 4.12 に青線で示されている。
- コントロール系
TGC エレクトロニクスの各モジュールをコントロールするための情報の流れ。図 4.12 に緑線で示されている。

TGC から出力された信号は ASD (Amplifier Shaper Discriminator) で増幅・デジタル化される。次に PS ボード上にある PP ASIC (Patch Panel ASIC) へと送られる。PP ASIC ではケーブルの

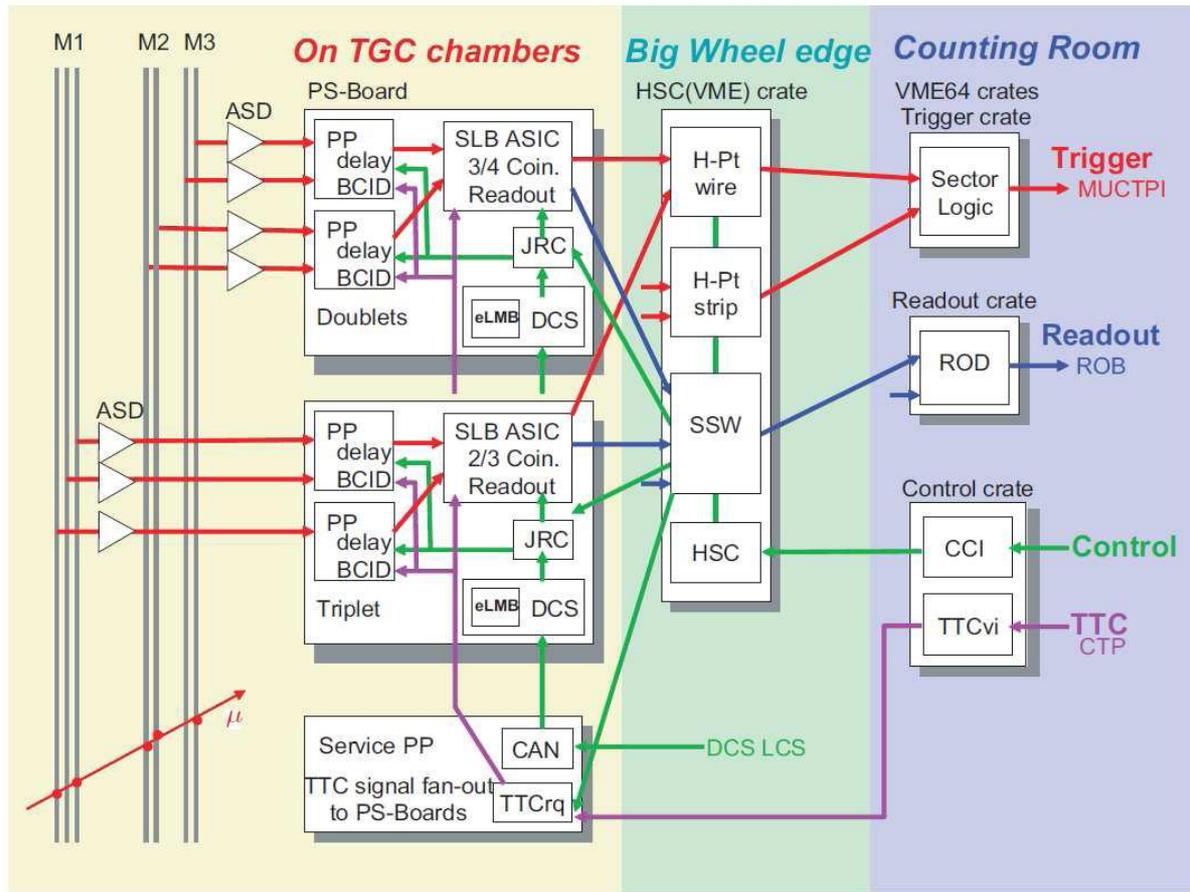


図 4.12: TGC エレクトロニクスの全体図 [13]

Delay などがの効果を相殺し、全ての信号が同期するようにすることで、BCID(パンチ交差の特定)を行う。そして、データはSLB ASIC(Slave Board ASIC)へと送られる。SLB ASICでは $Low - p_T$ トリガーがとられる。そして、そのトリガーはHPT($High - p_T$ Board)へと送られる。ここで、トリガー処理をしている間、データはSLB ASICの中のレベル1バッファに貯められる。トリガー情報はHPTでR方向、 ϕ 方向について、それぞれ $High - p_T$ コインシデンスがとられ、その後SL(Sector Logic)に送られる。SLではR方向、 ϕ 方向の情報が合わさり、MUCTPIに送られる。MUCTPIでは、TGCの情報とRPCの情報を用いて処理が行われて、ミュオン候補の情報をCTPに送る。CTPでは、カロリメーターとミュオンスペクトロメーターの情報を用いてL1Aの有無を決定し、L1AをTTCに送る。SLB ASICがTTCを介してL1Aを受け取ると、SLB ASICに溜めてあったデータはSLB ASIC内のデランダムマイザを通してSSW(Star SWitch)へ送られる。SSWでデータの圧縮を行われ、そのデータはROD(Read Out Driver)を通りROB(Read Out Buffer)に送られる。ここで、HSC($High - p_T$ SSW Controller)やCCI(Control Configuration Interface Board)といったモジュールが、このシステムをコントロールする。

次にこれらの3つのデータの流について解説する。

4.3.1.1 トリガー系

図 4.13 でトリガー系の流れを示す。ASD、PP、SLB、HPT、SL順にデータが渡される。

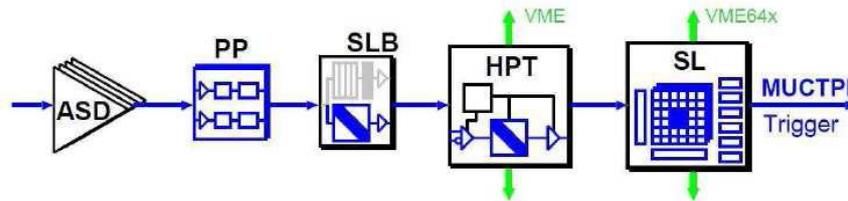


図 4.13: トリガー系モジュール構成 [13]

- ASD
TGCの信号を増幅・整形・デジタル化する。信号はLVDS(Low Voltage Differential Signation)形式で送られる。
- PP
PP ASIC(Patch Panel ASIC)で各チャンネルで粒子が飛来するまでにかかる時間 TOF^1 や、ケーブル遅延などから生じるタイミングのずれを調整する。また、バンチ識別 (Bunch Crossing Identification) も行う。
- SLB
SLB ASIC(Slave Board ASIC)で doublet の 4 層を用いて $Low - p_T$ のコインシデンス処理し、 $Low - p_T$ 判定を行う。また、triplet の 3 層を用いてコインシデンス処理が行われる。
- HPT
SLB ASIC からのコインシデンス処理の結果を元に、 $Low - p_T$ 判定されたものに対して $High - p_T$ コインシデンスの情報が生成される。
- SL
 $High - p_T$ コインシデンスが取れたものに対して、それまで独立に扱っていた、ワイヤ、ストリップの情報を統合させて処理を行い、TGCの最終的な情報として p_T が大きな 2 つのトラックをセクターごとに選び出す。そして、その結果を MUCTPI におくる。

4.3.1.2 リードアウト系

図 4.14 にリードアウト系の流れを示す。ASD、PP、SLB、SSW、ROD の順にデータが渡される。ASD、PP については前述の動作を行うので解説は省く。

- SLB
データは SLB の LVL1 バッファに蓄えられて、L1A が来るのを待つ。L1A を受け取ったら、L1A を受け取ったデータ、その前後の 1 BC のデータをデランダムマイザを通じて送る。また、L1A を受け取ったデータ、その前後の 1 BC のデータのトリガー情報も全て SSW に送る。

¹Time Of Flight

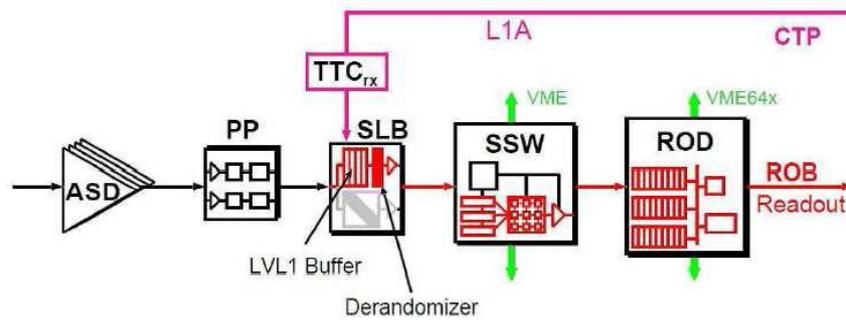


図 4.14: リードアウト系モジュール構成 [13]

- SSW
SSW はマルチプレクサとして複数の SLB からのデータをまとめ、データの圧縮を行い、G-Link²を通して ROD にデータを送る。
- ROD
ROD では複数の SSW のからの情報を収集し、それらのデータと TTC から送られてくる情報との整合性を確認して ROB にデータを送る。

4.3.1.3 コントロール系

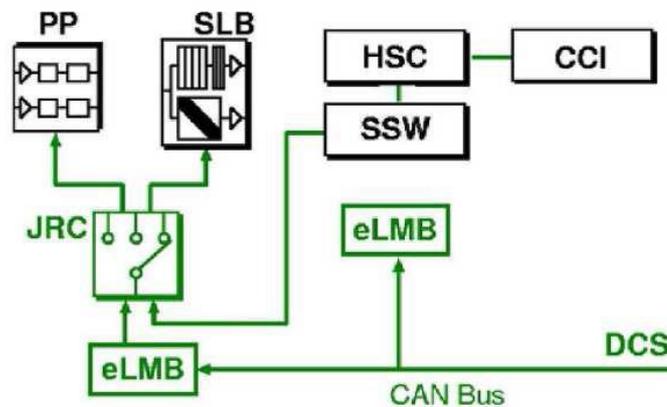


図 4.15: コントロール系モジュール構成 [13]

図 4.15 にコントロール系の流れを示す。

- DCS
ATLAS 実験で各検出器の制御と監視を統一的方法で行うためのシステムである。プロセッサである eLMB(embedded Local Monitor Box) や ADC、DAC(Digital-Analog Converter) を備えている。TGC の DCS は主に温度管理や電源の供給を行う。

²1~2Gbps を満たすために、ヒューレッドパッカードによって開発されたシリアル-パラレル変換及びシリアル通信の規格

- CCI(Controll Configuration Interface Board)
実験室外にあり、HSC を介して HPT/SSW が搭載される VME クレートをコントロールする。また、SSW を介して PS Board 上の PP ASIC/SLB ASIC の設定を行う。
- JRC(JTAG Routing Controller)
PS Board 上にあり、設置され、JTAG プロトコルの PP ASIC/SLB ASIC への経路選択を行うために設置されている。

4.3.2 TGC エレクトロニクスの配置

図 4.16 で TGC の配置を示す。

TGC エレクトロニクスは TGC 側面に直接取り付けられている ASD 以外に大きく 3 つの場所に分けられて設置されている。1 つ目は TGC 検出器のすぐ側の PS Pack(PS Board をまとめたもの)、2 つ目は BW の端、3 つめは USA15 と呼ばれるコントロールルームである。PS Pack には BW の端には HSC、HPT、SSW が搭載された HSC クレートが設置されている。この HSC クレートはセクターごとに 1 つ設置されている。この 2 つは、USA15 と呼ばれる実験ホールに設置されており、強い放射線下に置かれるため放射線耐性が求められる。

USA15 は実験ホールから 90 ~ 100m 離れた場所であり、SL、ROD、CCI などが設置されている。ここは放射線を受けないので FPGA などの ASIC に比べ比較的放射線に弱いものが置かれる。

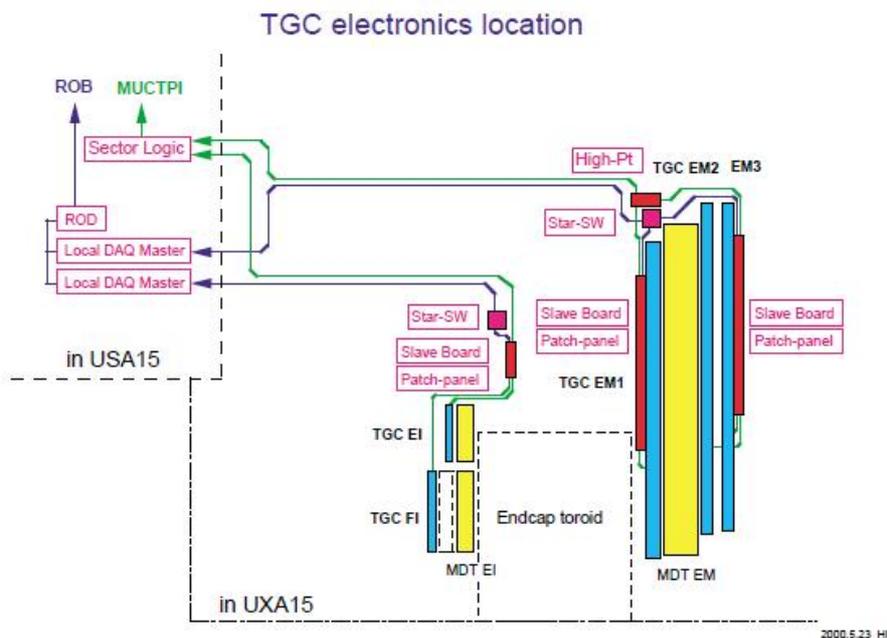


図 4.16: TGC エレクトロニクスの配置 [15]

4.3.3 TGC エレクトロニクスの詳細

4.3.3.1 ASD Board

ASD Board は TGC の側面に取り付けられており、TGC の波形を増幅、整形し、デジタル化する役割を担う。閾値電圧を超えた信号だけを LVDS 信号として出力する。また、ASD Board 以降

のエレクトロニクスの動作チェックや、タイミング調整のために PP からのテストパルスを受け取ることも可能である。ASD Board には ASD ASIC が 4 つ設けられており、ASD ASIC 1 つで 4 チャンネルを処理するので ASD Board 1 つで 16 チャンネル分処理をすることが出来る。

4.3.3.2 PP ASIC(Patch Panel ASIC)

PP ASIC は最大 18 個の ASD Board の信号を受けることができ、ASD からの信号のタイミング調整とバンチ識別、さらにはオーバーラップした部分のダブルカウンティングの解消を行う。図 4.17 に PP ASIC のブロック図を示す。

ASD から送られてくる信号は TOF やケーブル遅延などで到達時間は必ずしも揃わない。そこで、ASD からの LVDS 信号を LVDS レシーバーにより CMOS レベルの信号に変換したものを可変 delay によって $0 \sim 25nsec$ の範囲で各チャンネルに delay をかけることでタイミングの調整を行う。この可変 delay は $25/28nsec$ 単位で調整が可能になっている。タイミング調整された信号は BCID(バンチクロッシング IC) 回路で LHC clock と同期が取られバンチ識別が行われる。また、PP ASIC は ASD Board に向けてテストパルスを発生させるための回路も搭載されている。

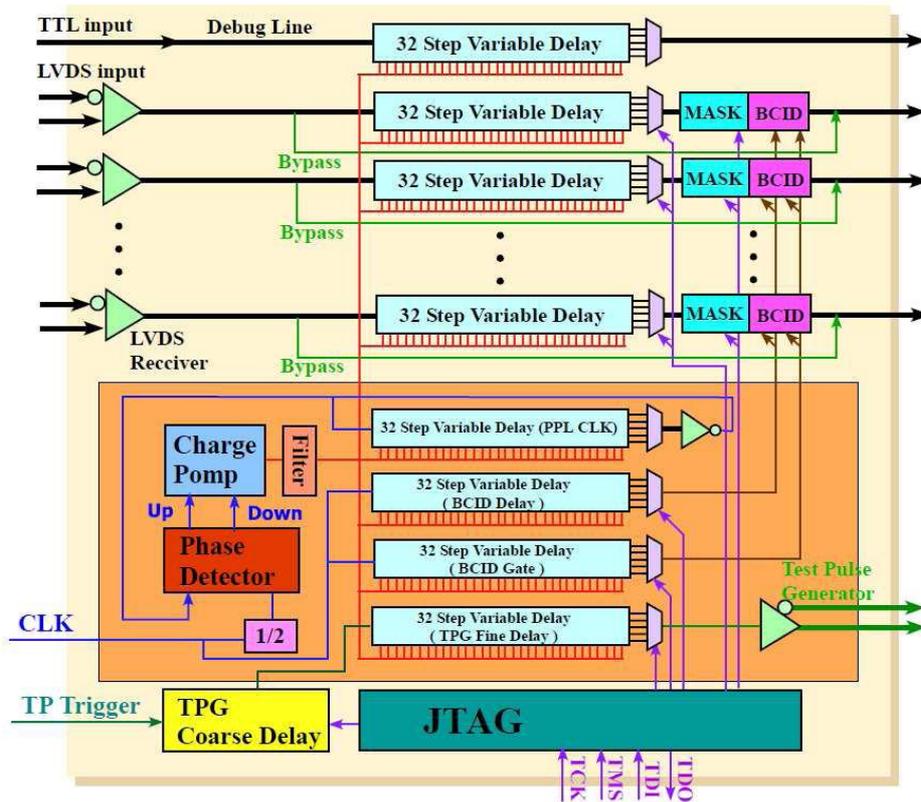


図 4.17: PP のブロック図 [12]

4.3.3.3 SLB(SLave Board)

SLB ASIC は大きく分けてトリガー系の部分とリードアウト系の部分からなる。ここではそれらを分けて説明する。

- トリガー系

TGC からの入力信号に対してコインシデンス処理を行う。コインシデンスの処理の方法は doublet wire, doublet strip, triplet wire, triplet strip, EI/FI の 5 種類あり、これらにあわせて設定を切り替えることができる。doublet については wire, strip とともに 3 out-of 4 のコインシデンスをとり、さらに $(\Delta R, \Delta \phi)$ を求めて、 $Low - p_T$ 判定を行う。図 4.18 で SLB ASIC での 3 out-of 4 のコインシデンス処理のブロック図を示す。triplet については wire で 2 out-of 3、strip で 1 out-of 2 のコインシデンス処理が行われる。図 4.19 で SLB ASIC の 2 out-of 3 のコインシデンス処理、図 4.20 で SLB ASIC の 1 out-of 2 のコインシデンス処理のブロック図を示す。EI/FI ではミューオンが通過したかどうかのヒット情報のみが取られる。図 4.20 で SLB ASIC の EI/FI のコインシデンス処理のブロックを示す。また、PP ASIC からの信号に $1/2\text{clock}$ 単位で delay をかける機能や、各チャンネルをマスクする機能、連続したチャンネルにヒットがあったときにその中の一つのチャンネルから信号を 1 つだけ選び出す機能 (デクラスタリング) も持つ。図 4.21 にデクラスタリングについての説明を示す。

- リードアウト系

LVL1 トリガーの判定を受けたデータの読み出しを行う部分である。主に LVL1 バッファとデランダムマイザによって構成される。TGC からのデータは L1A が来るまでトリガーデータとともに幅 212bit、深さ 128 段のシフトレジスタに蓄えられる。212bit の内訳は入力データ 160bit、トリガーパートの出力 40bit、バンチカウンタ値の 12bit となっている。L1A が与えられると該当するデータをその前後 1 バンチずつの計 3 バンチ分のデータにそれぞれ、イベントカウンタ値の 4bit が付加されてデランダムマイザにコピーされる。デランダムマイザは 3 バンチ分のデータを別々にシリアル変換し SSW に送る。

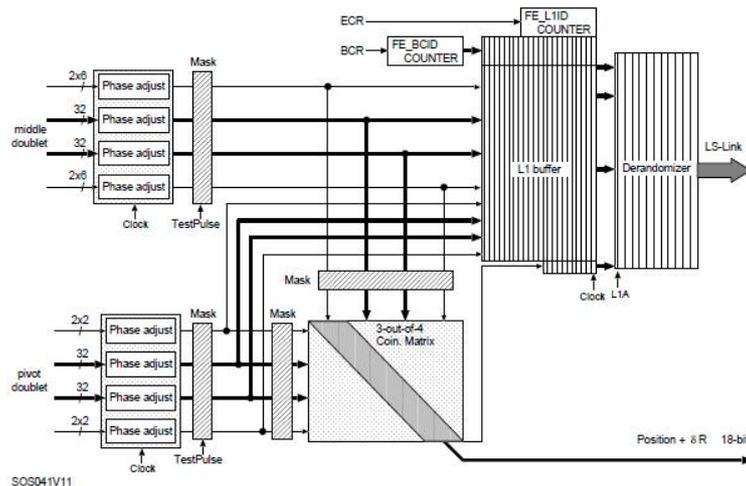


図 4.18: SLB ASIC での 3out-of4 のコインシデンス処理のブロック [15]

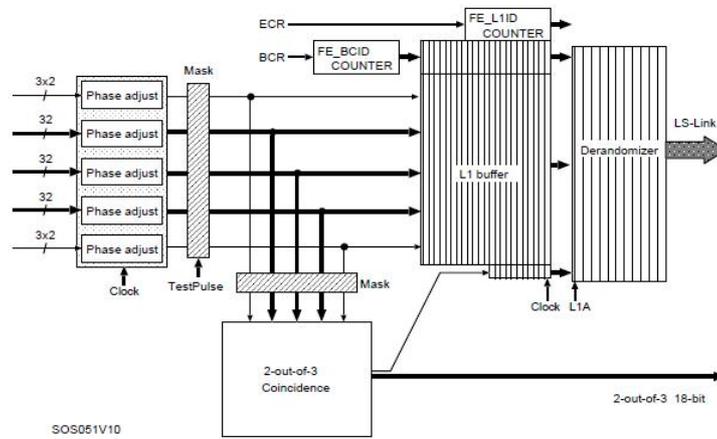


図 4.19: SLB ASIC での 2out-of3 のコインシデンス処理のブロック [15]

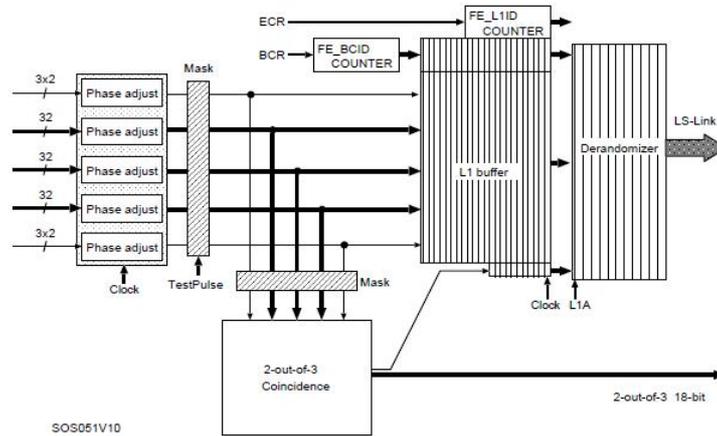


図 4.20: SLB ASIC での 1out-of2 のコインシデンス処理のブロック [15]

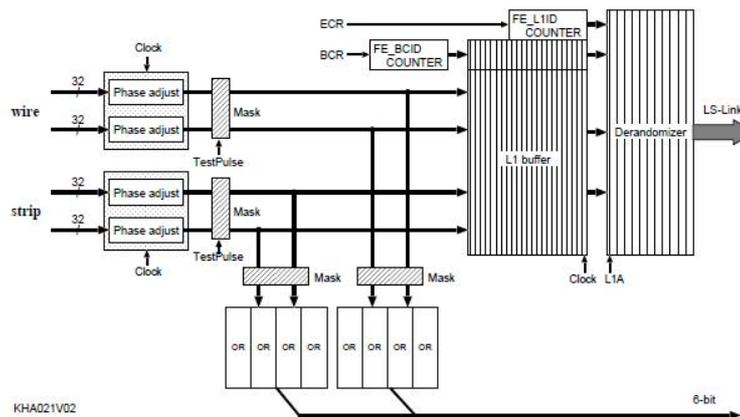


図 4.21: SLB ASIC での EI/FI のコインシデンス処理のブロック [15]

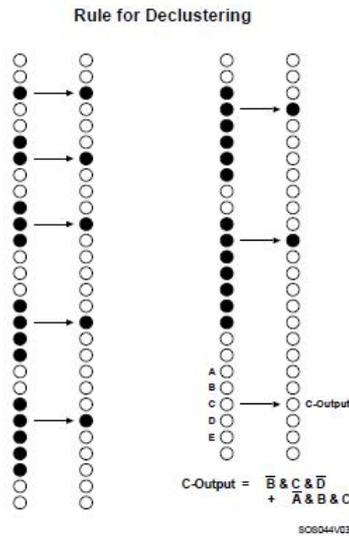


図 4.22: デクラスタリング [15]

4.3.3.4 PS Board

図 4.23 に PS Board の構成図を示す。PS Board には図 4.23 で示されているように PP ASIC、SLB ASIC、JRC、eLMB が搭載されている。まずは ASD から LVDS 信号を PP ASIC で受け、TGC が重なっている領域のダブルカウントを防ぐために OR 論理回路を通して、SLB ASIC に送る。次に SLB ASIC でトリガー系とリードアウト系に分けられる。トリガー系では doublet の情報で $Low - p_T$ 判定と triplet のコインシデンス処理を行った後に HPT にデータをシリアル化して送る。リードアウト系ではデータを SSW ヘシリアル化して送る。また、JRC や eLMB を通じて各モジュールをコントロールする役割も持ち、SPP(Service Patch Panel) という TTC の信号を受信するモジュールから、LHC clock、L1A、テストパルスなどのトリガー信号を受けとる。

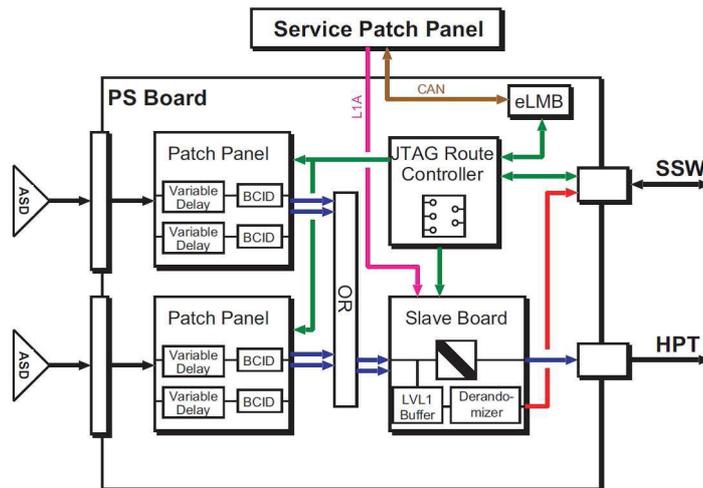


図 4.23: PS Board の構成図 [13]

4.3.3.5 PS Pack

PS Pack は複数の PS Board と 1 つの SPP がまとめられたモジュールである。triplet の前面と doublet の後面に設置される。PS Pack は TGC1/12 ごとに設置されている。図 4.24 に PS Pack の構成と配置を示す。

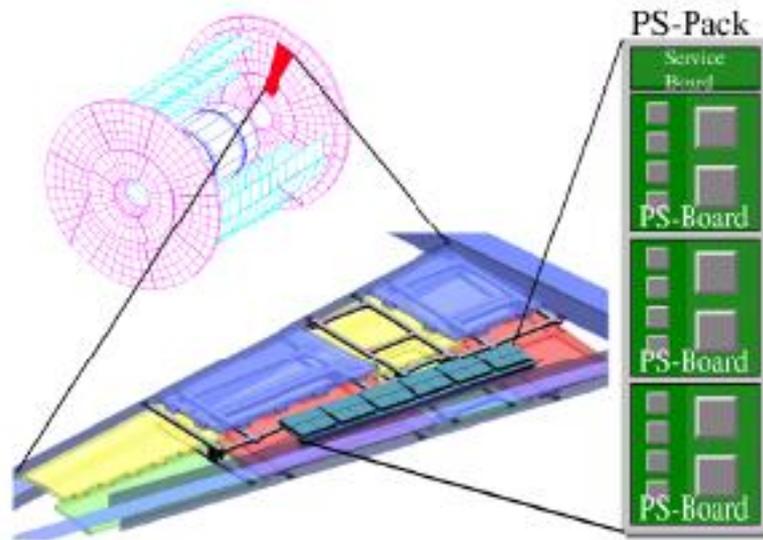


図 4.24: PS Pack の構成と配置 [12]

4.3.3.6 HPT(High- p_T Board)

HPT は SLB で $Low-p_T$ 判定された triplet と doublet の情報を用いて $High-p_T$ 判定を行い、 $High-p_T$ コインシデンス情報を生成する。HPT は PS Board から送られてきた LVDS 信号をパラレル信号に変換する。HPT では SLB ASIC までは独立に処理されてきた doublet と triplet の信号を統合する。triplet は doublet よりも衝突点に近く、doublet よりも離れた位置に設置されている。そのおかげで、triplet でのミュオンの通過位置と、triplet とビーム衝突点を結ぶ直線 (Infinite Momentum Line) の交点との距離を測ることで、 p_T の大きさを測定できる。HPT はワイヤとストリップは独立に処理され、 $(\Delta R, \Delta\phi)$ を出力する。出力されたデータはシリアルライズされ、オプティカル信号に変換されてコントロールルーム (USA15) の SL に送られる。HPT は Endcap 領域用のワイヤとストリップ用、forward 領域用の計 3 種類作られる。Forward 領域用には 3 つ、Endcap 用には 4 つの HPT ASIC が搭載される。図 4.25 にワイヤ用 HPT のブロック図を、図 4.26 にストリップ用のブロック図を示す。

4.3.3.7 SL(Sector Logic)

SL は TGC エレクトロニクスシステムのトリガーデータが最終的に集められるモジュールであり、2 トリガーセクタ分の信号を処理する。SL は $R-\phi$ coincidence、Pre track Selector、Final track Selector から構成される。まずは HPT から送られてきたオプティカル信号を受け取り、電気信号に変換した後パラレル変換する。そして HPT から送られてきた R 方向と ϕ 方向のコインシデンス

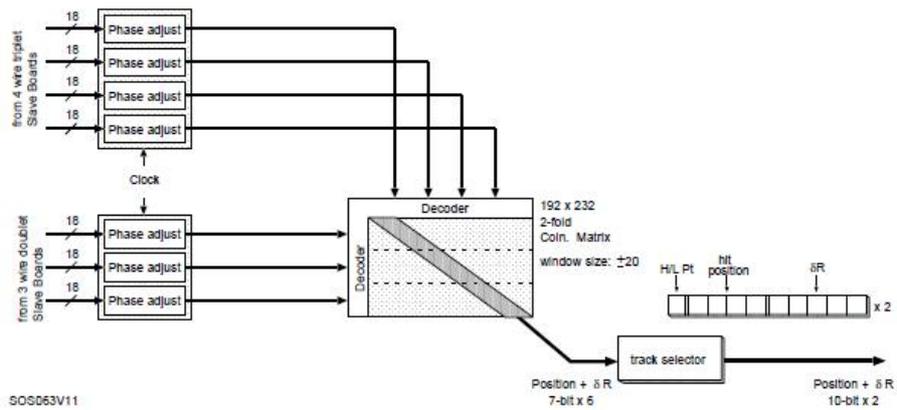


図 4.25: ワイヤ用 HPT ブロック図 [15]

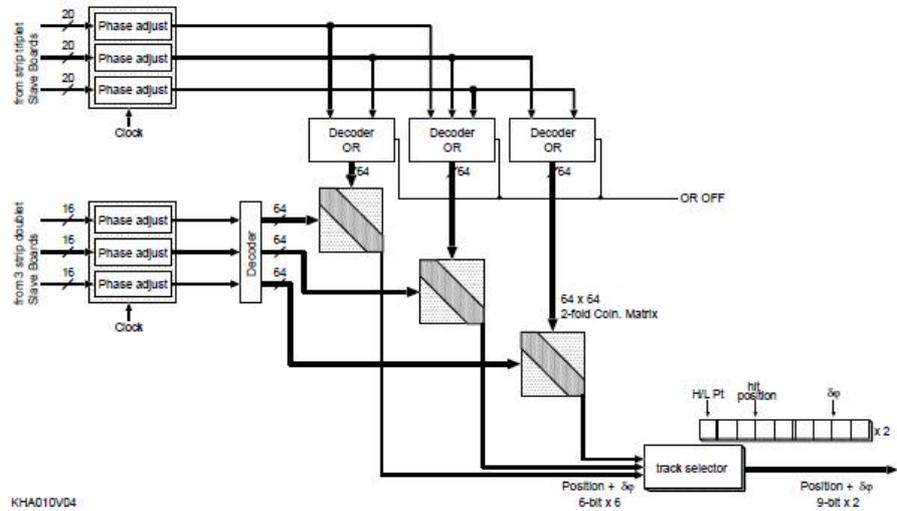


図 4.26: ストリップ用 HPT ブロック図 [15]

をつくることでトラックを構築する。それらのトラックを SSC(Sub Sector Cluster)³ごとに 6 段階の p_T 閾値によって分類する。探索する物理により実験中に自由に値を変更する能力が要求される。SL では閾値はシミュレーションから作られた $\Delta R, \Delta\phi$ の対応表であるコインシデンスマトリクスを変更することで行われ、これは書き換え可能な FPGA の LUT (Look Up Table) によって実装される。Track Selector は Pre Selector と Final Selector の 2 種類に分類される。Pre Selector は 6 段階の p_T で判定のそれぞれに用意され、それぞれ R の大きい順に 2 つのトラックを選択して、最大で計 12 トラックが Final Sector に送られる。Final Sector では Pre Selector から送られた 1 トリガーセクターから p_T 大きいものを 2 つ選択して、6 段階の p_T 判定と位置情報を MUCTPI に送る。SL が処理に使用した HPT からのデータと、SL での処理の結果は SL に搭載されている、SLB ASIC よりから USA15 に設置された SSW に送られる。図 4.27 に SL の処理のブロック図を示す。

³R 方向に 2 つ、 ϕ 方向に 4 つのサブセクター (RoI) を集めたもの

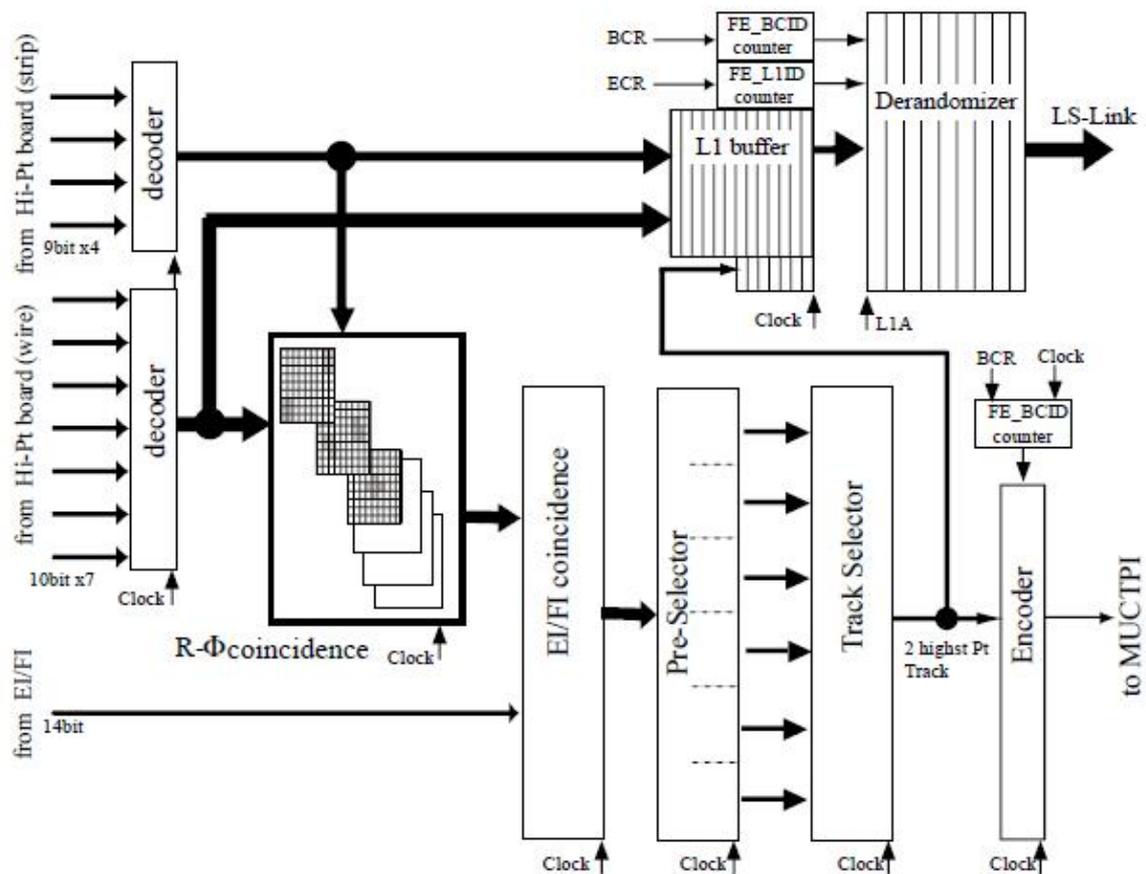


図 4.27: SL ブロック図 [15]

4.3.3.8 SSW(Star Switch)

SLB から送られてくるデータを圧縮し、ROD に送るデータ量を減らすことで、効率の良く読み出しできるようにする役割を担う。1つのSSWでは最大23個のSLBのシリアル化されたデータを受け取る。SSWはまず、SLBから送られてくるシリアル化されたデータをパラレルに変換し、データの圧縮を行い、フォーマットする。そして、フォーマットされたデータはシリアル化され、オプティカル信号に変換されてUSA15のRODに送られる。また、SSWはPS Board上のPP、SLBに対しJTAGプロトコルでのレジスタ設定、 I^2C 通信を用いたTTCrx⁴のモジュールの設定も行う。図4.28にSSWを示す。

4.3.3.9 ROD(Raed Out Driver)

TGCエレクトロニクスシステムの中でリードアウトのデータが最終的に集まるモジュールである。RODは複数のSSWからの圧縮データを、シリアル化されたオプティカル信号として受け取り、それを電気信号に戻した後、パラレル変換し、FIFO⁵メモリに一時格納する。トリガー情報をもとに、このデータを同じイベントごとにまとめ、S-Link⁶によってROBに送信される。ま

⁴TTC receiver chip: TTCからのオプティカル信号を電気信号に変換し、各測定器にTTCの信号を伝える機能を担うASIC

⁵First In First Out :先入れ先出し

⁶フロンエンドとリードアウトのエレクトロニクスを繋ぐためにCERNで開発された光信号のリンクモジュール



図 4.28: SSW[12]

た、イベントの同定やヘッダー、トレーラーをつけるために TTC からのトリガー情報が必要となるため TTCrx を搭載したメザニンボードが取り付けられており、TTC からの信号を受けることが出来る。

4.3.3.10 HSC(High- P_T SSW Controller Board)

SSW や CCI、HSC は HPT、SSW と同じ VME⁷クレーン (HSC クレーン) に搭載されており、CCI とオプティカルケーブルで繋がれている。CCI から HSC や SSW に対する信号を受け取り、命令に応じた処理を行い、後に CCI へ返答を返す。また、JTAG バスも搭載されている。

4.3.3.11 CCI(Control Configuration Interface Board)

ローカルホストからの情報を受け取り、命令専用レジスタに格納したあと HSC へと送信する。一方 HSC からの応答は、応答専用レジスタに格納されローカルホストが読み出す。

⁷Vers Mopdule Europe の略で、IEEE で標準化された産業用の標準バス。高エネルギーの分野でも一般的に使われている。

第5章 アップグレード計画

TeV スケールの物理反応データの統計量を増やすためにデザインルミノシティを上げる LHC のアップグレードが計画されている。それに伴い ATLAS もアップグレードすることが予定されている。

この章では予定されている LHC のアップグレードについて、次に LHC アップグレードによる ATLAS への要求について、そして、ATLAS のアップグレードについて述べてゆく。

5.1 LHC アップグレード

5.1.1 LHC アップグレードの概要

LHC のデザインではビームエネルギー 7TeV、ピークルミノシティは $1 \times 10^{34} \text{cm}^{-2} \text{s}^{-1}$ であるが、現在はビームエネルギー 3.5TeV、ピークルミノシティは $3 \times 10^{33} \text{cm}^{-2} \text{s}^{-1}$ で運転を行っている。LHC のアップグレードでは、改良を phase0、phase1、phase2 と行い、徐々にピークルミノシティを高めていき、2022 年のアップグレードで $5 \times 10^{34} \text{cm}^{-2} \text{s}^{-1}$ を実現して、2030 年までに 3000fb^{-1} を貯めることを目的としている。表 5.1 で現在の LHC のパラメータとルミノシティなどを、表 5.2 でアップグレードの時期や目標とするピークルミノシティなどを示す。

	運転期間	重心系エネルギー	ピークルミノシティ	積分ルミノシティ
現在	~ 2011	7TeV	$3 \times 10^{33} \text{cm}^{-2} \text{s}^{-1}$	5fb^{-1}
2012 年	~ 2012	8TeV	$6 \times 10^{33} \text{cm}^{-2} \text{s}^{-1}$	15fb^{-1}

表 5.1: 現在の LHC のパラメーター

	アップグレード時期	重心系エネルギー	ピークルミノシティ	積分ルミノシティ
phase0	2013 ~ 2014	14TeV	$1 \times 10^{34} \text{cm}^{-2} \text{s}^{-1}$	100fb^{-1}
phase1	2018	14TeV	$3 \times 10^{34} \text{cm}^{-2} \text{s}^{-1}$	300fb^{-1}
phase2	2022 ~	14TeV	$5 \times 10^{34} \text{cm}^{-2} \text{s}^{-1}$	3000fb^{-1} (~ 2030 年)

表 5.2: アップグレード後の LHC のパラメーター

5.1.2 ルミノシティ増強のための加速器アップグレード

ルミノシティを高めるために 3 つの方法が考えられている。

1. ビーム収束部へのより強い収束磁石の導入
2. 衝突部にクラブ空洞の導入

3. ビーム強度の増加

である。まず、ルミノシティについて説明し、次にルミノシティを高める方法について簡単に説明する。

ルミノシティは

単位時間あたりに起こる反応数 = 断面積 × ルミノシティ

で定義される量で陽子陽子衝突においては

$$L = \frac{N^2 k_b f}{4\pi\sigma_x\sigma_y} F = \frac{N^2 k_b f \gamma}{4\pi\epsilon_n \beta^*} F$$

$$F = \frac{1}{\sqrt{1 + \left(\frac{\theta_c^2 \sigma_z^2}{4\pi\sigma_x\sigma_y}\right)}}$$

N :各バンチ中の粒子の個数

k_b :バンチの数

f :秒間に周回する回数

ϵ_n :ビームの規格化エミッタンス

β^* :衝突点での β 関数

F :衝突角度(θ_c)の影響

と表される。

1. より強い収束磁石の導入

ビームを絞り込むための磁場をより強いものにするために新しい磁石を導入して、 β^* を小さくすることでルミノシティを高める。これによりルミノシティを1.6倍にすることが出来ると目されている。この磁石の線材の候補に Nb_3Al が挙げられている。

2. クラブ空洞の導入

クラブ空洞と呼ばれるバンチの角度を変更させる超伝導空洞を導入することで、図 5.1 のようにバンチ同士の正面衝突具合を密にすることが考えられている。これにより F を高めることができ、ルミノシティを1.5倍にすることが出来ると目されている。

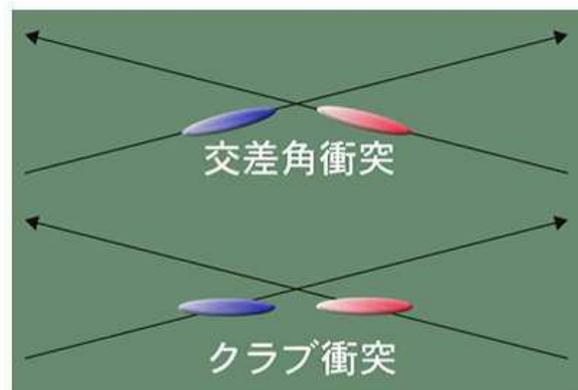


図 5.1: 通常の交差角衝突(上)とクラブ衝突(下) [16]

3. ビーム強度の増加

インジェクターから導入する陽子数を増やして、 N を大きくすることでルミノシティを高めることが考えられている。 $N : 1.15 \times 10^{11}$ を $N : 1.5 \sim 1.7 \times 10^{11}$ にすることで、ルミノシティを 2~3 倍にすることが出来ると目されている。

5.2 LHC アップグレードへによる ATLAS への影響

LHC がアップグレードによって時間当たり処理するデータ量が増加するので、LHC アップグレードに伴い ATLAS もアップグレードすることが計画されている。

LHC のアップグレードによりルミノシティが増加することで、25ns ごとに起こる 1 回のバンチ衝突あたりのイベントレートが増加する。 $L = 2 \times 10^{33} \text{cm}^{-2} \text{s}^{-1}$ のときは 1 バンチ衝突あたり約 5 個の陽子衝突であるが、 $L = 1 \times 10^{35} \text{cm}^{-2} \text{s}^{-1}$ のときは約 400 個もの陽子衝突が起こると予想される。図 5.2 に $L = 2 \times 10^{33} \text{cm}^{-2} \text{s}^{-1}$ のときと、 $L = 1 \times 10^{35} \text{cm}^{-2} \text{s}^{-1}$ のときの衝突のシミュレーションの様子を示す。 $L = 1 \times 10^{35} \text{cm}^{-2} \text{s}^{-1}$ のように高いルミノシティ状態では際立った特徴のイベントのみ観測可能となる。

ここで、バックグラウンドが多くなることから現在使用されていない SW をトリガーに使うことが検討されている。しかし、多くの衝突が起こることから、SW のレートは現状の SW で十分な efficiency を保つことができなくなる 200~300kHz/tube になると予想されている。そこで、この SW の efficiency の問題に対応するために新しい SW である NSW(New SW) を導入することが予定されている。

また、現在の内部検出器は高い放射線量を浴びることになり、 500fb^{-1} ぐらいになると一部の検出器では寿命のために交換する必要がある。

これらの理由から、LHC のアップグレードに伴って ATLAS 検出器もアップグレードする必要がある。

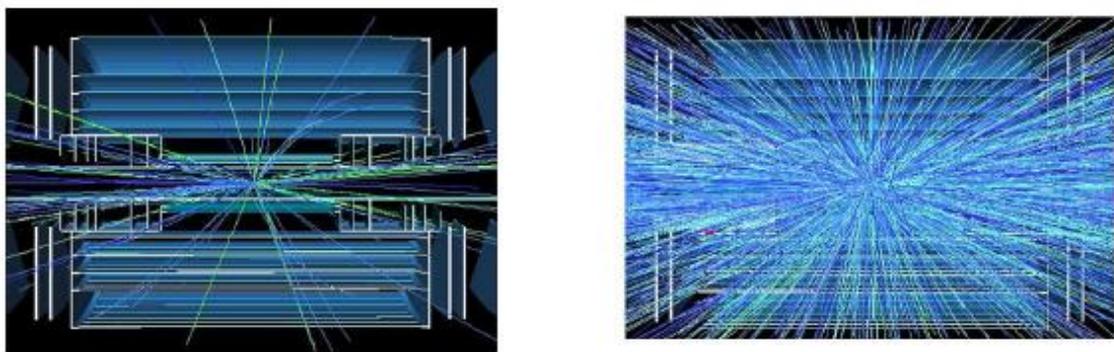


図 5.2: 各ルミノシティでの陽子陽子衝突の様子 (CMS) (左) $L = 2 \times 10^{33} \text{cm}^{-2} \text{s}^{-1}$ 、(右) $L = 1 \times 10^{35} \text{cm}^{-2} \text{s}^{-1}$ [17]

第6章 NSW

ルミノシティがあがるとヒットレートが上昇し、SWに設置されているMDT、CSCの検出効率が低下することが分かっている。その対策としてSWの代わりにNSW(New Small Wheel)を導入する。

このNSWは図6.1で表されるように現在のSWと交換する形で導入される。このNSWは η は $1.2 < |\eta| < 2.4$ をカバーし、 ϕ 方向に16分割して設置されることが決まっている。

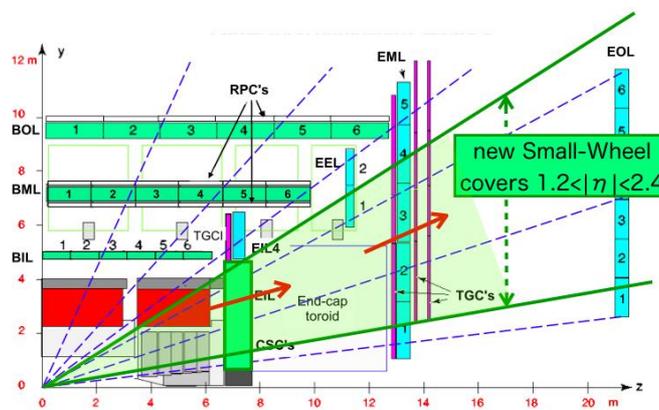


図 6.1: NSW のカバーする領域 [18]

このNSW 検出器として以下の3つの組み合わせが考えられている。

1. small tubes MDT + tracking TGC
2. small tubes MDT + new trigger RPC
3. Micromegas

この章では phase1 アップグレードで導入されるのNSWの3候補の中でも、とりわけ私が研究で取り扱った small tubes MDT を用いた2種類のチャンバーについて重点的に説明する、

6.1 small tubes MDT + tracking TGC チャンバー

このNSWは2つのsTGC(small wheel TGC)層で2つのsMDT(small wheel MDT)層を挟んだ構造になっている。図6.2にsMDT+sTGCチャンバーを示す。この2つのsTGC層の間隔は30cmである。この節ではsMDTとsTGCについての説明とチャンバーの性能について述べる。

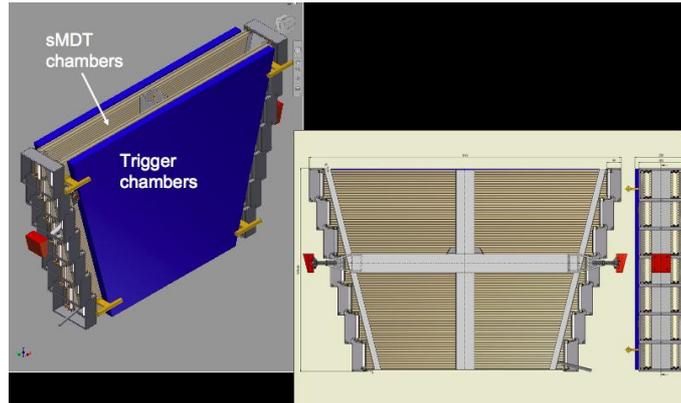


図 6.2: sMDT+sTGC チャンバー [18]

6.1.1 small tube MDT

small tubes MDT は現在の MDT(Monitored Drift Tube) の半径を半分の $15\text{mm}\phi$ にした構造を持つ荷電粒子検出器である。構造や原理については第 3 章で述べた MDT の構造と同じである。sMDT は半径を小さくしたおかげで、MDT に比べて 1 本あたりにあたる粒子の数を減らすことができる。また、電子のドリフト時間を短くできるので単位時間あたりに処理できる信号の数が増やすことができる。これより約 7 倍のレートを処理することが可能である。図 6.3 に MDT($30\text{mm}\phi$) と sMDT($15\text{mm}\phi$) を、図 6.4 に MDT と SMDT の信号の時間分布 garfield¹ によるシミュレーションを示す。また、表 7.1 に MDT($30\text{mm}\phi$) の occupancy と efficiency を表 6.2 に sMDT($15\text{mm}\phi$) の occupancy と efficiency を示す。

η の領域	occupancy	efficiency
low η	31%	73%
middler η	37%	69%
high η	68%	50%

η の領域	occupancy	efficiency
low η	4.2%	96%
middler η	5.0%	95%
high η	9.1%	91%

表 6.1: MDT の occupancy と efficiency 表 6.2: sMDT の occupancy と efficiency

6.1.2 sTGC

sTGC(small wheel TGC) の TGC との変更点は主に以下の 3 つである。

1. カソードの抵抗を $1\text{M}\Omega/$ から $100\text{k}\Omega/$ に減少
2. TGC のストリップとワイヤが測定する位置座標の方向を (ワイヤ面、ストリップ面)=(R, ϕ) から (ϕ, R) に変更
3. ストリップの幅を 3.5mm ピッチに変更

¹ガスドリフトチェンバーに関するシミュレーションソフト



図 6.3: MDT30mmφ(左) と sMDT15mmφ(右) [17]

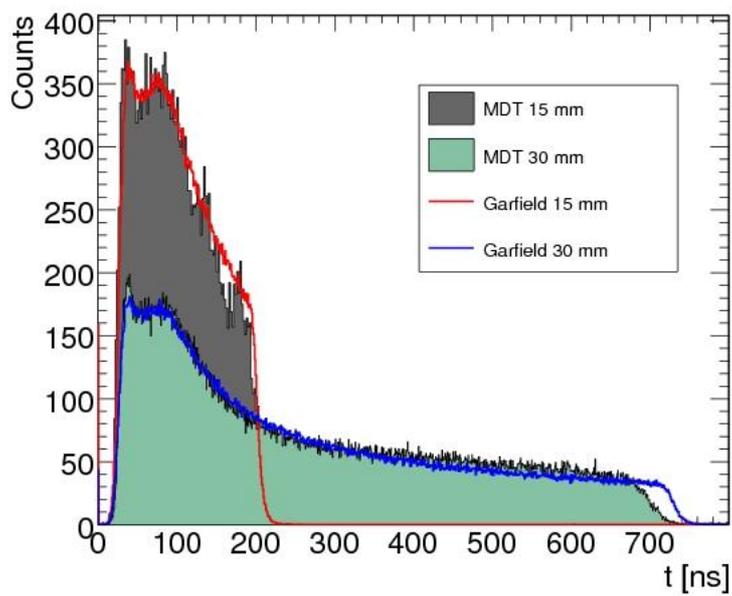


図 6.4: MDT と SMDT の信号の時間分布と garfield によるシミュレーション [19]

1のおかげでレートキャパビリティを $30\text{kHz}/\text{cm}^2$ に高めることができるようになり、2のおかげで sMDT のトリガーに sTGC のストリップのコインシデンスを使えるようになった。また、3のおかげで詳細な R 方向の位置情報を手に入れることができるようになった。

ここで性能についてまとめる。sMDT のおかげで 1000kHz ものトリガーキャパビリティを達成することができるようになった。また、sTGC のおかげで 0.4mrad の θ 分解能、 $100\mu\text{m}$ の R 分解能を達成できるようになった。これらは phase1 アップグレードの LVL1 ミューオントリガーシステムに対する要求を十分に満たしている。

6.2 small tubes MDT + new trigger RPC チャンバー

この NSW は 2 つの mRPC (multi-gap RPC) 層で 2 つの sMDT 層を挟んだ構造になっている。図 6.5 にこのチャンバーの断面図を示す。

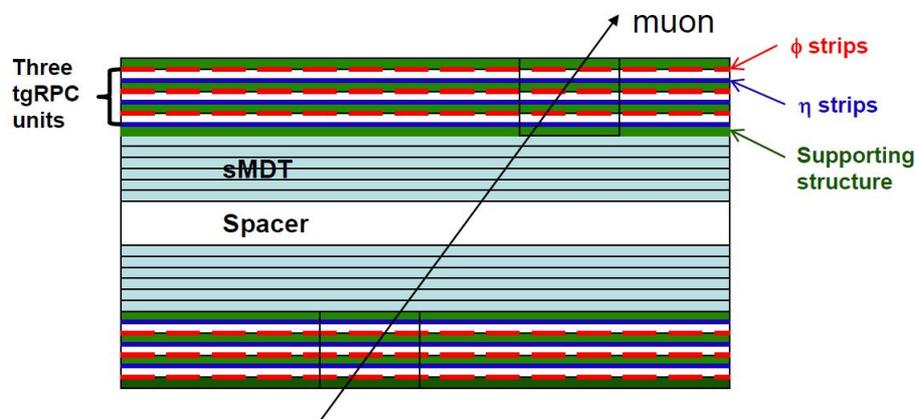


図 6.5: sMDT+mRPC チャンバー [18]

ここで mRPC について説明する。mRPC は RPC と同じ原理で動作し、ほとんど同じ構造を持っている。mRPC と RPC との変更点は主に以下の 2 つである。

1. 2mm のガスギャップ層を 1mm+1mm の 2 ギャップ (アノード+カソード) 構造にする
2. 複数枚の層を持たせる

1のおかげで低いゲイン²で信号を得るので良いレートキャパビリティを得られる。また、2のおかげで高い位置分解能を得ることができる。

これらのおかげで mRPC は $10\text{kHz}/\text{cm}^2$ のレートに耐えられるようになり、ローカルトリガーとして十分な位置分解能を持ち、かつ高速に動作することができるようになった。

これまでのスタディで sMDT+mRPC チャンバーは phase1 アップグレードの LVL1 ミューオントリガーシステムに対する要求を十分に満たすことが分かっている。

² 1 荷電粒子が起こすガス増幅によってアノードで検出される電子

第7章 fake 信号

トリガーを調べた結果、LVL1TGC ミューオントリガーシステムが発行するトリガーの内、fake トリガーが多数を占めることが分かった。これらの fake トリガーの元である fake 信号の原因として次の2つのことが考えられている。

1. 陽子陽子衝突の後に漂う陽子や中性子が磁場領域あたりのビームパイプやマグネットなどに衝突することで発生する粒子 (2 次生成粒子)
2. $z=7\text{m}$ あたりのビームパイプがシールドされていないところから由来する粒子

これらの fake 信号の原因を除去するためにビームパイプのを別の材料のものに交換したり、シールドを強化することが考えられている。また、SW や NSW を使ったロジックによる fake 信号の除去も考えられている。この章では fake 信号による LVL1 ミューオントリガーシステムへの影響や、fake 信号の原因、fake 信号の除去方法について説明してゆく。

7.1 fake トリガーによる影響

図 7.1 に LVL1 ミューオントリガーシステムが出したミュオンの p_T が 20GeV 以上の RoI (以降 L1MU20 と呼ぶ) について調べたグラフを、表 7.1 に η と fake 信号との関係を示す。ここで、fake 信号とは L1MU20 が発行されたもののうち、オフライン解析でミュオン由来でない信号と判断された信号の事を指す。

図 7.1 より Endcap の L1MU20 のほとんどが fake であることが分かる。

	$ \eta < 1.05$	$1.05 < \eta $	合計	割合
L1MU20	705	5650	6355	100%
オフライン解析で RoI のマッチングが取れた数 RoI の	518	1344	1862	29.3%
マッチングが取れ、かつ p_{Tt} が 20GeV 以上の RoI の数	57	69	126	2.0%

表 7.1: L1MU20 の $|\eta|$ と fake 信号の関係性

fake 信号のせいでルミノシティがあがると、現在の LVL1 トリガーシステムが発行するトリガーレートがデザイントリガーレートを超過してしまうことが予見されている。このことに対応するために、fake ヒットの原因を減らすことと、LVL1 トリガーシステムを改良して fake トリガーを抑制することが考えられている。5 章で述べたアップグレードでは、これらのことも実現する。

7.2 fake 信号の原因

この節では fake 信号の原因について説明する。

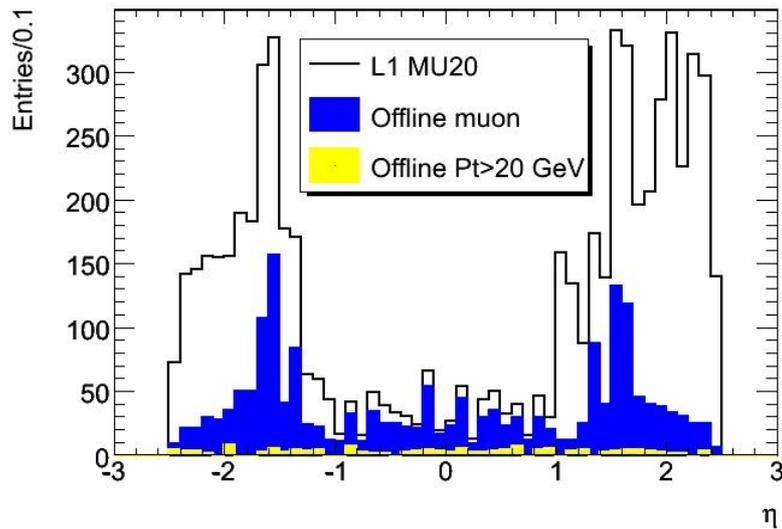


図 7.1: ミューオンの p_T が 20GeV 以上の RoI(L1MU20) について調べたグラフ、白抜きのバーは L1MU20 の数、青のバーはオフライン解析で RoI のマッチングが取れた RoI の数、黄色のバーはオフライン解析で RoI のマッチングが取れた、 p_T が 20GeV 以上の RoI の数 [20]

7.2.1 2次生成粒子による fake 信号

図 7.2 に IP(Interaction Point) 由来ではない粒子が EM(Endcap Middle) で fake ヒットを作る様子を示す。トラック A,B,C はいずれも EM(Endcap Middle) で $High - p_T$ と判断されるが、IP(Interaction Point) 由来のトラックは A のみで B,C は fake 信号である。

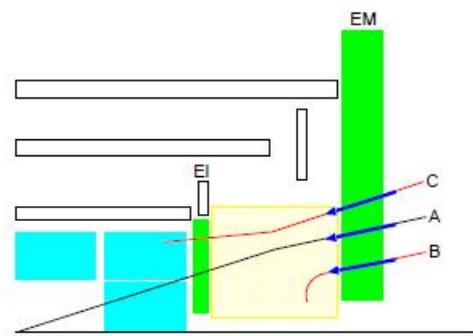


図 7.2: IP 由来でない荷電粒子が fake トラックとなり、fake 信号となる様子 [18]

図 7.3 にトロイダル磁場あたりで生成された 2次生成粒子が fake 信号を作り出す様子を示す。図 7.3 では磁場によってトロイダル磁場あたりで生成された荷電粒子のトラックが曲げられることで p_T が大きいミューオンのトラックと似たトラックが作り出されている様子が分かる。これが TGC の fake ヒットを作り出している。2次生成粒子がこれらのトラックを作り出す原因であるとされている。

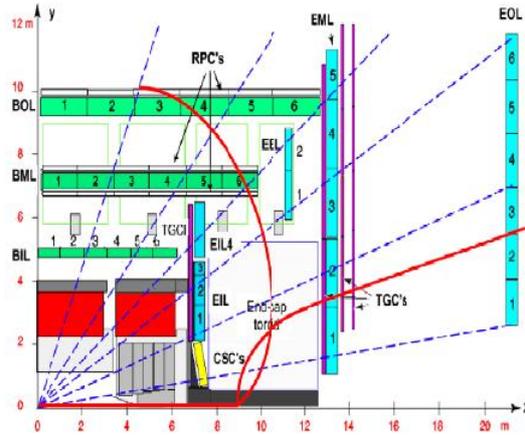


図 7.3: 磁場領域付近で生成された荷電粒子のトラック [19]

7.2.2 ビームパイプがシールドされていないところから由来する粒子による fake 信号

図 7.4 に BI(Barrel Inner:バレル部最内層の SW の一部を構成している MDT) における中性子とフォトンのヒットのグラフを示す。図 7.4 の赤のラインはフォトンのヒット、青のラインは中性子のヒットを示す。

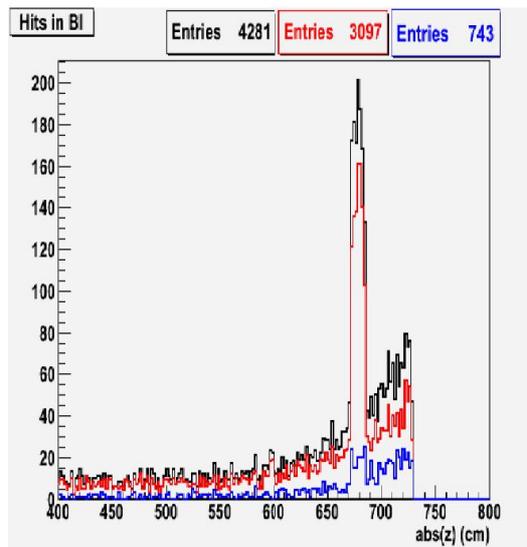


図 7.4: BI のヒットのグラフ、赤のラインはフォトンのヒット、青のラインは中性子のヒットを示す [21]

図 7.4 より、 $z=7\text{m}$ あたりでフォトンや中性子の量が多くなっていることが分かる。これはビームパイプがシールドされていない場所から由来する粒子による信号によるものと考えられている。図 7.5 に $z=7\text{m}$ あたりのビームパイプされていないところからの中性子やフォトンに由来する、TGC における fake トラックを示す。図 7.5 の緑のラインが TGC でヒットを作る中性子やフォトンのトラックで、赤のラインが中性子やフォトンによって生成された荷電粒子のトラックである。

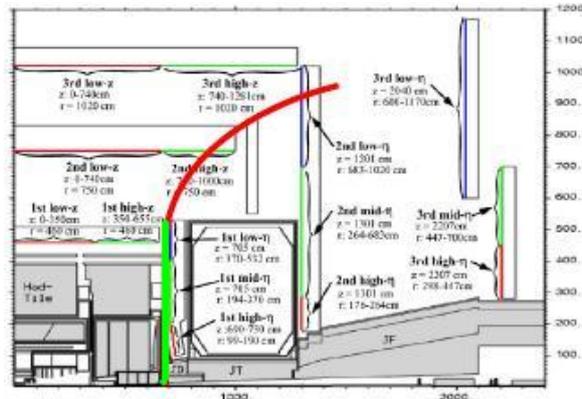


図 7.5: $z=7\text{m}$ あたりのビームパイプがシールドされていないところからの中性子やフォトンが、TGC にヒットするトラック、緑のラインが TGC でヒットを作る中性子やフォソンのトラック、赤のラインが中性子やフォトンによって生成された荷電粒子のトラック [21]

7.3 fake トリガーへの対策とその効果

我々が取り扱っている Endcap 部分での LVL1 ミューオントリガーのトリガーレートを減らすために、前章で述べたアップグレードで対策がなされることが計画されている。

phase0 アップグレードでは

- アルミニウムパイプや追加のシールドの導入
- 現在使われていない SW を使ったロジックの LVL1 ミューオントリガーへの組み込み

によるトリガーレートの抑制が予定されている。

phase1 アップグレードでは

- NSW を使ったロジックの LVL1 ミューオントリガーシステムへの組み込み

によるトリガーレートの抑制が予定されている。

この節ではこれらのアップグレードで期待される効果について説明する。

7.3.1 phase0 アップグレードによって期待される効果

7.3.1.1 アルミニウムパイプや追加のシールドの導入によって期待される効果

陽子陽子衝突の後に漂う陽子が磁場領域あたりのビームパイプやシールドに衝突することで発生する粒子やビームパイプがシールドされていないところから由来する粒子を防ぐために、アルミニウムパイプや追加のシールドの導入が予定されている。パイプをアルミニウムにする理由は、今のステンレスから質量数の小さいアルミニウムにすることで 2 次生成粒子との相互作用を抑えられるからである。また、シールドを導入する理由は、シールドで前衝突で生成された粒子や γ を止めることで fake の源を抑えられるからである。図 7.6,7.7,7.8,7.9 にその効果を示す。

これらの図よりアルミニウムパイプや追加のシールドの導入したときは、 $z=7\text{m}$ あたりの γ フラックスを抑えられることが分かる。

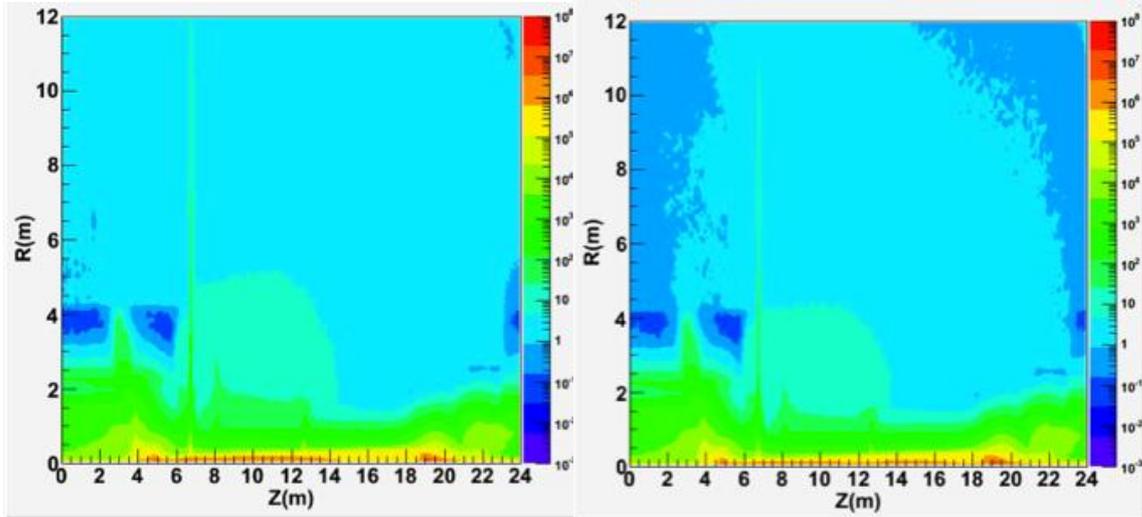
パイプ交換や追加シールドの有無と γ フラックス

図 7.6: パイプ交換なし、シールド無し [22] 図 7.7: パイプ交換あり、シールド無し [22]

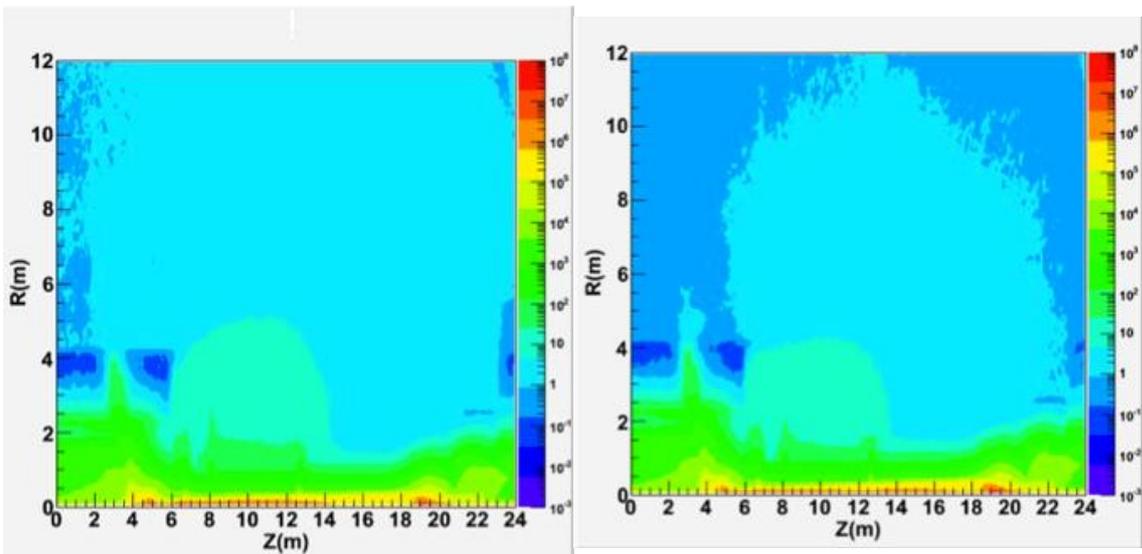


図 7.8: パイプ交換なし、シールドあり [22] 図 7.9: パイプ交換あり、シールドあり [22]

7.3.1.2 SW を使ったロジックの LVL1 ミューオントリガーへの組み込みによって期待される効果

陽子陽子衝突の後に漂う陽子が磁場領域あたりのビームパイプやマグネットに衝突することで発生する粒子は図 7.2 に示されるように SW を通過しないので、SW と BW のコインシデンスを取ることで除去できる。このコインシデンス処理は SW の TGC(EI/FI) の RoI と BW の TGC の RoI とのマッチングを取ることで行われる。図 7.10 で、EI/FI と BW のマッチングをとるロジックを LVL1 ミューオントリガーに組み込んだときの処理の結果を示す。縦軸で数を、横軸で η を示す。黒のラインは L1MU11 の数を、青のラインは EI/FI でマッチングが取れた数を表す。図 7.10 より、SW を使ったマッチングをとるロジックを導入することでトリガーレートを抑えられることが分かる。

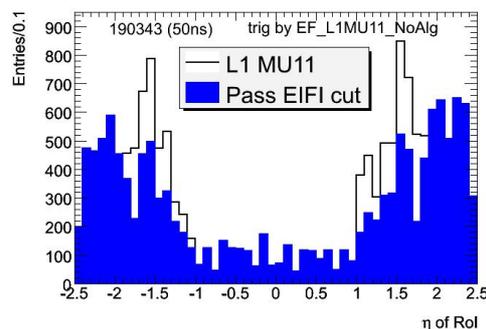


図 7.10: EI/FIcut を LVL1 トリガー組み込んだときの fake トリガー除去の結果 黒のライン:L1MU11 の数、青のライン:EI/FI でマッチングが取れた数 [20]

マッチングを取ったときのリダクションは 81.0%、検出効率は 98.6% である。

7.3.2 phase1 アップグレードによって期待される効果

LVL1 ミューオントリガーシステムの phase1 アップグレードでは SW を NSW に取り替えることが予定されている。NSW にすることで現在の SW の MDT では対応できない高いルミノシティでの動作が可能となる。また、高い θ 分解能のおかげで効率よく 2 次生成粒子などの IP 由来でない粒子による fake 信号を除去できるようになる。この fake 信号を除去するロジックでは $d\theta$ カットと dL カットが行われる。この 2 つのカットその効果について述べる。

7.3.2.1 $d\theta$ カットと期待される効果

$d\theta$ カットとは、NSW との衝突点と IP を結ぶ線がビーム軸と成す角度 (θ_{pos}) と、NSW で測った軌跡がビーム軸と成す角度 (θ_{trk}) の差

$$d\theta = \theta_{trk} - \theta_{pos}$$

を用いてカットすることである。これにより効率よく IP 由来でない粒子による fake 信号を除去することが出来る。図 7.11 に $d\theta$ カットのパラメーターの取り方を示す。ここで、このカットは NSW 上で粒子が検出された動径方向の位置によって、 $d\theta$ の幅を変えてやる必要がある。図 7.12 に実際のデータと MC シミュレーションのグラフを示す。上段が $p_T = 20\text{GeV}$ のミューオンを用

いた MC シミュレーションで、下段が実データで Combined Muon¹ の解析の結果である。図 7.12 より $\eta < 1.4$ のとき $|d\theta| < 20\text{mrad}$ 、 $\eta > 1.4$ のとき $|d\theta| < 10\text{mrad}$ でカットを行えば十分であると分かる。

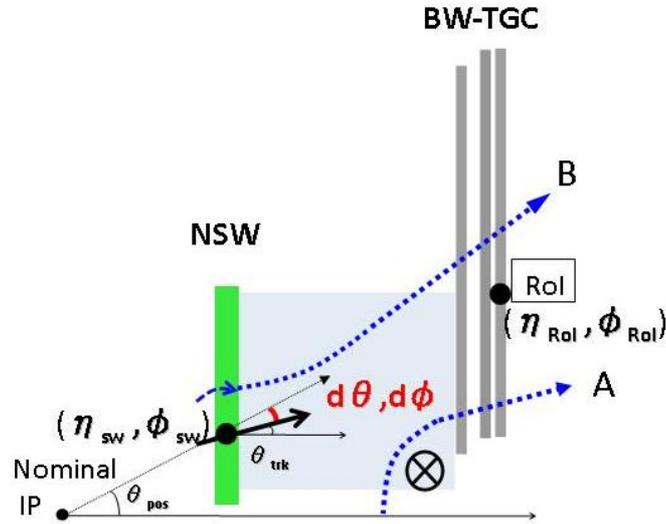


図 7.11: $d\theta$ カットのパラメータの取り方 [23]

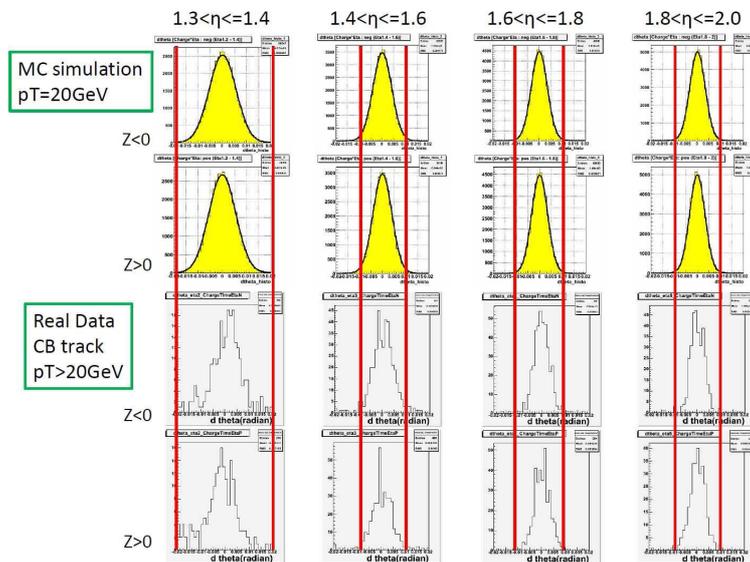


図 7.12: $d\theta$ カット上段が MC シミュレーション、下段が実データ [14]

この η による $|d\theta|$ の違いは NSW は図 7.13 で示されるように $\eta < 1.4$ の範囲でがバレルトロイドの設置されている領域にはみ出して設置されていることによるものである。このことにより $\eta < 1.4$ の領域では、バレルトロイドの磁場を受けて $|d\theta| < 20\text{mrad}$ まで広がってしまう。このカットは NSW だけで完結できるので、NSW のフロントエンドで行われる予定である。

¹ 内部飛跡検出器とミュオン検出器でマッチングのとれたミュオンのトラック

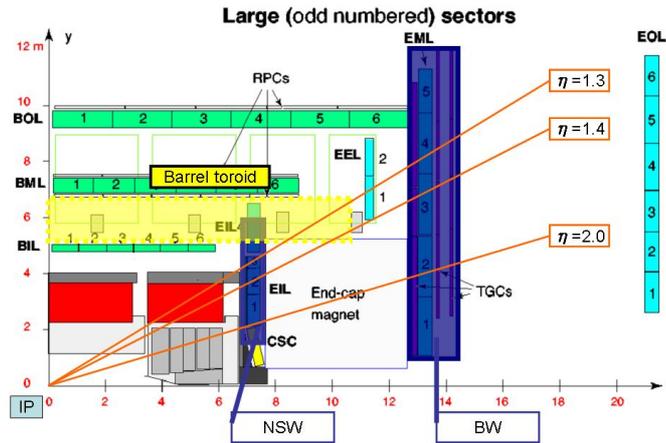


図 7.13: NSW とバレルトロイドとの位置関係

7.3.2.2 dL カットと期待される効果

$d\theta$ カット処理を行ったデータを用いて、NSW の RoI と BW の RoI のコインシデンスを取ること、さらに fake トリガーを減らすことができる。このコインシデンスは NSW の RoI をある程度広げた範囲内に BW の RoI が存在するかどうかのマッチングをとることで行われる。ここで、この NSW の RoI を広げる範囲を定める際に、NSW での RoI と BW での RoI の距離を表している dL を定めて、これをカットに用いた。 dL を、NSW 上で粒子が検出された位置 (η_{SW}, ϕ_{SW}) と BW の RoI (η_{RoI}, ϕ_{RoI}) の差 $d\eta = \eta_{SW} - \eta_{RoI}$ 、 $d\phi = \phi_{SW} - \phi_{RoI}$ を用いて $dL = \sqrt{d\eta^2 + d\phi^2}$ と定義する。

図 7.14 に実際のデータを用いた解析と $p_T = 20\text{GeV}$ のミュオンを用いた MC シミュレーションを示す。左から MC シミュレーション、Combined track、L1MU20 である。赤い線は $dL = 0.1$ を表す。MC シミュレーション、Combined track ではほぼ $dL < 0.1$ 以内に全ての RoI が収まっているのに対して、L1MU20 では dL は広がっていることが分かる。この広がりの部分は IP 由来でない粒子による fakeRoI である。これより dL カットをすることで、多くの IP 由来でない粒子による fakeRoI を落とせることが分かる。

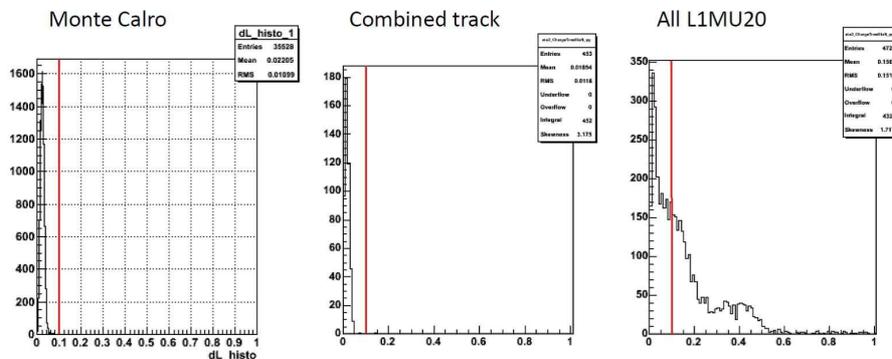


図 7.14: dL の比較 $z < 0, 1.4 < \eta \leq 1.6$ [14]

ここで dL カットをかけるとき、検出効率落とさないよう NSW の RoI と BW の RoI の差を考慮に入れる必要がある。NSW で粒子が検出された位置と BW の粒子が検出された位置の差を MC シミュレーションが行われた。図 7.15 に考慮すべき R 方向の範囲を示す。

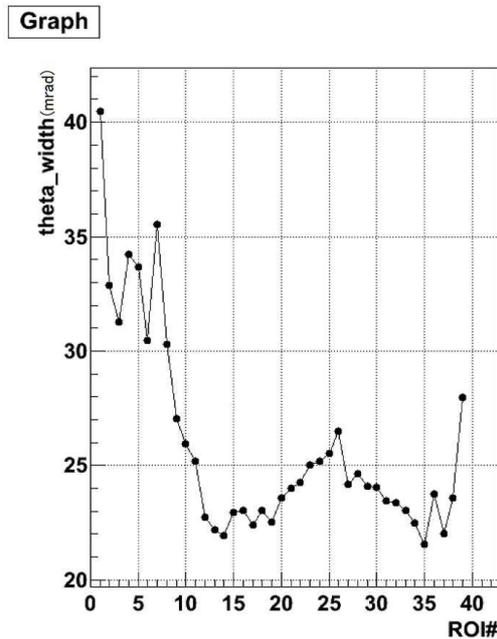


図 7.15: NSW の RoI と BW の RoI を比べる際に考慮すべき R 方向の範囲、縦軸が考慮すべき R の範囲 (mrad)、横軸が Endcap と Forward の RoI を一列に並べたものを外側から順に番号をつけたもの [14]

図 7.15 より、NSW で検出された位置より約 30mrad 程の幅を見れば BW で見ればよいことが分かる。ここで、RoI ひとつの大きさは R 方向に 6 ~ 16mrad 程であるので、R 方向には NSW がさす RoI の位置から ± 2 の RoI を見ればよい。また、 ϕ 方向には NSW で測られた位置から 30mrad 程見ればよいことが分かった。RoI ひとつの ϕ は Endcap で約 33mrad、Forward で約 65mrad であるので、 ϕ 方向には NSW の RoI が差す両隣の RoI を見ればよい。

7.3.2.3 NSW を使った $d\theta, dL$ カットの効果

図 7.16 に L1MU20 の $d\theta, dL$ カットの用いた RoI の数と η との関係性のグラフを、図 7.17 に L1MU20 の $d\theta, dL$ カットの用いた RoI の数と p_T との関係性のグラフを、表 7.2 に η による $d\theta, dL$ カットを用いたときとリダクションと検出効率を示す。ここで Inner_Seg > 0 は Inner station にある MDT の hit の集まりから考えることのできるトラックの有無によるカットである。また、図 7.18 に L1MU20 での各カットによるリダクションへの影響を、図 7.19 に L1MU20 での各カットによる検出効率への影響を示す。

このことから、十分な検出効率を持ったまま大きくリダクションを減らせることが分かる。これは $d\theta, dL$ カットが有効であることを示す。

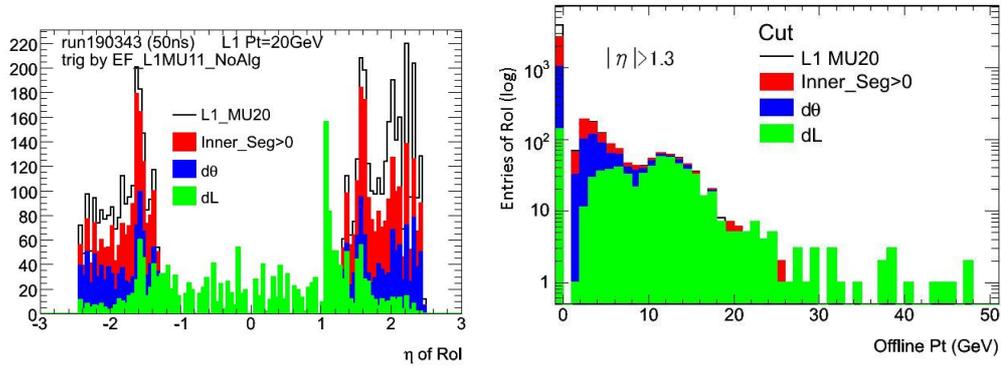


図 7.16: L1MU20 の $d\theta, dL$ カットの用いたときの RoI の数と η [20] 図 7.17: L1MU20 の $d\theta, dL$ カットの用いたときの RoI の数と p_T [20]

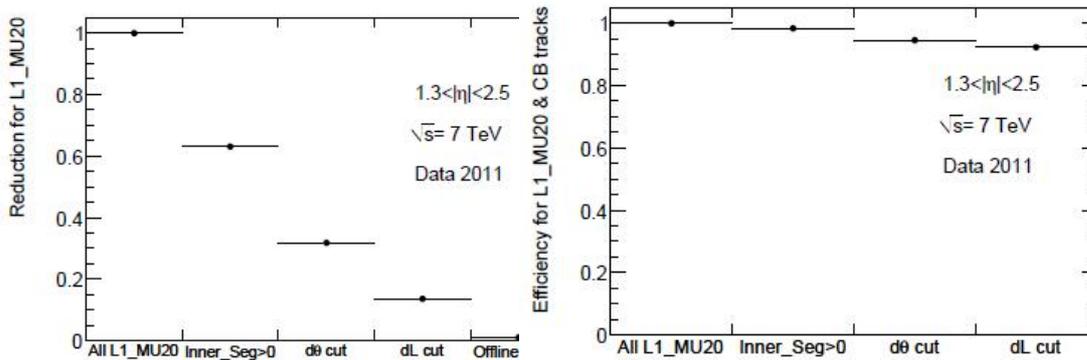


図 7.18: L1MU20 での各カットによるリダクションへの影響 [18] 図 7.19: L1MU20 での各カットによる検出効率への影響 [18]

η の領域	リダクション	検出効率
$ \eta > 1.30$	0.144	0.908
全ての η	0.309	0.959

表 7.2: $d\theta, dL$ カットを行ったときのリダクションと検出効率

第8章 NSLのロジック

phase1 アップグレードで NSW が導入されるのに併せて、 $d\theta, dL$ カットを実現するために、LVL1Endcap ミューオントリガーのエレクトロニクスを取り替えることが予定されている。また、phase1 アップグレード後では多くのミュオンが発生することから、LVL1Endcap ミューオントリガーでは前述のカットに加えて、検出されたミュオンを横運動量 p_T を高い順に並び替えて、 p_T でソートすることも考えられている。この章では新しい LVL1Endcap ミューオントリガーシステムについて説明し、私が研究開発を行った NSL(New Sector Logic) のロジックについて述べてゆく。

8.1 新しい LVL1Endcap ミューオントリガーのデータ

図 8.1 に NSW、NSL を含む新しい LVL1Endcap ミューオントリガーのデータのブロック図を示す。

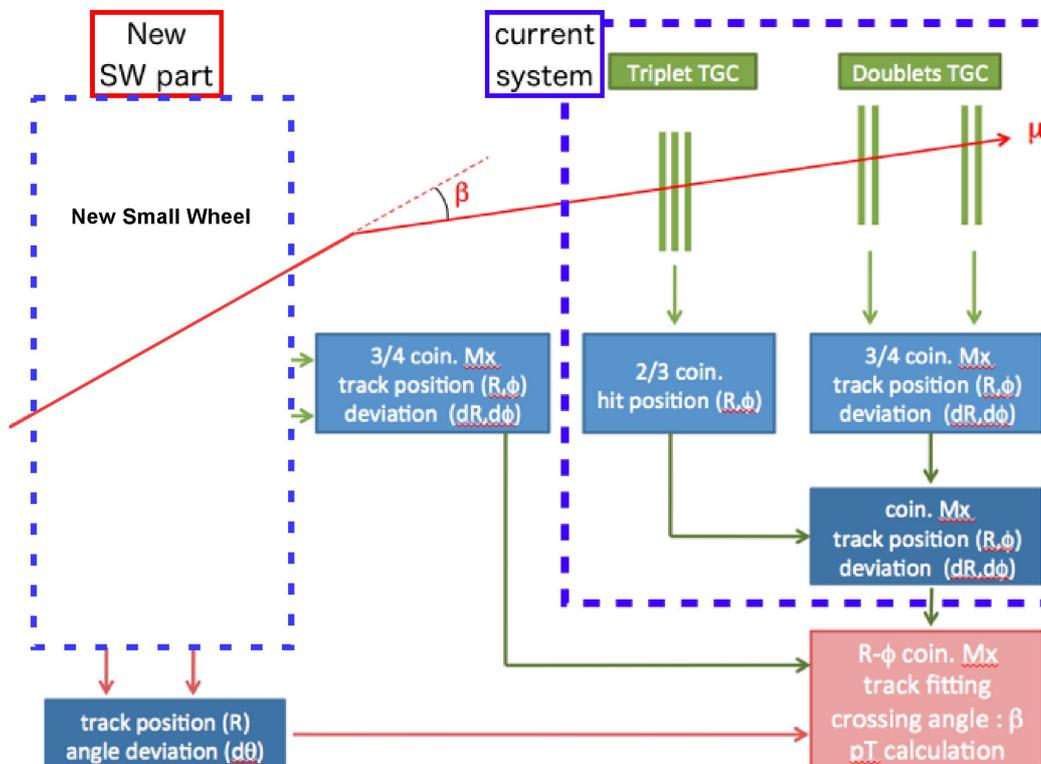


図 8.1: 新しい LVL1Endcap ミューオントリガーのデータのブロック図 [18]

図 8.1 の New SW part では検出された情報の $d\theta$ カットが行われる。また、カットを通過したト

トラックの情報 ($R, \theta, \phi, dR, d\theta$) を提供する。

current system では4章で述べた TGC エレクトロニクス ASD から HPT (*High- p_T Board*) までの部分を実装されていて、BW で検出されたトラックの ($R, \phi, dR, d\theta$) を NSL に渡す。

8.1.1 NSL に要求される機能

NSL の役割は NSW、BW から渡された情報を元に dL カット、 p_T ソートを行い、最終的に MUCTP にミューオンの RoI と p_T を渡すことである。

そのために NSL には以下の5つの機能が搭載される。

- SL
これは既存の TGC エレクトロニクスのもと同じものである。BW の情報を元に RoI、 p_T を求める
- NSW_RoI_finder
NSW の情報を元に NSW の RoI を求める
- RoI_mapper
NSW の RoI と BW の RoI の対応をとるため NSW の RoI から BW の RoI のマップ (RoI マップ) を作る
- RoI_matching
RoI マップと BW の RoI のマッチングを取る。これにより dL カットを行う。
- p_T -sort
マッチングの取れた RoI を p_T の大きい順に並び替える

図 8.2 に NSL に要求される機能の流れを示す。

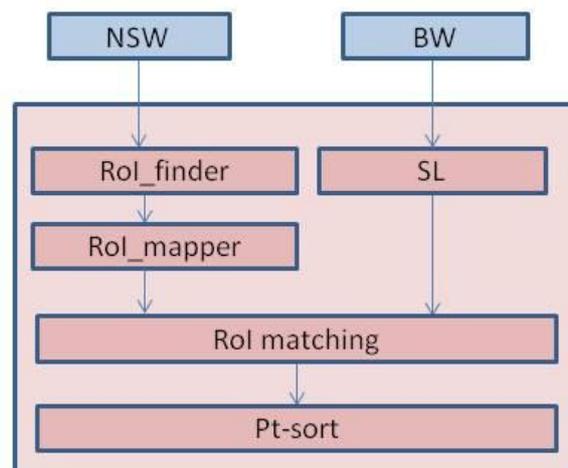


図 8.2: NSL のブロック図

この節では SL を除いた NSL の機能について説明する。

8.1.1.1 NSW_RoI_finder

NSW_RoI_finder は NSW のヒットの位置情報 (E, ϕ) から RoI を構成する機能である。NSW は ϕ 方向に 16 分割されて設置されることと、1 つの NSW チャンバーが $1/16$ に相当するように設計されることが決まっている。さらに、1 つの NSW チャンバーから NewLVL1 ミューオントリガーへは、1 つのチャンバーを R 方向に任意に、 ϕ 方向に $1/6$ に分割された位置情報を渡すことが決まっている。これは LVL1Endcap ミューオントリガーでは、その許容されるレイテンシの短さから複雑な処理を行うことができないので、事前に信号を簡潔にすることで処理を簡単なものにするためである。この 1 つの NSW チャンバーの $1/8$ は ϕ 方向に連続する 2 つの RoI に相当するので、NSW_RoI_finder は 1トラック情報 (R, ϕ) を受け取ったら 2 つの RoI を返す。

8.1.1.2 RoI_mapper

RoI_mapper とは NSW_RoI_finder によって得られた RoI を前章で述べた範囲 (ϕ 方向に $\pm 1RoI$, R 方向に $\pm 2RoI$) だけ拡大させた RoI のマップを作る機能である。NSW_RoI_finder の説明で述べたが、NSW からは 1トラックにつき ϕ 方向に連続した 2RoI が挙げられる。RoI_mapper ではこの 2RoI を拡大させる。図 8.2 に拡大させる前後の連続した 2RoI を示す。

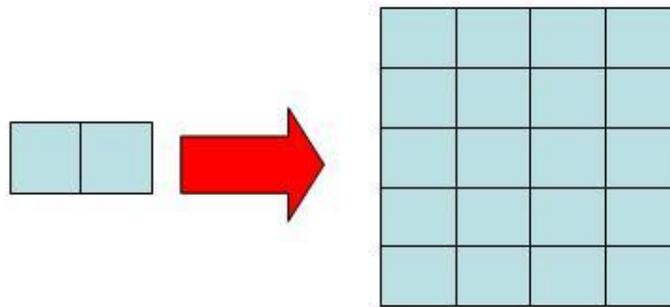


図 8.3: 連続した 2RoI の RoI マップを作る前後

この RoI_mapper を行った後では、トリガーセクター内の RoI の範囲の外に RoI がはみ出すことがある。このとき、外部にはみ出す RoI については、その RoI を拡大させた作った NSL の担当するトリガーセクターに影響を与えないので考慮しなくても良いが、他のトリガーセクターからはみ出して入ってくる RoI については、NSW と BW のコインシデンスをとる際に影響を与えるので考慮しなければならない。この RoI のはみ出しの処理については後ほど述べる。

8.1.2 RoI_matching

RoI_matching とは、RoI マップと SL からの RoI のマッチングを取る機能である。マッチングを取ることで、dL カットを行い、IP 由来でない粒子による fake トラックを排除することができる。

8.1.3 p_T -sort

p_T -sort とは dL カット後に残った RoI の p_T を高い順にソートする機能である。phase1 アップグレード後では 1 トリガーセクター内に複数のミュオンが検出された結果、ミュオンの数がデザインされたトリガーレートを上回ってしまうことが起こりうる。このことを避けるために、ミュオンを横運動量 p_T の大きい順番で選び出してカットすることでトリガーの発行レートを抑えることができる。

8.2 NSL が考慮すべき範囲

NSL は現行の SL と同じ領域である 1 トリガーセクターを処理することが決まっている。また、NSW は ϕ 方向に 16 分割されて設置されることも決まっている。ここで、BW を ϕ 方向に 16 分割したもの (以降 BW1/16 ϕ と呼ぶ) について考える。図 8.4 に BW1/16 ϕ を示す。図 8.4 で示されるように BW1/16 ϕ は 3 つの Endcap トリガーセクターと 1 と 1/2 Forward トリガーセクターを持つ。

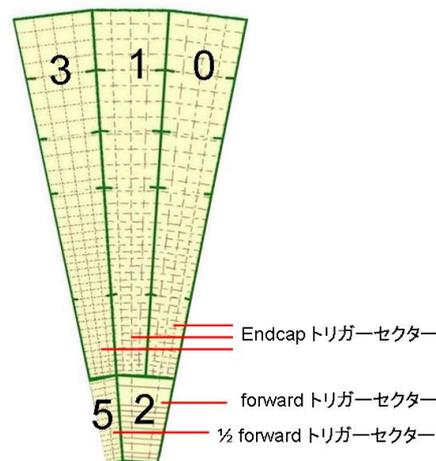


図 8.4: BW を ϕ 方向に 16 分割したものでトリガーセクターの数字は octant 番号を表す

ここで、前述した RoI のはみ出しのせいで、ナンバー 0 Endcap トリガーセクターは右隣の NSW チャンバーが検出した RoI を拡大することで隣のトリガーセクターからはみ出してくる RoI の影響を受ける。また、ナンバー 3 Endcap トリガーセクターは左隣の NSW チャンバーが検出した RoI を拡大することで隣のトリガーセクターからはみ出してくる RoI の影響を受ける。図 8.5 に RoI_mapper による隣のトリガーセクターに与える影響を示す。

図 8.5 で表されるように、NSL は最大で 2 つの NSW チャンバーからの情報を処理できるように設計されなければならない。例として図 8.6 に、図 8.5 の B-BW の octant ナンバーが 4,6,7 の NSL に必要な NSW の入力を示す。

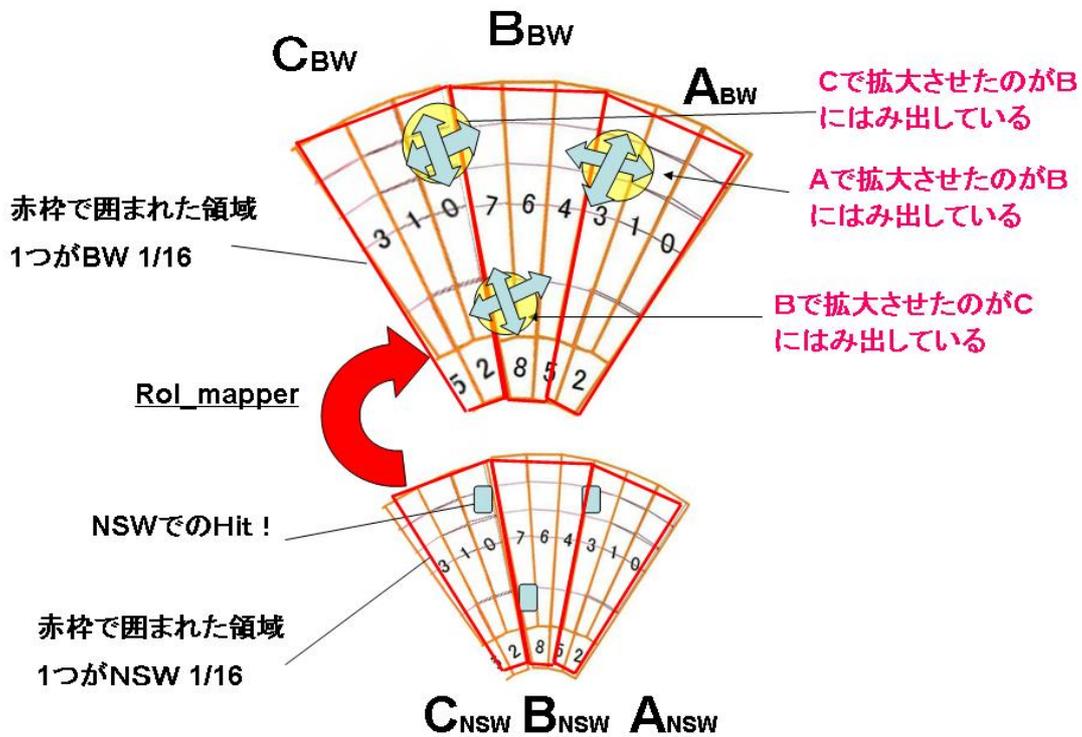


図 8.5: RoL_mapper による両隣の NSW チャンバーからの影響

8.3 NSL の設計

phase1 アップグレード後のルミノシティに対応するために、リードアウト系も新しくする必要があります。これは、phase1 アップグレード後では発生するミュオンのレートが増加するので、現在用いられているバッファよりも大きなバッファが必要となるからである。この要求を満たすために、TGC エレクトロニクスの変更に併せて、リードアウト系も NSL に組み込むことで対応することが考えられている。

この節では NSW から出力される情報を仮定し、NSL の全体について述べ、NSL のトリガー系とリードアウト系について説明してゆく。

8.3.1 NSW のパラメータの仮定

NSL を設計する際に NSW から入力されるデータを具体的に定めなければならない。そこで、NSL の設計では NSW の候補の 1 つである「sMDT+sTGC チャンバー」が使用されるとし、NSW のパラメータを仮定した。NSL に必要な NSW からの情報は以下の 3 つである。

1. R 方向の位置情報
2. ϕ 方向の位置情報
3. NSW があげることのできるトラックの候補の数

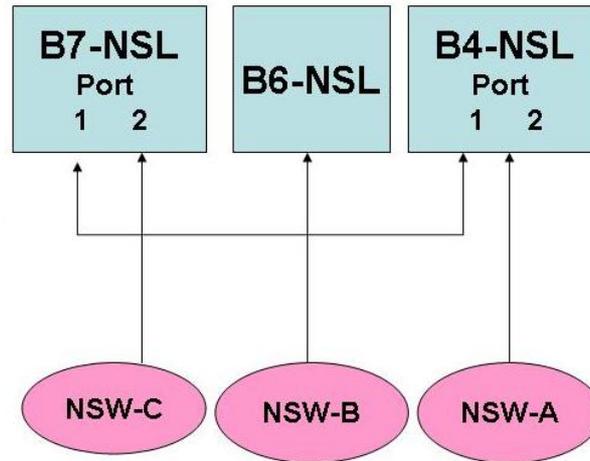


図 8.6: B-BW の octant ナンバーが 4,6,7 の NSL に必要な NSW の入力

ここでは R 方向の位置情報と NSW があげることのできるトラックの候補の数の仮定について述べる。なお、ここで ϕ 方向の位置情報の説明を省く。それというのも、NSW チャンバーの ϕ 方向は LVL1Endcap ミューオントリガーでは 1 つのチャンバーを 6 分割した物が与えられるからである。

8.3.1.1 NSW の R 方向の位置情報の仮定

NSW から出力される R 方向の情報を求める。NSW には $\phi = 15\text{mm}$ の sMDT が使われているとされている。そこで、現在使われている SW の大きさを TGC の上端と下端として、その間に隙間無く sMDT が積んであるものとして sMDT の本数を求めた。SW の TGC の上端は R 方向で 1257mm、下端で 4414mm [24] であったので、この間を埋める sMDT は 211 本である。よって、1 トラックあたりの情報は R 方向で 1 ~ 211 を表すことができる 8bit で示される。

8.3.1.2 NSW があげることのできるトラックの候補の数の仮定

sMDT+sTGC チャンバーはこれまでのスタディで最大で 16 ~ 20 のトラック候補を挙げることができることが分かっている。しかし、レイテンシの制限上全てを LVL1Endcap ミューオントリガーで処理することはできないので、5 個以上のトラック候補があるときは LVL2 トリガー以降で解析するのが望ましい。よって、NSL に出力するトラックの候補の数は 4 以下とする。

8.3.2 設計した NSL のロジック

図 8.7 に NSL のブロック図を示す。

これらのブロックは、NSL に要求される機能を実現するために用意したアルゴリズムを機能ごとに分解したものを表す。図 8.2 で挙げた機能よりもブロックが多いのは、実際に FPGA¹ で機能を実現する際に必要な機能が含まれているためである。

NSL のトリガー系のは次の 10 個である。

¹FPGA(Field-Programmable Gate Array) の略 任意な論理回路を実現できる半導体

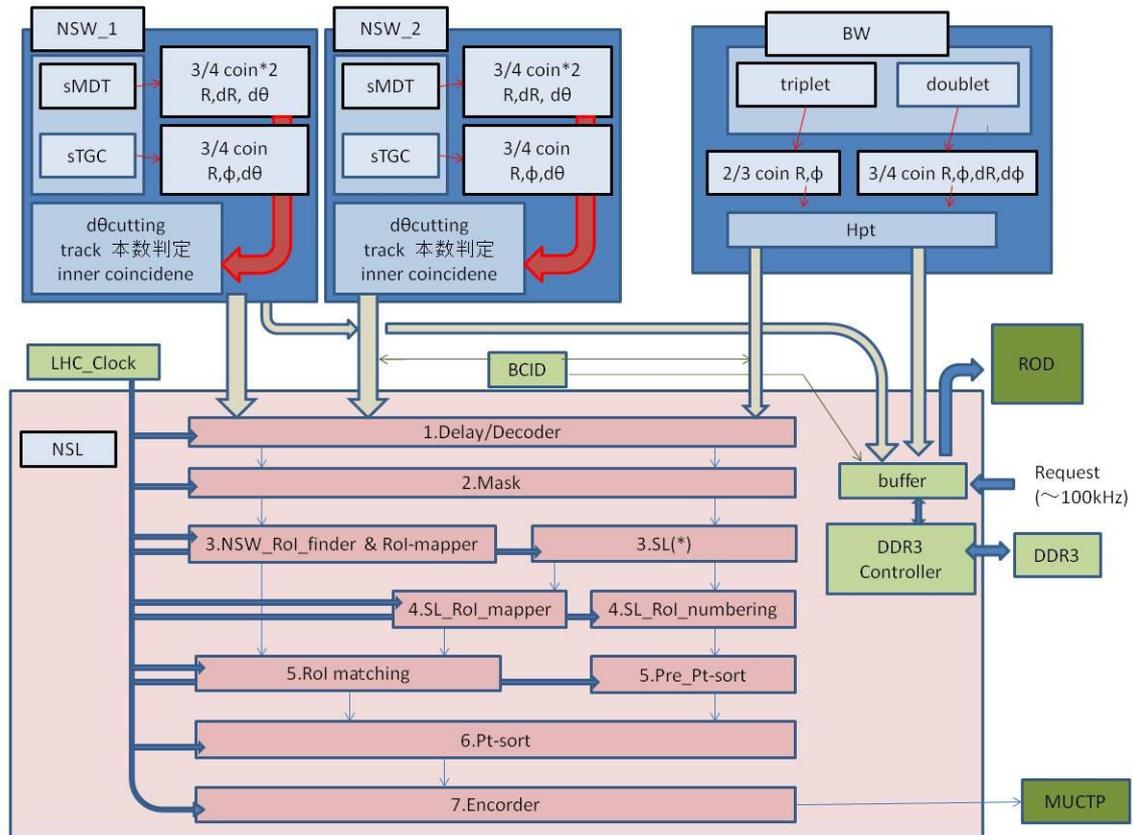


図 8.7: NSL のブロック図

1. Delay/Decoder
2. Mask
3. NSW_RoI_finder & RoI_mapper
4. SL
5. SL_RoI_numbering
6. SL_RoI_convert
7. RoI_matching
8. Pre- p_T -sort
9. p_T -sort
10. Encoder

NSL のリードアウト系のロジックは次の 2 個である。

1. buffer
2. DDR3Controller

ここで BCID は NSW の信号や BW の信号の同期を取るのに使われる。また、LHC₁ Clock は LHC から与えられるクロックで、ATLAS 全体で同期されるよう配分されている。

この節ではこれらのロジックについてトリガー系、リードアウト系と分けて説明する。

8.3.3 NSL のトリガー系ロジック

8.3.3.1 Delay/Decoder

Delay は現在使われている機能と同じく入力される信号のタイミングを調整してそろえる機能である。フリップフロップを連結してシフトレジスタの構造をとり、 $1/2\text{clock}$ 単位で任意に時間を遅らせることができる。Decoder は入力されるシリアルなオプティカル信号をパラレルな電気信号に変える機能である。

8.3.3.2 Mask

現在使われている機能と同じく、入力された信号を以降に送るのを遮断する機能である。現在は以下の項目マスクが搭載されている。

- H/LMask: *High* - p_T 判定された信号か、*Low* - p_T 判定された信号かを判断してマスクを行う。
- SSC Mask: SSC 単位でマスクを行う。
- EI/FI Mask: EI/FI からの信号を使用するかどうかのマスク。使用しない場合、SL の Read-out Line の EI/FI 領域における or 情報をとる前に、SL への EI/FI Input 信号を遮断する。

8.3.3.3 NSW₁ RoI₁ finder & RoI₁ mapper

このブロックは NSW₁ RoI₁ finder と RoI₁ mapper の 2 つの機能を同時に行うブロックである。これは、 R, ϕ 情報 \rightarrow NSW の RoI \rightarrow RoI マップと入力された信号に対して 1 対 1 対応しているためである。

入力された R 方向の位置情報を表す 8bit と、 ϕ 方向の位置情報を表す 3bit の計 11bit を用いて、Endcap トリガーセクターに対して 148bit、Forward トリガーセクターに対して 64bit で表された RoI のヒット情報を出す。この RoI の bit の値が 1 ならヒット有り、0 ならヒット無しとする。

4 つのトラック候補について RoI マップが返されるので、Endcap では $148\text{bit} \times 4 = 594\text{bit}$ を、Forward では $64 \times 4 = 256\text{bit}$ を出力する。

8.3.3.4 SL

現在の SL の Decoder~Final selector と同じ機能を担うブロックである。HPT からのトラック情報 $R, \phi, dR, d\phi$ に対して 2 つの p_T 、2 つの RoI、BCID、R 方向の曲がり方を返す。この R 方向の曲がり方は dR の \pm である。ここで RoI は 0 ~ 147 を示す 8bit の情報で表される。また、 p_T は 6 段階に区切られるので 3bit で表され、R 方向の曲がり方は 1bit で表される。これらより、一つのトラックは RoI の 8bit と p_T の 3bit と R 方向の曲がり方の 1bit の計 12bit で表させられる。SL は 4 つのトラックを挙げるので、SL からは $12\text{bit} \times 4 = 48\text{bit}$ が出力される。

8.3.3.5 SL_RoI_numbering

各 RoI と p_T のセットに対して ID を割り振る。トラック候補は 4 つなので、RoI に 0 ~ 3 の数字を ID として割り振る。

8.3.3.6 SL_RoI_convert

SL から出力された RoI を 8bit から、148bit で表される情報に変換する。また、各 RoI と p_T のセットに対して ID を割り振る。この ID の割り振り方は SL_RoI_numbering と同じようにする。

8.3.3.7 RoI_matching

このブロックでは 148bit の NSW の RoI と、148bit の BW の RoI の or をとることで NSW の RoI と BW の RoI のマッチングを取る。この or を取った結果を 1 つのトラック候補に対して 1bit のオンオフで返す NSL では 4 つの候補についてマッチングを取るの、結果は 4bit で出力される。

8.3.3.8 Pre_ p_T - sort

p_T -sort に情報を渡す前に RoI を p_T の大きい順番に並べる。こうすることで p_T -sort で行う処理を簡単なものに行うことが出来る。この処理は p_T の取り得る組み合わせに対応する表 (対応表) を用いて行われる。この対応表には、4 つの p_T が取り得る組み合わせが SL が出す RoI が 6 段階であることから、 $6 \times 6 \times 6 \times 6$ の 1296 パターンに対応するものを用意すればよい。ここで、複数のトラック候補で p_T が同じであるなら、RoI に割り振られた ID の順番に並び替えるものとする。この結果は 1 つの ID が 2bit で表されるので $2bit \times 4 = 8bit$ で返される。

例えば p_T の大きさが $ID_{2p_T} > ID_{1p_T} = ID_{3p_T} > ID_{0p_T}$ なら RoI の ID を 2,1,3,0 と並び替えたものを結果として返す。この結果は bit で 10_01_11_00 と表される。

8.3.3.9 p_T -sort

このブロックでは RoI_matching の結果と Pre_ p_T - sort の結果から、MUCTPI のに送り出すトラックを選び出す。この処理は RoI_matching の結果と Pre_ p_T - sort の結果を組み合わせに対応する表を用いて行われる。この結果、高い順に ID を選び出し、ヒットが有る ID については RoI と p_T 、R 方向の曲がり方を表す 12bit を、ヒットが無い ID については RoI と p_T 、R 方向の曲がり方を表す 12bit に 0000_0000_0000 の 12bit を代入して返す。

例えばヒットの有る ID が 0,2 のみで、 p_T の高い順の ID の並びが 3,2,1,0 であったら、MUCTP に送る情報として、ID2 の RoI と p_T ,R 方向の曲がり方を表す 12bit、ID0 の RoI と R 方向の曲がり方を表す 12bit、0 が 12 個並んだ 12bit、0 が 12 個並んだ 12bit の 48bit を Encoder に渡す。

また、送信するトラック数の最大値の設定を行うことにより、送信するヒットの有る ID の情報を高いほうからトラック数の最大値だけ選択する機能も担う。

例えばヒットの有る ID が 0,2,3 のみで、かつ、 p_T の高い順の ID の並びが 3,2,1,0 であり、送信するトラック数の最大値が 2 であれば、MUCTP に送る情報として ID3 の RoI と p_T 、R 方向の曲がり方を表す 12bit、ID2 の RoI と R 方向の曲がり方を表す 12bit、0 が 12 個並んだ 12bit、0 が 12 個並んだ 12bit の 48bit を Encoder に渡す。

8.3.3.10 Encoder

p_{T-sort} から受け取った信号をシリアルなオプティカル信号に変換する。

8.3.4 NSL のリードアウト系ロジック

NSL では NSW から情報のバッファ機能と現在の SL のバッファ機能を担う。

8.3.4.1 buffer

このブロックは DDR3 にデータを渡す前に一時的に情報をバッファする機能を担う。ここで、NSL には 2 チャンパー分の情報が送られてくるが、バッファの重複を避けるため、1 チャンパー分の情報のみがバッファされる。NSW チャンパーからは 1トラックにつき R 方向で 8bit、 ϕ 方向で 3bit の情報の計 11bit が送られてくる。NSW は最大で 4 つのトラック情報を送るので、これに BCID を加えた $(11bit \times 4) + 3 = 47bit$ がバッファされる必要がある。また、SL のバッファは 160bit なので、1 バンクロッシングあたりのバッファしなければならない情報は $47bit + 160bit$ の 207bit である。この情報はこれらの機能を実装する FPGA 内のメモリに貯められる。

8.3.4.2 DDR3 controller

バッファは 128 段のシフトレジスタ構造を持つことからバッファに必要なメモリの大きさは 207×128 の 26496bit 以上、すなわち 3.3kByte 以上が必要となる。このブロックでは、このことに対応するために DDR3 メモリを用いてバッファを行う機能を担う。

8.4 NSL ロジックの実装

私は本研究開発において、これらのロジックを考え、verilog²のソースコードを作り、FPGA でテストを行った。

ここで、これらのアルゴリズムを搭載する FPGA には

- DDR3 メモリに対応する
- 信号のシリアル、パラレル変換を行うことができる

の 2 つの条件が要求される。

ここで、この論理回路をテストする FPGA ボードに Virtex6³-FPGA である XC6VLX240T-1FFG1156 が搭載された HW-V6ML605 ボード (以降 ML605 ボードと呼ぶ) を用いた。

図 8.8 に XC6VLX240T-1FFG1156 の性能を、図 8.9 に ML605 ボードの外観を示す。

この ML605 ボードは 512MB の DDR3 メモリである MT4JSF6464HY-1G1⁴ とマルチギガビットトランシーバ⁵、それに対応する PCIExpress⁶や SMA コネクタ⁷などを搭載している。このことより、ML605 ボードを用いることで NSL のアルゴリズムの設計開発、及び動作試験を行うことが可能である。

²HDL(Hardware Description Language:ハードウェア記述言語)の1種で任意な論理回路を記述することが出来る

³Xilinx社製のFPGAの一種

⁴Micron社製の512MBのDDR3メモリの型番

⁵FPGAに実装されている750Mb/s~6.5Gb/sで動作することが出来るシリアルI/Oトランシーバ

⁶2.5Gb/sまたは5.0Gb/sで動作するシリアルI/Oの規格

⁷Sub Miniature Type A コネクタ:特性インピーダンスが50Ωの同軸ケーブルコネクタ

Device	Logic Cells	Configurable Logic Blocks (CLBs)		DSP48E1 Slices	Block RAM Blocks			MMCMs	Interface Blocks for PCI Express	Ethernet MACs	Maximum Transceivers		Total I/O Banks	Max User I/O
		Slices	Max Distributed RAM (Kb)		18 Kb	36 Kb	Max (Kb)				GTX	GTH		
XC6VLX240T	241,152	37,680	3,650	768	832	416	14,976	12	2	4	24	0	18	720

図 8.8: XC6VLX240T-1FFG1156 の性能 [25]



図 8.9: ML605 ボードの外観

第9章 まとめ

本論文では、LHC と ATLAS の説明、現在の LVL1 ミューオントリガーの原理、及び実装されているエレクトロニクスを紹介し、予定されているアップグレードと導入される予定の NSW について解説を行い、ATLAS 実験における phase1 アップグレードについて増加が見込まれる fake トリガーを削減するための、新たなトリガーについて述べた。そして、本研究である実際に設計する NSL について説明を行った。

LHC は phase0 アップグレードでデザインされたルミノシティに到達する。しかし、現在のままでは fake 信号が多く LVL1Endcap ミューオントリガーシステムでは対応しきれないことが分かっている。fake 信号によるトリガーレートを削減するために、アルミニウムビームパイプや追加のシールド、及び EI/FI カットアルゴリズムを導入することが決まっている。

また、LHC は phase1 アップグレードでデザインされたルミノシティを超えたルミノシティに達する。このことにより、SW でのヒットレートが現在の SW では処理しきれないヒットレートとなる。これに対応するために SW を新しい SW である NSW に交換することが決まっている。ここで、NSL を導入することにより $d\theta, dL$ カットを行えるようになり、トリガーレートを全 η で 31% まで削減することができるようになる。

そして本研究では、 $d\theta, dL$ カットのロジックを実現するためのアルゴリズムの 1 部を担う NSL の設計と開発の一部を行った。この設計では、NSW から入力される信号を仮定し、 $d\theta, dL$ カットに必要な RoI finder, RoI_mapper, SL, RoI_matching, p_T sort について定めた。さらには、実際に FPGA で搭載するのに必要な機能を定めた。そして、開発ボードには XC6VLX240T-1FFG1156 が搭載された HW-V6ML605 ボードを用いれば十分であることを示した。

研究開発を行ったトリガーアルゴリズムにより、phase1 アップグレードに伴って増加する fake トリガーのレートを抑えることで、Endcap ミューオントリガーが設計上限のレートを超えてしまう問題を解決できることが期待される。更に設計したアルゴリズムの総合的な試験を行い更なる問題の洗い出しを行う予定である。

今後とも、より具体的に phase1 アップグレードの仕様が決定されていくとともに、より具体的な NSL のアルゴリズムの設計開発を行うことが必要である。

謝辞

本研究に関わる機会を下さり、本論文完成の最後の最後まで適切な指導をして頂いた藏重久弥¹教授に深く感謝いたします。また、神戸での研究生活において、ATLASのことについて様々な助言を頂きました山崎裕司¹准教授、検出器について助言を頂いた越智敦彦¹助教、CERNでの生活で大変お世話になった松下崇¹助教に感謝申し上げます。そして、NSWについて助言を頂いた佐々木修²教授、エレクトロニクスについて助言を頂いた坂本宏³教授、KEKで責任者になっていただいている徳宿克夫²氏に感謝いたします。

神戸大学の早川俊氏¹にはATLASのエレクトロニクスやFPGA,VHDLについて大変多くの助言を頂き大変感謝しております。鈴木友氏²にはNSLのロジックについての様々な助言を頂いたことや、CERNでの生活で助けて頂いたことに、二ノ宮陽一氏³にはFPGAやVHDLで様々な助言を頂いたことに深く感謝しております。

CERNでともに生活を送った鈴木雄太氏¹や北村拓己氏¹にはとても励まされました。駒井英俊氏¹には公私共に大変楽しい時間を過ごすことができたことに感謝申し上げます。また、英語でとても世話になった *Matthew King* 氏¹、ATALASについていろいろとご教授いただいた谷和俊氏¹、ATLASについていろいろと話をした岸本巴氏¹、同じ研究室で盛り上がった大塚公平氏¹、細川佳志¹、江戸勇樹氏¹、村田亜紀氏¹、山口貴弘氏¹、渡辺一平氏¹ に深く感謝申し上げます。

また、秘書の横山有美様¹には出張費などの手続きで、物理事務室の竹田修子氏¹にはTAの料金の手続きなどで大変お世話になりました。最後に研究生活を支えていただいた両親、兄妹、いろいろと下らないことに付き合ってくれた友人や映画研究部の皆様に感謝申し上げます。

ありがとうございました。

¹神戸大学大学院理学研究科物理学専攻

²高エネルギー加速器研究機構 (KEK)

³東京大学素粒子物理国際研究センター (ICEPP)

参考文献

- [1] ATLAS EXPERIMENT-Public Results, [<https://twiki.cern.ch/twiki/bin/view/AtlasPublic>]
- [2] CERN Document Server, [<http://cdsweb.cern.ch/>]
- [3] 堀卓也著, 神戸大学修士学位論文「アトラス実験レベル1 ミューオントリガーのシミュレーションによる性能評価」, 2009
- [4] TeV4LHC Higgs Working Group, Tevatron-for-LHC Report,FERMILAB-CONF-06-467-E-T,arXiv:hep-ph/0612172v2 ,17 Dec 2007
- [5] T. Abe, et al. (American Linear Collider Working Group), Linear Collider Physics Resource Book for Snowmass 2001-Part 2: Higgs and Supersymmetry Studies, BNL-52627, CLNS 01/1729, FERMILAB-Pub-01/058-E, LBNL-47813, SLAC-R-570, UCRL-ID-143810-DR, LC-REV-2001-074-US - Part 2, arXiv:hep-ex/0106056v1, 13 Jun 2001
- [6] 田中純一,KEK セミナー,「LHC アトラス実験におけるヒッグス粒子探索の最新結果について」, 2011
- [7] 増淵達也,研究会「先端加速器 LHC が切り拓くテラスケールの素粒子物理学」,Higgs 探索最新結果,2012
- [8] ATLAS Collaboration,The ATLAS Experiment at the CERN Large Hadron Collider,2008 JINST 3 S08003 , 2008
- [9] ATLAS MAGNETIC FIELD,[<http://atlas.web.cern.ch/Atlas/GROUPS/MUON/magfield/>]
- [10] ATLAS High-Level Trigger, Data Acquisition and Controls, ATLAS Technical Design Report- 016, 2003
- [11] ATLAS Collaboration,ATLAS level-1 trigger : Technical Design Report,ATLAS-TDR-012 ,CERN-LHCC-98-014, 1998
- [12] 早川俊著, 神戸大学修士学位論文「LHC シングルビームを用いた ATLAS 実験前後方ミューオントリガーシステムの性能評価」, 2009
- [13] 門坂拓哉著, 神戸大学修士学位論文「ATLAS 前後方ミューオントリガーシステム SectorLogic 及びオンラインソフトウェアの開発」, 2008
- [14] 徳永香著, 神戸大学修士学位論文「LHC アップグレードに向けた ATLAS レベル1 ミューオントリガーの研究」, 2011
- [15] Revised Muon Endcap chapter of the Level-1 Trigger TDR, [http://hepg.sdu.edu.cn/~atlas/TGC/doc/MuonEndcap_rev01.pdf], June 2000

-
- [16] カニの横歩き ~ KEKB に設置されるクラブ空洞, [<http://legacy.kek.jp/newskek/2005/novdec/crab.html>]
 - [17] 川本辰夫, 2010 年日本物理学会秋季大会口頭発表, 「LHC 測定器のアップグレード計画」, 2010
 - [18] ATLAS Collaboration, Letter of Intent for the Phase-I Upgrade of the ATLAS Experiment - v41.0, CERN-LHCC-2011-012, 2011
 - [19] 佐々木修, ZAO2012 International Workshop on Atlas Muon Trigger Upgrade, 「Level-1 muon trigger upgrade」, 2012
 - [20] 鈴木友, ZAO2012 International Workshop on ATLAS Muon Trigger Upgrade, 「L1_ MU20 study using Real Data」, 2012
 - [21] 長野邦浩, ATLAS Upgrade Week, LVL1 muon rate calculations and issues, 2011
 - [22] 石野雅也, 研究会「先端加速器 LHC が切り拓くテラスケールの素粒子物理学」, 「ATLAS Upgrade 計画 Overview」, 2012
 - [23] 鈴木友, ATLAS Upgrade Week, 「Present knowledge of L1 muon rates and extrapolation to higher lumi」, 2011
 - [24] ATLAS/TGC Master Database, [<http://atlas-proj-tgc.web.cern.ch/atlas-proj-tgc/design/tgc.pdf>], 2011
 - [25] Xilinx 社, Virtex-6 ファミリの概要, [http://japan.xilinx.com/support/documentation/data_sheets/j_ds150.pdf], 2012